

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5510613号
(P5510613)

(45) 発行日 平成26年6月4日(2014.6.4)

(24) 登録日 平成26年4月4日(2014.4.4)

(51) Int.Cl.		F I			
HO3H	9/25	(2006.01)	HO3H	9/25	A
HO3H	9/64	(2006.01)	HO3H	9/64	Z
HO3H	9/72	(2006.01)	HO3H	9/72	
HO4B	1/50	(2006.01)	HO4B	1/50	

請求項の数 7 (全 14 頁)

(21) 出願番号	特願2013-523817 (P2013-523817)	(73) 特許権者	000006231
(86) (22) 出願日	平成24年7月6日(2012.7.6)		株式会社村田製作所
(86) 国際出願番号	PCT/JP2012/004400		京都府長岡京市東神足1丁目10番1号
(87) 国際公開番号	W02013/008435	(74) 代理人	100105980
(87) 国際公開日	平成25年1月17日(2013.1.17)		弁理士 梁瀬 右司
審査請求日	平成25年9月19日(2013.9.19)	(74) 代理人	100105935
(31) 優先権主張番号	特願2011-152162 (P2011-152162)		弁理士 振角 正一
(32) 優先日	平成23年7月8日(2011.7.8)	(72) 発明者	竹村 忠治
(33) 優先権主張国	日本国(JP)		京都府長岡京市東神足1丁目10番1号
早期審査対象出願			株式会社村田製作所内
		審査官	▲高▼橋 徳浩

最終頁に続く

(54) 【発明の名称】 回路モジュール

(57) 【特許請求の範囲】

【請求項1】

弾性波を伝達する素子基板と、
 前記素子基板の一方の主面の所定領域を圍繞して配置された絶縁層と、
 前記絶縁層に積層配置されて前記素子基板との間に前記絶縁層により圍繞された空間を形成するカバー層と、
 通過帯域が異なる第1のフィルタ素子および第2のフィルタ素子と、
 前記カバー層の前記空間と反対側の主面から露出するように設けられ、前記第1または第2のフィルタ素子に接続された複数の外部接続用の電極とを有し、前記第1、第2のフィルタ素子が前記空間内の前記素子基板の一方の主面の前記所定領域に設けられたウェハレベル-チップサイズパッケージ構造を有する分波器と、
 前記分波器が、実装面に設けられた実装用の複数の電極に前記各外部接続用の電極が接続されることにより実装されるモジュール基板と、
 前記カバー層に設けられ、前記第1のフィルタ素子に接続される第1の回路素子と、
 前記モジュール基板に設けられ、前記第1のフィルタ素子または前記第2のフィルタ素子に接続される第2の回路素子とを備え、
 前記第2の回路素子は、前記モジュール基板内に設けられた回路パターンを有し、
 前記分波器と前記回路パターンとの間に配置されるシールド電極が前記モジュール基板に設けられ、
 前記第1の回路素子および前記回路パターンは、それぞれ前記第1のフィルタ素子の直

10

20

下に配置されて、前記第 1 のフィルタ素子に接続され、

前記実装面側から見た平面視において、前記第 1 の回路素子、前記回路パターンおよび前記シールド電極が重なるように配置されている

ことを特徴とする回路モジュール。

【請求項 2】

前記第 2 の回路素子は、前記モジュール基板の前記実装面に実装されたチップ部品をさらに有していることを特徴とする請求項 1 に記載の回路モジュール。

【請求項 3】

前記第 2 の回路素子は、前記実装面側から見た平面視において前記チップ部品と重なるように前記モジュール基板内に配置された他の回路パターンをさらに有していることを特徴とする請求項 2 に記載の回路モジュール。

10

【請求項 4】

前記第 1 の回路素子は、前記カバー層内の回路パターンにより形成されていることを特徴とする請求項 1 ないし 3 のいずれかに記載の回路モジュール。

【請求項 5】

前記素子基板は圧電体により形成されており、前記第 1、第 2 のフィルタ素子は、それぞれ、前記所定領域にくし歯電極が設けられることにより形成された SAW フィルタ素子であり、前記第 1 の回路素子は、コイルにより形成されたフィルタの減衰特性の調整用の共振器であり、前記第 1 のフィルタ素子に接続されることを特徴とする請求項 1 ないし 4 のいずれかに記載の回路モジュール。

20

【請求項 6】

前記第 2 の回路素子は整合回路を形成するものであり、

前記第 2 の回路素子は、前記第 1、第 2 のフィルタ素子それぞれの、入力側または出力側に接続されることを特徴とする請求項 1 ないし 5 のいずれかに記載の回路モジュール。

【請求項 7】

前記第 1 のフィルタ素子が送信フィルタ素子であり、前記第 2 のフィルタ素子が受信フィルタ素子であることを特徴とする請求項 1 ないし 6 のいずれかに記載の回路モジュール

。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、通過帯域が異なる第 1 のフィルタ素子および第 2 のフィルタ素子を有する分波器を備える回路モジュールに関する。

【背景技術】

【0002】

近年、GSM (Global System for Mobile Communications) 規格や CDMA (Code Division Multiple Access) 規格などの複数の通信規格による通信をサポートする携帯電話や携帯情報端末などの通信携帯端末が急速に普及しており、これらの通信携帯端末では、共通のアンテナを用いて異なる周波数帯域の信号の送受信が行われる。したがって、周波数の異なる送信信号および受信信号を分波する分波器 (デュプレクサ) を備えるアンテナ

40

【0003】

例えば、図 6 に示すように、信号の通過帯域が異なる第 1 および第 2 のフィルタ部 503, 505 が、各フィルタ部 503, 505 の特性が劣化しないように近接配置されることにより小型化および高性能化が図られた分波器 500 が、回路モジュールが備えるモジュール基板に搭載されることで、回路モジュールの小型化および高性能化が図られている。

。

【0004】

図 6 に示す従来の分波器 500 は、パッケージ構造を有し、プリント基板、LTCC 基

50

板、アルミナ系基板、ガラス基板、複合材料基板など、樹脂やセラミック、ポリマー材料から成るパッケージ基板501と、パッケージ基板501の実装面に設けられた第1のフィルタ部503および第2のフィルタ部505とを有している。また、第1および第2のフィルタ部503, 505には、それぞれ、SAW(表面弾性波)フィルタ素子502, 504と、SAWフィルタ素子502, 504の電気的特性を補完する周辺回路素子として、チップインダクタ506およびチップコンデンサ507などの受動素子とが設けられている。

【0005】

図6に示す分波器500に搭載されたSAWフィルタ素子502, 504は、それぞれ、一方の主面の所定領域にくし歯電極が設けられた圧電体から成る素子基板と、素子基板のくし歯電極が設けられた所定領域を囲繞して設けられた気密封止枠と、気密封止枠を介して素子基板の一方の主面に積層されたベース基板(カバー層)とを有し、くし歯電極が、素子基板およびベース基板の間に気密封止枠に囲まれて形成された気密空間内に封入されている。このように構成すると、気密空間内に配置されたくし歯電極(圧電体)が適正に励振するため、信号が入力されることにより発生する弾性表面波が素子基板の表面を正常に伝達すると共に、気密空間内に配置されたくし歯電極の劣化が防止される。

【0006】

また、インダクタ素子相互の電磁的な干渉を抑制し、各フィルタ部503, 505間での信号の干渉を防止するために、第1のフィルタ部503と第2のフィルタ部505との境界部508に配置されて隣り合うチップインダクタ506は、磁束の向きが互いにほぼ直交するようにパッケージ基板501上に配置されている。このように構成すると、各フィルタ部503, 505が近接配置されても、第1および第2のフィルタ部503, 505間での信号の干渉が防止され、各フィルタ部503, 505の特性変化が低減される。

【0007】

このように小型化および高性能化が図られた従来の分波器500がモジュール基板に搭載されて、分波器500の第1および第2のフィルタ部503, 505が、それぞれ送信フィルタおよび受信フィルタとして利用されることで、アンテナスイッチなどの回路モジュールが形成される。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2006-279604号公報(段落0022~0025、図1など)

【発明の概要】

【発明が解決しようとする課題】

【0009】

ところで、近年、通信携帯端末の小型化が急速に進み、通信携帯端末に搭載される回路モジュールの更なる低背化および小型化が要求されており、更なる技術の改善が求められている。

【0010】

この発明は、上記した課題に鑑みてなされたものであり、分波器を備える回路モジュールの更なる低背化および小型化を図ることができる技術を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記した目的を達成するために、本発明の回路モジュールは、弾性波を伝達する素子基板と、前記素子基板の一方の主面の所定領域を囲繞して配置された絶縁層と、前記絶縁層に積層配置されて前記素子基板との間に前記絶縁層により囲繞された空間を形成するカバー層と、通過帯域が異なる第1のフィルタ素子および第2のフィルタ素子と、前記カバー層の前記空間と反対側の主面から露出するように設けられ、前記第1または第2のフィルタ素子に接続された複数の外部接続用の電極とを有し、前記第1、第2のフィルタ素子が

10

20

30

40

50

前記空間内の前記素子基板の一方の主面の前記所定領域に設けられたウェハレベル - チップサイズパッケージ構造を有する分波器と、前記分波器が、実装面に設けられた実装用の複数の電極に前記各外部接続用の電極が接続されることにより実装されるモジュール基板と、前記カバー層に設けられ、前記第 1 のフィルタ素子に接続される第 1 の回路素子と、前記モジュール基板に設けられ、前記第 1 のフィルタ素子または前記第 2 のフィルタ素子に接続される第 2 の回路素子とを備え、前記第 2 の回路素子は、前記モジュール基板内に設けられた回路パターンを有し、前記分波器と前記回路パターンとの間に配置されるシールド電極が前記モジュール基板に設けられ、前記第 1 の回路素子および前記回路パターンは、それぞれ前記第 1 のフィルタ素子の直下に配置されて、前記第 1 のフィルタ素子に接続され、前記実装面側から見た平面視において、前記第 1 の回路素子、前記回路パターンおよび前記シールド電極が重なるように配置されていることを特徴としている。

10

【 0 0 1 2 】

また、前記第 2 の回路素子は、前記モジュール基板の前記実装面に実装されたチップ部品をさらに有していてもよい。このような構造にすることにより、抵抗値、インダクタンス値および容量値などの値が大きい回路素子を容易に回路モジュールに設けることができる。

【 0 0 1 3 】

また、前記第 2 の回路素子は、前記実装面側から見た平面視において前記チップ部品と重なるように前記モジュール基板内に配置された他の回路パターンをさらに有しているのが望ましい。このような構造にすることにより、チップ部品と回路パターンとを組み合わせることでチップ部品を小型化でき、さらに、チップ部品および回路パターンが平面視において重なるように配置されることで、第 2 の回路素子の回路モジュールにおける占有面積を小さくすることができるため、回路モジュールを小型化することができる。

20

【 0 0 1 9 】

また、前記第 1 の回路素子は、前記カバー層内の回路パターンにより形成されていてもよい。このような構造にすることにより、分波器は第 1 の回路素子がカバー層に設けられることにより高背化することがないため、非常に実用的である。

【 0 0 2 0 】

また、前記素子基板は圧電体により形成されており、前記第 1、第 2 のフィルタ素子は、それぞれ、前記所定領域にくし歯電極が設けられることにより形成された S A W フィルタ素子であり、前記第 1 の回路素子は、コイルにより形成されたフィルタの減衰特性の調整用の共振器であり、前記第 1 のフィルタ素子に接続されるようにしてもよい。このような構造にすることにより、第 1 のフィルタ素子の減衰特性の向上を図ることができる。

30

【 0 0 2 1 】

また、前記第 2 の回路素子は整合回路を形成するものであり、前記第 2 の回路素子は、前記第 1、第 2 のフィルタ素子それぞれの、入力側または出力側に接続されるようにするとよい。このような構造にすることにより、例えば大きなインダクタンス値を有するコイルにより第 2 の回路素子を容易に形成することができ、非常に実用的で効率がよい。

【 発明の効果 】

【 0 0 2 2 】

本発明によれば、素子基板とカバー層との間に絶縁層により囲繞されて形成された空間内において、素子基板の所定領域に通過帯域が異なる第 1 のフィルタ素子および第 2 のフィルタ素子が設けられているため、分波器が、従来のようにパッケージ基板を備えていない分、モジュール基板に分波器が実装されて形成される回路モジュールの更なる低背化および小型化を図ることができる。

40

また、第 2 の回路素子の回路パターンが、モジュール基板内の回路パターンにより形成されているので、チップ部品などの回路素子をモジュール基板に搭載しなくともよいため、回路モジュールの小型化を図ることができる。

また、分波器および第 2 の回路素子の回路パターンが、平面視において重なるように配置されているので、分波器の実装位置の下方に第 2 の回路素子の回路パターンを配置

50

してモジュール基板を小型化することができるため、回路モジュールの小型化を図ることができる。

また、前記分波器と第2の回路素子の回路パターンとの間に配置されるシールド電極がモジュール基板に設けられているので、第2の回路素子の回路パターンと、第1の回路素子または第1、第2のフィルタ素子とが電磁結合や容量結合して相互干渉するのを防止することができる。

また、第1の回路素子および第2の回路素子の回路パターンは、それぞれ第1のフィルタ素子の直下に配置されて、第1のフィルタ素子に接続されているので、第1のフィルタ素子を伝達する信号が第2のフィルタ素子に漏洩するのを防止することができ、第1、第2のフィルタ素子のアイソレーション特性の向上を図ることができる。

10

【図面の簡単な説明】

【0023】

【図1】本発明の回路モジュールの第1実施形態を示す図である。

【図2】図1の回路モジュールの内部構成を示すブロック図である。

【図3】本発明の回路モジュールの第2実施形態を示す図である。

【図4】本発明の回路モジュールの第3実施形態を示す図である。

【図5】本発明の回路モジュールの第4実施形態を示す図である。

【図6】従来回路モジュールの一例を示す図である。

【発明を実施するための形態】

【0024】

20

<第1実施形態>

本発明の分波器（デュプレクサ）を備える回路モジュールの第1実施形態について、図1および図2を参照して説明する。図1は本発明の分波器を備える回路モジュールの第1実施形態を示す図である。図2は図1の回路モジュールの内部構成を示すブロック図である。なお、図1および図2では、本発明にかかる主要な構成のみ図示されており、その他の構成は図示省略されている。また、後で説明する第1～第4実施形態を示す図3～図5についても、図1と同様に図示されているため、以下ではその説明は省略する。

【0025】

（回路モジュール）

図1および図2に示す回路モジュール1は、携帯電話や携帯情報端末などの通信携帯端末が備えるマザー基板に搭載されるものであり、この実施形態では、送信フィルタ素子14および受信フィルタ素子15を有する分波器10と、モジュール基板2と、整合回路3と、シールド電極4と、スイッチICやフィルタ、抵抗、コンデンサ、コイルなどの各種の部品（図示省略）とを備え、高周波アンテナスイッチモジュールとして形成されている。

30

【0026】

また、分波器10およびチップコイル3aなどの部品は、モジュール基板2の実装面2aに設けられた電極2bに実装されて、モジュール基板2に設けられた内部配線パターン5を介してモジュール基板2の裏面に形成された複数の実装用電極6に電氣的に接続される。そして、回路モジュール1がマザー基板に実装されることにより、マザー基板が備えるアンテナラインANTやグランドラインGND、送信信号ラインTx、受信信号ラインRxなどの各種信号ラインおよび電源ラインと回路モジュール1とが接続されて、マザー基板と回路モジュール1との間で送受信信号の入出力が行われる。

40

【0027】

モジュール基板2は、この実施形態では、セラミックグリーンシートにより形成された複数の誘電体層が積層されて焼成されることで一体的にセラミック積層体として形成される。すなわち、各誘電体層を形成するセラミックグリーンシートは、アルミナおよびガラスなどの混合粉末が有機バインダおよび溶剤などと一緒に混合されたスラリーが成型器によりシート化されたものであり、約1000前後の低い温度で、所謂、低温焼成できるように形成されている。そして、所定形状に切り取られたセラミックグリーンシートに、

50

レーザー加工などによりビアホールが形成され、形成されたビアホールにA gやC uなどを含む導体ペーストが充填されたり、ビアフィルムめっきが施されることにより層間接続用のビア導体が形成され、導体ペーストによる印刷により種々の電極パターンが形成されて、各誘電体層が形成される。

【 0 0 2 8 】

また、各誘電体層に、ビア導体および電極パターンが適宜形成されることで、モジュール基板2に、モジュール基板2に実装された分波器10とチップコイル3aなどの部品とを接続する配線パターン5や、シールド電極4、実装用電極6などが形成される。すなわち、電極パターンおよびビア導体が各誘電体層に適宜設けられて、シールド電極4や配線パターン5、実装用電極6などが形成されることで、モジュール基板2に実装される分波器10およびチップコイル3aなどの部品と、実装用電極6とが相互に電氣的に接続される。このとき、後述するように、各誘電体層に形成される電極パターンおよびビア導体によりコンデンサやコイルなどの回路素子を形成したり、形成されたコンデンサやコイルなどの回路素子によりフィルタ回路や整合回路3などを形成してもよい。

10

【 0 0 2 9 】

整合回路3は、モジュール基板2の実装面2aに実装されたチップ部品であるチップコイル3a(本発明の「第2の回路素子」に相当)により形成されており、送信フィルタ素子14の出力側および受信フィルタ素子15の入力側に分波器10の共通端子17cを介して接続される。

【 0 0 3 0 】

シールド電極4は、モジュール基板2の実装面2aに設けられ、グラウンドラインGNDと電氣的に接続される。

20

【 0 0 3 1 】

(分波器)

分波器10は、ウェハレベル-チップサイズパッケージ(WL-CSP)構造を有し、素子基板11と、絶縁層12と、カバー層13と、高周波信号の通過帯域が異なる送信フィルタ素子14および受信フィルタ素子15と、カバー層13に設けられた共振器16とを備えている。

【 0 0 3 2 】

素子基板11は、この実施形態では、ニオブ酸リチウム、タンタル酸リチウム、水晶などの圧電体により形成されている。また、素子基板11の一方の主面11aの所定領域に、AlやCuなどにより形成されたくし歯電極14a, 15a(IDT電極)が設けられてSAW(弾性表面波)フィルタ素子が構成されており、くし歯電極14a, 15aにより構成されたSAWフィルタ素子により、それぞれ、送信フィルタ素子14(本発明の「第1のフィルタ素子」に相当)および受信フィルタ素子15(本発明の「第2のフィルタ素子」に相当)が形成されている。

30

【 0 0 3 3 】

また、分波器10には、送信フィルタ素子14の入力側に接続される送信端子17aと、受信フィルタ素子15の出力側に接続される受信端子17bと、送信フィルタ素子14の出力側および受信フィルタ素子15の入力側に接続される共通端子17c(アンテナ端子)と、接地端子17dとが設けられている。また、この実施形態では、受信フィルタ素子15は、平衡出力型の受信フィルタを有している。

40

【 0 0 3 4 】

また、素子基板11の一方の主面11aには、送信フィルタ素子14を形成するくし歯電極14aに接続される端子電極14bと、受信フィルタ素子15を形成するくし歯電極15aに接続される端子電極15bとがそれぞれ設けられている。

【 0 0 3 5 】

絶縁層12は、素子基板11の一方の主面11aのくし歯電極14a, 15aが設けられた所定領域を囲繞して配置される。また、絶縁層12は、くし歯電極14a, 15aおよび端子電極14b, 15bが設けられた素子基板11の一方の主面11aに、感光性の

50

エポキシ系樹脂やポリイミド系樹脂により樹脂層を形成した後に、フォトリソグラフィの工程を経て、くし歯電極 14 a , 15 a が設けられた所定領域および端子電極 14 b , 15 b の領域の樹脂層を取り除くことにより形成される。

【 0036 】

カバー層 13 は、絶縁層 12 に積層配置されて素子基板 11 との間に絶縁層 12 により囲繞された空間を形成し、当該形成された空間内に、くし歯電極 14 a , 15 a (送信フィルタ素子 14 および受信フィルタ素子 15) が配置される。また、カバー層 13 には、内層に設けられた回路パターンにより形成されたコイル 16 a により共振器 16 が設けられている。なお、共振器 16 が、SAW フィルタ素子から成る送信フィルタ素子 14 に接続されて、減衰極が任意に形成されることにより、送信フィルタ素子 14 の減衰特性が調整される。

10

【 0037 】

また、カバー層 13 は、絶縁層 12 に感光性のエポキシ系樹脂やポリイミド系樹脂による樹脂層を積層し、積層された樹脂層に、コイル 16 a を形成する電極パターンを形成し、フォトリソグラフィの工程を経て樹脂層に形成される接続孔に Cu や Al のペーストを充填したりビアフィルめっきを施したりして端子電極 14 b , 15 b に接続される電極 14 c , 15 c を形成する工程を繰り返すことで形成される。そして、接続端子 14 b , 15 b に接続されて、カバー層 13 から露出する電極 14 c , 15 c に、実装用のはんだボール 14 d , 15 d が形成されて分波器 10 が形成される。

【 0038 】

20

なお、この実施形態では、分波器 10 が備える送信フィルタ素子 14 および受信フィルタ素子 15 は SAW フィルタ素子により形成されているが、素子基板 11 を、例えば Si 基板により形成することにより、送信フィルタ素子 14 および受信フィルタ素子 15 を BAW フィルタ素子により形成してもよい。

【 0039 】

(製造方法)

次に、図 1 の回路モジュール 10 の製造方法の一例についてその概略を説明する。

【 0040 】

まず、所定形状に形成されたセラミックグリーンシートに、レーザーなどでピアホールを形成し、内部に導体ペーストを充填したり、ビアフィルめっきを施すことにより層間接続用のピア導体 (配線パターン 5) が形成され、実装面 2 a の実装用の電極 2 a、シールド電極 4、ランド状の配線パターン 5 および実装用電極 6 などの電極パターンが導体ペーストにより印刷されて、モジュール基板 2 を構成する各誘電体層を形成するためのセラミックグリーンシートが準備される。なお、それぞれのセラミックグリーンシートには、一度に大量のモジュール基板 2 を形成できるように、ピア導体や電極パターンが複数設けられている。

30

【 0041 】

次に、各誘電体層が積層されて積層体が形成される。そして、焼成後に個々のモジュール基板 2 に分割するための溝が、各モジュール基板 2 の領域を囲むように形成される。続いて、積層体が低温焼成されることによりモジュール基板 2 の集合体が形成される。

40

【 0042 】

続いて、個々のモジュール基板 2 に分割される前に、モジュール基板 2 の集合体の実装面 2 a に、分波器 10 およびチップコイル 3 a などの種々の部品が実装されたモジュール基板 2 の集合体の実装面 2 a にモールド樹脂が充填されて、これが加熱硬化されることによりモールド層 (図示省略) が各モジュール基板 2 に設けられて回路モジュール 1 の集合体が形成される。そして、回路モジュール 1 の集合体は個々に分割されて、回路モジュール 1 が完成する。

【 0043 】

このように形成された回路モジュール 1 では、マザー基板の送信信号ライン Tx から、実装用電極 6 および内部配線パターン 5 を介して分波器 10 の送信端子 17 a に出力され

50

た送信信号は、送信フィルタ素子 14 に入力されて所定のフィルタ処理が施されて、共通端子 17c からモジュール基板 2 側に出力され、内部配線パターン 5 (整合回路 3) および実装用電極 6 を介してマザー基板のアンテナライン ANT に出力される。また、マザー基板のアンテナライン ANT から、実装用電極 6 および内部配線パターン 5 (整合回路 3) を介して分波器 10 の共通端子 17c に入力された受信信号は、受信フィルタ素子 15 に入力されて所定のフィルタ処理が施されて、受信端子 17b からモジュール基板 2 側に出力され、内部配線パターン 5 および実装用電極 6 を介してマザー基板の受信信号ライン Rx に出力される。

【 0044 】

なお、内部配線パターン 5 が設けられたモジュール基板 2 や、WL - CSP 構造を有する分波器 10 を備える回路モジュール 1 は、上記した製造方法に限らず、周知の一般的な製造方法により形成すればよく、モジュール基板 2 は、樹脂やセラミック、ポリマー材料などを用いた、プリント基板、LTCC、アルミナ系基板、ガラス基板、複合材料基板、単層基板、多層基板などで形成することができ、回路モジュール 1 の使用目的に応じて、適宜最適な材質を選択してモジュール基板 2 を形成すればよい。

10

【 0045 】

以上のように、この実施形態では、モジュール基板 2 に実装される分波器 10 は、素子基板 11 の一方の主面 11a の所定領域を囲繞して配置された絶縁層 12 にカバー層 13 が積層配置されて形成されている。そして、素子基板 11 とカバー層 13 との間に絶縁層 12 により囲繞されて形成された空間内において、素子基板 11 の一方の主面 11a の所定領域に通過帯域が異なる送信フィルタ素子 14 および受信フィルタ素子 15 が設けられている。

20

【 0046 】

したがって、分波器 10 が、従来のようにパッケージ基板を備えていない分、モジュール基板 2 に分波器 10 が実装されて形成される回路モジュール 1 の更なる低背化および小型化を図ることができる。

【 0047 】

また、送信フィルタ素子 14 に接続される共振器 16 を形成するコイル 16a や、送信フィルタ素子 14 および受信フィルタ素子 15 の共通端子 17c に接続される整合回路を形成するチップコイル 3a などの回路素子は、従来、分波器 10 が備えていたパッケージ基板に設けられていた。しかしながら、この実施形態では、コイル 16a およびチップコイル 13a を、それぞれ、分波器 10 のカバー層 13 とモジュール基板 2 とに分散して配置することにより、大面積のパッケージ基板を有する大型の分波器 10 を使用しなくとも、コイル 16a およびチップコイル 13a を離間して配置することができ、コイル 16a およびチップコイル 13a が電磁結合するなどして相互に干渉するのを防止することができる。

30

【 0048 】

このとき、整合回路 3 を形成するチップコイル 3a と比較すると、インダクタンス値が比較的小さいため、配線パターン 5 に寄生する寄生インダクタンスが送信フィルタ素子 14 に与える影響が大きいコイル 16a を分波器 10 のカバー層 13 に設けているため、送信フィルタ素子 14 とコイル 16a とを近接配置することができ、コイル 16a から送信フィルタ素子 14 までの配線パターン 5 において発生する寄生インダクタンスが送信フィルタ素子 14 に与える影響を低減することができるので実用的である。

40

【 0049 】

また、共振器 16 を形成するコイル 16a と比較すると、インダクタンス値が比較的大きい整合回路 3 を形成するためのチップコイル 3a が、分波器 10 のカバー層 13 に比べて回路素子の配置スペースに余裕があるモジュール基板 2 に設けられているため、回路モジュール 1 の設計の自由度を高めることができる。

【 0050 】

すなわち、チップコイル 3a がモジュール基板 2 の実装面 2a に実装されて形成された

50

整合回路 3 は、送信フィルタ素子 1 4 および受信フィルタ素子 1 5 のそれぞれの出力側および入力側に接続されるが、チップコイル 3 a は回路素子の配置スペースに余裕のあるモジュール基板 2 に設けられるため、例えば大きなインダクタンス値を有するチップコイル 3 a により実用的な構成で整合回路 3 を容易に回路モジュール 1 に形成することができる。また、チップコイル 3 a などのチップ部品を交換することで、回路モジュール 1 の設計変更に対応することができる。

【 0 0 5 1 】

また、分波器 1 0 とチップコイル 3 a との間に配置されるシールド電極 4 がモジュール基板 2 に設けられているため、チップコイル 3 a が、送信フィルタ素子 1 4 や受信フィルタ素子 1 5、コイル 1 6 a と磁界結合や容量結合して相互干渉するのを防止することができる。

10

【 0 0 5 2 】

また、コイル 1 6 a は、カバー層 1 3 内の回路パターンにより形成されているが、送信フィルタ 1 4 に接続される必要最小限の電極パターンがカバー層 1 3 に形成されることにより、カバー層 1 3 の厚みが増大するのを防止することができ、分波器 1 0 は、コイル 1 6 a がカバー層 1 3 に設けられることにより高背化することがないため、非常に実用的である。

【 0 0 5 3 】

また、素子基板 1 1 は圧電体により形成されて、送信フィルタ素子 1 4 および受信フィルタ素子 1 5 は、それぞれ、圧電体の一方の主面 1 1 a の所定領域にくし歯電極 1 4 a、1 5 a が設けられることにより形成された S A W フィルタ素子であり、S A W フィルタの減衰特性の調整用の共振器 1 6 が送信フィルタ素子 1 4 に接続されるため送信フィルタ素子 1 4 の減衰特性の向上を図ることができる。また、一般的に、整合回路 3 用のチップコイル 3 a などに比較すると、S A W フィルタ素子の減衰特性の調整用の共振器 1 6 を形成するコイル 1 6 a のインダクタンス値は小さなものでよいため、分波器 1 0 のカバー層 1 3 にコイル 1 6 a を設けても、分波器 1 0 が大型化することがなく、実用的である。

20

【 0 0 5 4 】

なお、この実施形態では、送信フィルタ素子 1 4 および受信フィルタ素子 1 5 に接続される整合回路 3 を形成するために、チップコイル 3 a がモジュール基板 2 の実装面 2 a に実装されているが、送信フィルタ素子 1 4 または受信フィルタ素子 1 5 に接続される回路の構成に応じて、チップコイル 3 a と一緒に、または、チップコイル 3 a に換えて、チップ抵抗やチップコンデンサなどのチップ部品を実装面 2 a に実装してもよい。

30

【 0 0 5 5 】

また、この実施形態では、送信フィルタ素子 1 4 に接続される共振器 1 6 を形成するために、コイル 1 6 a が分波器 1 0 のカバー層 1 3 に設けられているが、送信フィルタ素子 1 4 または受信フィルタ素子 1 5 に接続される回路の構成に応じて、コイル 1 6 a と一緒に、または、コイル 1 6 a に換えて、抵抗やコンデンサを形成する回路パターンをカバー層 1 3 内に設けてもよい。また、送信フィルタ素子 1 4 または受信フィルタ素子 1 5 に接続されるチップ部品などの回路素子を分波器 1 0 のカバー層 1 3 に設けてもよい。

【 0 0 5 6 】

40

< 第 2 実施形態 >

次に、図 3 を参照して本発明の第 2 実施形態について説明する。図 3 は本発明の回路モジュールの第 2 実施形態を示す図である。

【 0 0 5 7 】

この実施形態が上記した第 1 実施形態と異なるのは、図 3 に示すように、整合回路 3 を形成するコイル 1 0 3 a が、モジュール基板 2 内の回路パターンにより形成されている点であり、その他の構成は上記した第 1 実施形態と同様の構成であるため、同一符号を付すことによりその構成の説明は省略する。

【 0 0 5 8 】

図 3 に示すように、整合回路 3 を形成するコイル 1 0 3 a が、モジュール基板 2 内に形

50

成されている。また、分波器 10 およびコイル 103a が、平面視において重なるようにモジュール基板 2 に配置されているが、カバー層 13 に設けられたコイル 16a とモジュール基板 2 に設けられたコイル 103a とは、平面視において重なることなく配置されている。

【0059】

このように構成すると、上記した第 1 実施形態と同様の効果を奏することができると共に、以下の効果を奏することができる。すなわち、整合回路 3 を形成するコイル 103a を、モジュール基板 2 内の回路パターンにより形成することにより、チップコイル 3a などのチップ部品をモジュール基板 2 に搭載しなくともよいため、回路モジュール 1 の小型化を図ることができる。

10

【0060】

また、分波器 10 およびコイル 103a を、平面視において重なるように配置することにより、分波器 10 の実装位置の下方にコイル 103a を配置してモジュール基板 2 を小型化することができるため、回路モジュール 1 の小型化を図ることができる。このとき、コイル 16a, 103a が、平面視において重なることなく配置されているため、コイル 16a, 103a が磁界結合や容量結合して相互干渉するのを防止することができる。これにより、送信フィルタ素子 14 と受信フィルタ素子 15 との間の相互干渉も防ぐことができ、送受信フィルタ間のアイソレーションを向上することができる。

【0061】

また、シールド電極 4 が、カバー層 13 に設けられたコイル 16a とモジュール基板 2 内に設けられたコイル 103a との間に配置されているため、コイル 103a が、コイル 16a や送信フィルタ素子 14 および受信フィルタ素子 15 に磁界結合や容量結合して相互干渉するのを防止することができる。なお、シールド電極 4 は、モジュール基板 2 内部もしくはモジュール基板 2 の実装面 2a に対向する裏面に形成されたグランド電極に接続されていてもよい。

20

【0062】

なお、この実施形態では、送信フィルタ素子 14 および受信フィルタ素子 15 に接続される整合回路 3 を形成するために、コイル 103a がモジュール基板 2 内に設けられているが、送信フィルタ素子 14 または受信フィルタ素子 15 に接続される回路の構成に応じて、コイル 103a と一緒に、または、コイル 103a に換えて、抵抗やコンデンサを形成する回路パターンをモジュール基板 2 内に設けてもよい。

30

【0063】

< 第 3 実施形態 >

次に、図 4 を参照して本発明の第 3 実施形態について説明する。図 4 は本発明の回路モジュールの第 3 実施形態を示す図である。

【0064】

この実施形態が上記した第 1 実施形態と異なるのは、図 4 に示すように、モジュール基板 2 内にコイル 103a が設けられており、整合回路 3 が、チップコイル 3a およびコイル 103a により形成されると共に、チップコイル 3a およびコイル 103a が、平面視において重なるように配置されている点であり、その他の構成は上記した第 1 実施形態と同様の構成であるため、同一符号を付すことによりその構成の説明は省略する。

40

【0065】

このように構成すると、上記した第 1 実施形態と同様の効果を奏することができると共に、以下の効果を奏することができる。すなわち、チップコイル 3a とコイル 103a とを組合わせて整合回路 3 を形成することによりチップコイル 3a を小型化でき、チップコイル 3a およびコイル 103a が平面視において重なるように配置されることで、チップコイル 3a およびコイル 103a の回路モジュール 1 における占有面積を小さくすることができるため、回路モジュール 1 を小型化することができる。

【0066】

なお、この実施形態では、チップコイル 3a およびモジュール基板 2 内のコイル 103

50

aにより整合回路3が形成されているが、コイル103aを、チップコイル3aとは独立してモジュール基板2内に設けることにより、コイル103aにより、送信フィルタ素子14または受信フィルタ素子15に接続される整合回路3とは異なる回路を構成してもよい。また、送信フィルタ素子14または受信フィルタ素子15に接続される回路の構成に応じて、コイル103aと一緒に、または、コイル103aに換えて、抵抗やコンデンサを形成する回路パターンをモジュール基板2内に設けてもよい。

【0067】

<第4実施形態>

次に、図5を参照して本発明の第4実施形態について説明する。図5は本発明の回路モジュールの第4実施形態を示す図である。

10

【0068】

この実施形態が上記した第2実施形態と異なるのは、図5に示すように、カバー層13に設けられたコイル16aおよびモジュール基板2内に設けられたコイル103aが、それぞれ送信フィルタ素子14の直下に配置されて送信フィルタ素子14に接続されている点であり、その他の構成は上記した第1および第2実施形態と同様の構成であるため、同一符号を付すことによりその構成の説明は省略する。

【0069】

このように構成すると、上記した第1実施形態と同様の効果を奏することができると共に、以下の効果を奏することができる。すなわち、カバー層13に設けられたコイル16aおよびモジュール基板2内に設けられたコイル103aは、それぞれ送信フィルタ素子14の直下に配置されて送信フィルタ素子14に接続されているため、送信フィルタ素子14を伝達する信号が受信フィルタ素子15に漏洩するのを防止することができ、送信フィルタ素子14および受信フィルタ素子15のアイソレーション特性の向上を図ることができる。

20

【0070】

なお、本発明は上記した実施形態に限定されるものではなく、その趣旨を逸脱しない限りにおいて、上記したもの以外に種々の変更を行なうことが可能である。例えば、上記した実施形態では、本発明の第1のフィルタ素子を送信フィルタ素子14により形成し、本発明の第2のフィルタ素子を受信フィルタ素子15により形成したが、第1、第2のフィルタ素子を、それぞれ受信フィルタ素子15および送信フィルタ素子14により形成してもよい。

30

【0071】

また、上記したシールド電極4は必ずしも設けなくともよく、第1の回路素子および第2の回路素子を従来と比較して十分に離間して配置することにより、第1の回路素子および第2の回路素子が、磁界結合や容量結合して相互干渉するのを防止することができる。

【0072】

また、上記した実施形態では、モジュール基板に1個の分波器が搭載された回路モジュールを例に挙げて説明したが、モジュール基板に2個以上の分波器を搭載して回路モジュールを形成してもよく、この場合、モジュール基板にスイッチICを搭載して、モジュール基板に搭載された複数の分波器から、使用する分波器をスイッチICにより選択して切換えるようにするとよい。また、上記した実施形態では、第1、第2のフィルタ素子は同一の空間に配置されているが、素子基板とカバー層との間に絶縁層により囲まれる空間を2個形成し、各空間に第1、第2のフィルタ素子をそれぞれ配置するようにしてもよい。

40

【0073】

また、上記した実施形態では、第1、第2のフィルタ素子を一体的に備えるWL-CSPとして形成された分波器を例に挙げて説明したが、複数の素子基板、カバー層および絶縁層により分波器を形成してもよく、この場合、素子基板とカバー層との間に形成される絶縁層により囲まれた空間に第1のフィルタ素子が配置されたWL-CSP構造の素子と、素子基板とカバー層との間に形成される絶縁層により囲まれた空間に第2のフィルタ素子を配置したWL-CSP構造の素子とを2個用意し、これらの2個の素子をモジュール

50

基板に搭載することにより本発明の分波器を構成してもよい。

【産業上の利用可能性】

【0074】

本発明は、通過帯域が異なる第1のフィルタ素子および第2のフィルタ素子を有する分波器を備える回路モジュールに広く適用することができる。

【符号の説明】

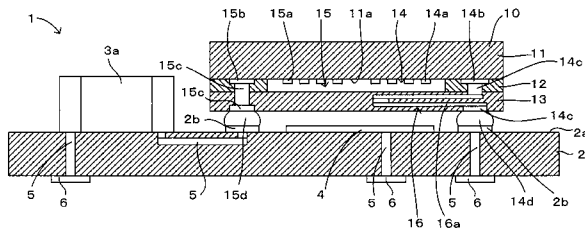
【0075】

- 1 回路モジュール
- 2 モジュール基板
- 2 a 実装面
- 3 整合回路
- 3 a チップコイル(第2の回路素子、チップ部品)
- 103 a コイル(第2の回路素子)
- 4 シールド電極
- 10 分波器
- 11 素子基板
- 11 a 一方の主面
- 12 絶縁層
- 13 カバー層
- 14 送信フィルタ素子(第1のフィルタ素子)
- 15 受信フィルタ素子(第2のフィルタ素子)
- 14 a, 15 a くし歯電極
- 16 共振器
- 16 a コイル(第1の回路素子)

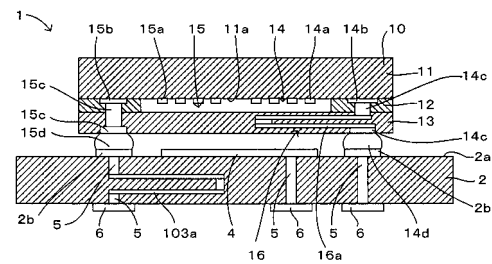
10

20

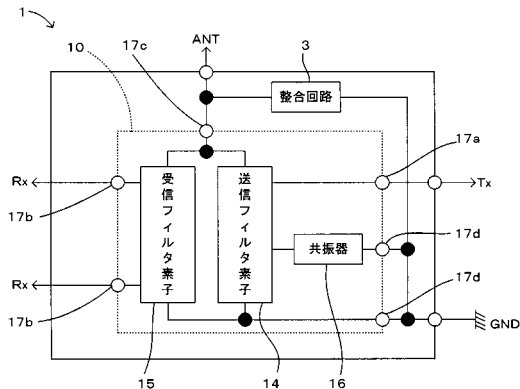
【図1】



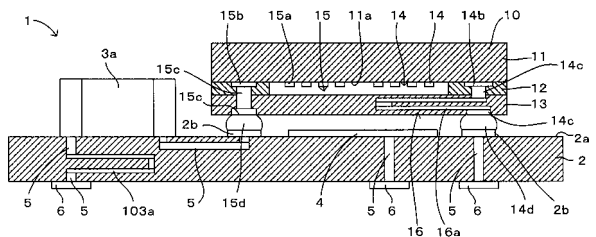
【図3】



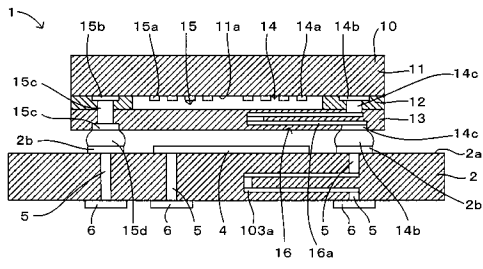
【図2】



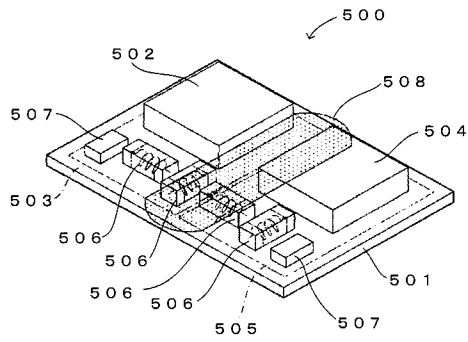
【図4】



【図5】



【図6】



フロントページの続き

- (56)参考文献 特開2005-124139(JP,A)
特開2009-010121(JP,A)
国際公開第2006/040927(WO,A1)
国際公開第2010/125873(WO,A1)
国際公開第2007/145049(WO,A1)
特開2010-136143(JP,A)
国際公開第2004/102798(WO,A1)
国際公開第2007/083432(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H03H3/007 - H03H3/10
H03H9/00 - H03H9/76
H04B 1/50