

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/31

(45) 공고일자 1999년02월01일
(11) 등록번호 특0159388
(24) 등록일자 1998년08월11일

(21) 출원번호 특1995-033522
(22) 출원일자 1995년09월30일

(65) 공개번호 특1997-018221
(43) 공개일자 1997년04월30일

(73) 특허권자 대우전자주식회사 배순훈
(72) 발명자 서울특별시 중구 남대문로 5가 541번지
노재우
(74) 대리인 서울특별시 마포구 합정동 358-4
장성구, 김원준

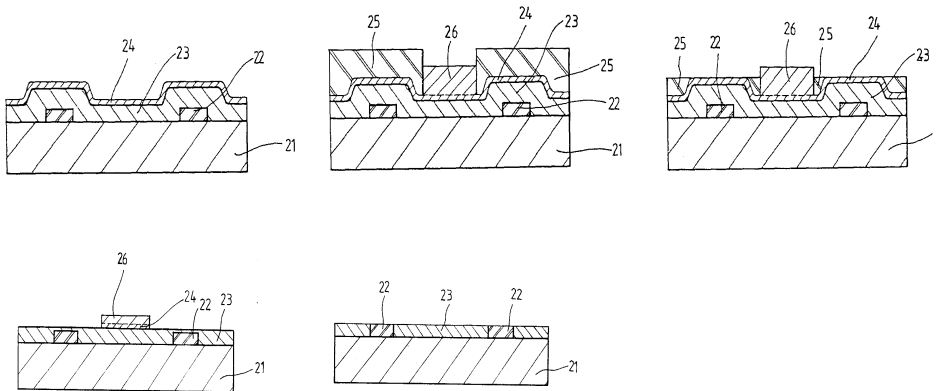
심사관 : 고광석

(54) 평탄화 방법

요약

다층 배선 구조를 갖는 실리콘 웨이퍼의 하부층의 패턴 형성에 의하여 발생된 단차를 완화시키기 위한 평탄화 방법에 관한 것으로 실리콘 웨이퍼상에 소정 형상으로 패터닝된 메탈층을 형성시키는 제1단계와, 상기 메탈층상에 실리콘 산화물(SiO₂)을 소정 두께로 적층시켜서 절연층을 형성시키는 제2단계와, 상기 절연층상에 시드층을 형성시키는 제3단계와, 상기 시드층상에 포토 레지스트를 도포시켜서 형성된 감광층을 패터닝시키는 제4단계와, 상기 감광층의 패턴을 통하여 노출된 상기 시드층상에 전도층을 형성시키는 제5단계와, 제1차 건식 식각 공정에 의하여 상기 시드층상에 잔존하는 감광층의 일부를 제거하여 상기 시드층을 부분적으로 노출시키는 제6단계와, 2차 건식 식각 공정에 의하여 상기 시드층 및 절연층의 일부를 제거하는 제7단계와, 습식 식각 공정에 의하여 상기 전도층 및 시드층을 제거하는 제8단계와, 그리고, 3차 건식 식각 공정에 의하여 상기 절연층을 제거하여 상기 실리콘 웨이퍼 상에 균일한 평면을 제공하는 제9단계로 이루어지며 이에 의해서 상기 실리콘 웨이퍼상에 메탈층이 노출된 평탄한 표면 상태의 절연층을 제공하며 그 결과 제품의 신뢰도를 향상시킬 수 있다.

대표도



명세서

[발명의 명칭]

평탄화 방법

[도면의 간단한 설명]

제1도(a) 내지 (c)는 종래 실시예에 따른 평탄화 방법을 순차적으로 도시한 단면도.

제2도 (a) 내지 (e)는 본 발명에 따른 평탄화 방법을 순차적으로 도시한 단면도.

제3도는 일반적으로 반응성 이온 식각 공정시 감광층과 절연층의 식각률을 나타낸 그래프.

* 도면의 주요부분에 대한 부호의 설명

21 : 실리콘 웨이퍼

22 : 메탈층

23 : 절연층

24 : 시드층

25 : 감광층

26 : 전도층

[발명의 상세한 설명]

본 발명은 도플러지를 개선시키기 위한 평탄화 방법에 관한 것으로서, 특히 복수개의 메탈층을 형성시킨 다층 배선 구조에서 하부층의 패턴 형성에 의하여 발생하는 단차를 감소시켜 상부층의 단선 방지 및 신뢰성을 향상시키기 위한 평탄화 방법에 관한 것이다.

일반적으로, 다층 배선 구조를 갖는 실리콘 웨이퍼에서 하부층의 패턴 형성에 의한 단차 발생에 의하여 상기 하부층상에 형성되는 상부층의 배선 구조예를 들면 메탈층은 단선되며 그 결과 이러한 실리콘 웨이퍼를 사용하는 제품의 신뢰성을 저하시키게 된다.

이러한 문제점을 해소시키기 위한 종래 일실시예에 따르면, 제1도(a) 내지 (c)에 도시되어 있는 바와 같이, 실리콘 웨이퍼(11)상에 패터닝된 메탈층(12)을 형성시킨 후 상기 메탈층(12)에 의해서 생성된 단차를 완화시키기 위하여 상기 실리콘 웨이퍼(11)상에 절연 물질을 소정 두께로 적층시켜서 절연층(13)을 형성시킨다.

이 후에 상기 절연층(13)상에 포토 레지스트(PR)를 소정 두께로 도포시켜서 감광층(14)을 형성시키며 여기에서 상기 포토 레지스트는 양호한 점성을 구비하고 있으므로 상기 감광층(14)은 상기 절연층(13)상에 평탄한 상태로 형성된다.

이때, 상기 메탈층(12)을 노출시키기 위하여 이방성 에칭 특성이 양호한 반응성 이온 식각 공정에 의하여 에칭 백 공정을 수행하여 상기 감광층(14) 및 절연층(13)을 제거하며 여기에서 상기 반응성 이온식각 공정은 불화탄소(CF₄) 및 산소(O₂)를 사용한 플라즈마 공정에 의하여 수행된다.

한편, 제3도에 도시되어 있는 바와 같이 상기 반응성 이온 식각 공정에 사용되는 산소의 양을 조절시킴으로써 상기 감광층(14)과 절연층(13)의 식각률을 조절시킬 수 있으므로 상기 실리콘 웨이퍼(11)상에 형성된 메탈층(12)에 의한 단차를 제거하기 위하여 상기 산소의 양을 조절하여서 상기 감광층(14) 및 절연층(13)의 식각률을 동일한 조건으로 유지시킨다.

따라서, 상기된 바와 같은 조건하에서 식각 공정을 수행함으로써 제1도 (c)에 도시되어 있는 바와 같이, 상기 실리콘 웨이퍼(11)상에는 상기 메탈층(12) 및 상기 절연층(13)에 의한 평탄한 표면을 제공하게 된다.

그러나, 상기된 바와 같이 메탈층(12)의 패턴 형성에 의하여 생성된 상기 절연층(13)의 단차는 높은 정도를 갖는 상기 감광층(14)의 최종 형상에 의존되고 또한 상기 절연층(13)의 단차를 완화시키기 위하여 상기 절연층(13)상에 감광층(14)을 형성시킨 후 반응성 이온 식각 공정에 의하여 상기 절연층(13) 및 감광층(14)을 에칭 백시키므로 많은 식각 공정 시간을 요구한다는 문제점이 발생된다.

본 발명은 상기와 같은 종래 문제점을 해소시키기 위하여 안출된 것으로 그 목적은 복수개의 메탈층을 갖는 다층 배선 구조에서 하부층의 패턴 형성에 의하여 생성된 단차를 완화시키기 위한 식각 공정 시간을 단축시킬 수 있을 뿐만 아니라 제조 단가를 저렴화시킬 수 있는 평탄화 방법을 제공하는 데 있다.

상기 목적을 달성하기 위한 본 발명에 따른 평탄화 방법은 실리콘 웨이퍼상에 소정 형상으로 패터닝된 메탈층을 형성시키는 제1단계와, 상기 메탈층상에 실리콘 산화물(SiO₂)을 소정 두께로 적층시켜서 절연층을 형성시키는 제2단계와, 상기 절연층상에 시드층을 형성시키는 제3단계와, 상기 시드층상에 포토 레지스트를 도포시켜서 형성된 감광층을 패터닝시키는 제4단계와, 상기 감광층의 패턴을 통하여 노출된 상기 시드층상에 전도층을 형성시키는 제5단계와, 상기 건식 식각 공정에 의하여 상기 시드층상에 잔존하는 감광층의 일부를 제거하여 상기 시드층을 부분적으로 노출시키는 제6단계와, 2차 건식 식각 공정에 의하여 상기 시드층 및 절연층의 일부를 제거하는 제7단계와, 습식 식각 공정에 의하여 상기 전도층 및 시드층을 제거하는 제8단계와, 그리고 3차 건식 식각 공정에 의하여 상기 절연층을 제거하여 상기 실리콘 웨이퍼 상에 균일한 평면을 제공하는 제9단계로 이루어진다.

본 발명의 일실시예에 따르면, 상기 시드층은 전기 도금 공정에 의하여 상기 절연층상에 형성된 2개의 층으로 구성된다.

본 발명의 일실시예에 따르면, 상기 1차 건식 식각 공정은 산소 플라즈마를 사용한 반응성 이온 식각 공정에 의하여 수행되고 상기 2차 건식 식각 공정은 염소, 불화 탄소(CF₄) 및 산소 플라즈마를 사용한 반응성 이온 식각 공정에 의하여 수행되며 상기 3차 건식 식각 공정은 불화 탄소 플라즈마를 사용한 반응성 이온 식각 공정에 의하여 수행된다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 일실시예를 상세히 설명하면 다음과 같다.

제2도 (a) 내지 (e)는 본 발명의 일실시예에 따라서 하부층의 패턴 형성에 의하여 생성된 단차를 완화시키기 위한 평탄화 방법을 순차적으로 도시한 단면도이다.

즉, 본 발명에 따른 평탄화 방법은 실리콘 웨이퍼(21)상에 소정 형상으로 패터닝된 메탈층(22)을 형성시키는 제1단계와, 상기 메탈층(22)상에 실리콘 산화물(SiO₂)을 소정 두께로 적층시켜서 절연층(23)을 형성시키는 제2단계와, 상기 절연층(23)상에 시드층(24)을 형성시키는 제3단계와, 상기 시드층(24)상에 포토 레지스트(PR)를 도포시켜서 형성된 감광층(25)을 패터닝시키는 제4단계와, 상기 감광층(25)의 패턴을 통하여 노출된 상기 시드층(24)상에 전도층(26)을 형성시키는 제5단계와, 1차 건식 식각 공정에 의하여 상기 시드층(24)상에 잔존하는 상기 감광층(25)의 일부를 제거하여 상기 시드층(24)을 부분적으로 노출시키는 제6단계와, 2차 건식 식각 공정에 의하여 상기 시드층(24) 및 절연층(25)의 일부를 제거하는 제7단계와, 습식 식각 공정에 의하여 상기 전도층(26) 및 시드층(24)을 제거하는 제8단계와, 그리고 3차 건식 식각 공정에 의하여 상기 절연층(25)을 제거하여 상기 실리콘 웨이퍼(21)상에 평탄한 표면을 제공하는 제9

단계로 이루어진다.

먼저, 제2도(a)를 참조하면, 실리콘 웨이퍼(21)상에 화학기상 증착공정(CVD) 또는 물리 기상 증착 공정(PVD)에 의하여 구리 또는 금과 같은 도전성 물질을 소정 두께로 적층시켜서 메탈층(22)을 형성시킨다.

이때, 상기 메탈층(22)은 포토 리소그래피 공정 또는 스텝퍼를 사용한 건식 식각 공정 또는 습식 식각 공정에 의하여 소정 형상으로 패터닝되며 이에 의해서 상기 실리콘 웨이퍼(21)상에 메탈층(22)에 의한 소정 크기의 단차가 형성된다.

또한, 상기된 바와 같이 상기 메탈층(22)의 패턴이 소정 형상으로 형성된 상기 실리콘 웨이퍼(21)상에 실리콘 산화물(SiO₂)로 이루어진 절연 물질을 화학 기상 증착 공정(CVD)에 의하여 소정 두께로 적층시킴으로써 절연층(23)을 형성시키며 여기에서 상기 절연층(23)은 상기 메탈층(22)의 패턴에 의하여 소정 크기의 단차가 형성된 토폴로지(topology)를 구비한다.

한편, 상기 절연층(23)상에 니켈-철 합금, 니켈, 은, 금(Au) 또는 구리(Cu)와 같은 도전성 금속을 상기된 바와 같은 화학 기상 증착공정(CVD) 또는 물리 기상 증착 공정(PVD)에 의하여 상대적으로 얇은 두께로 적층시킴으로써 상기 절연층(23)의 토폴로지와 동일 토폴로지를 갖는 시드층(24)을 형성시키며 이에 의하여 형성된 상기 시드층(24)은 이 후에 수행되는 전기 도금 고정(electro plating)시 형성되는 메탈층(제2도(b) 참조)의 시드(seed)로 작용하게 된다.

여기에서, 상기된 바와 같이 상기 절연층(23)이 실리콘 산화물로 이루어져 있는 경우 상기 도전성 금속은 상기 실리콘 산화물에 대한 화학력이 불량하므로 상기 증착 공정에 의하여 상기 도전성 금속은 상기 절연층(23)상에 견고하게 증착되지 않으며 이에 의하여 상기 절연층(23)상에 시드층이 형성되지 않는다.

따라서, 본 발명의 바람직한 실시예에 따르면, 상기 시드층(24)은 상기 절연층(23)을 구성하는 실리콘 산화물에 대한 친화력이 상기 금 또는 구리에 비하여 상대적으로 큰 티타늄(Ti) 또는 크롬(Cr)을 화학 기상 증착 공정 또는 물리 기상 증착 공정 등에 의하여 소정 두께로 적층시킴으로써 형성된 제1시드층 및 상기 제1시드층상에 상기 구리 또는 금과 같은 도전성 금속을 상기 증착 공정에 의하여 적층시킴으로써 형성된 제2시드층으로 구성된다.

한편, 상기된 바와 같이 2개의 층으로 구성된 상기 시드층(24)의 적층 두께는 이 후에 실시되는 건식 식각 공정시 상기 시드층(24)의 식각률이 상기 절연층(23)의 식각률과 동일하게 유지될 수 있도록 형성되며 상기 시드층(24)의 적층 두께에 대한 상세한 값은 하기 표 1에 표시된다.

[표 1]

도전층 조성 물질	시드층 조성 물질	적층 두께(Å)
NiFe	Cr/NiFe	110/90
Ni	Ti/Ni	35/165
Rh	Ti/Rh	50/150
Au	Ti/Au	85/115
Sn	Ti/Sn	85/115
Ag	Ti/Ag	85/115
Cu	Ti/Cu	70/130

즉, 상기 표 1에 나타난 바와 같이 상기 절연층(23)상에 형성되는 상기 시드층(24)의 적층 두께는 이 후에 실시되는 전기 도금 공정에 의하여 상기 시드층(24)상에 형성되는 도전층 조성 물질에 따라서 달라진다.

한편, 제2도(b)를 참조하면, 상기된 바와 같이 소정 크기의 적층 두께를 갖는 상기 시드층(24)상에 포토 레지스트(PR)를 충분한 두께로 도포시켜서 감광층(25)을 형성시키며 이때 상기 감광층(25)은 양호한 점성을 구비하고 있으므로 상기 시드층(24)상에 평탄한 표면을 제공하게 된다.

여기에서, 상기 감광층(25)은 스텝퍼(stepper) 또는 포토 마스크를 사용하는 포토 리소그래피 공정에 의하여 상기 감광층(25)을 자외선에 노출시킨후 현상액에 현상시킴으로써 상기 감광층(25)의 일부를 제거한다.

한편, 상기 포토 리소그래피 공정에 의하여 제거되는 상기 감광층(25)의 일부는 상기 실리콘 웨이퍼(21)상에 형성된 상기 메탈층(22)에 의한 단차가 형성되지 않은 평탄한 부분 즉, 상기 메탈층(22)의 사이의 일부에 해당되며 그 결과 상기 절연층(23)상에 형성된 상기 시드층(24)중 평탄한 부분에 해당되는 일부가 노출된다.

또한, 상기 감광층(25)의 일부를 제거함으로써 노출된 상기 시드층(24)상에 상기 표 1에 나타난 바와 같이 상기 시드층(24)을 구성하는 조성과 동일한 조성의 도전성 금속을 전기 도금 공정(electro plating)에 의하여 소정 두께로 형성시킴으로써 도전층(26)을 형성시키며 이때, 상기 시드층(24)상에 적층되는 상기 도전층(26)의 적층 두께는 상기 감광층(25)의 적층 두께보다 약 4000 내지 5000Å 정도 낮게 형성된다.

한편, 제2도(c)를 참조하면, 상기된 바와 같이 도전층(26)이 형성된 후에 상기 실리콘 웨이퍼(21)상에 평탄한 표면 상태를 제공할 수 있도록 먼저 상기 시드층(24)상에 잔존하는 감광층(25)을 제거하기 위하여 이방성 에칭 특성이 양호한 반응성 이온 식각 공정(RIE)에 의한 1차 건식 식각 공정을 사용한다.

즉, 상기 1차 건식 식각 공정은 상기 감광층(25)을 구성하는 포토 레지스트에 대한 식각률이 상대적으로 양호한 산소 플라즈마(O-plasma)를 사용하여 수행되며 이러한 식각 공정은 상기 실리콘 웨이퍼(21)상에 소정 크기의 단차를 갖는 상기 시드층(24)의 일부가 노출될때까지 수행된다.

이때, 상기된 바와 같은 산소 플라즈마를 이용한 반응성 이온식각 공정에 의하여 상기 시드층(24)의 일부가 노출되는 반면에 상기 메탈층(22)의 패턴사이에 평탄한 상태로 형성된 상기 시드층(24)상에 형성된 도전층(26)은 상기 반응성 이온 식각에 대한 내성을 구비하고 있으므로 상기 식각 공정에 의하여 침식을 받지 않게 되고 그 결과 상기 도전층(26)은 상기 절연층(23)상에 평탄한 상태로 형성된 상기 시드층(24)의 보호막으로 작용된다.

또한 제2도(d)를 참조하면, 상기 1차 건식 식각 공정에 의하여 노출된 상기 시드층(24)의 일부 및 상기 절연층(23)을 제거하여서 상기 실리콘 웨이퍼(21)상에 평탄한 표면을 제공하기 위하여 상기된 바와 같이 이방성 에칭 특성이 양호한 반응성 이온 식각 공정(RIE)에 의하여 2차 건식 식각 공정을 수행한다.

즉, 상기 2차 건식식각 공정은 상기 시드층(24)을 구성하는 도전성 금속에 대한 식각률이 상대적으로 높은 염소 플라즈마를 사용함으로써 수행되고 이때, 상기 염소 플라즈마에 의하여 상기 시드층(24)상에 형성된 상기 도전층(26)을 구성하는 도전성 금속도 동시에 제거된다.

한편, 상기된 바와 같이 염소 플라즈마를 사용하는 상기 2차 건식 식각 공정은 상기 시드층(24)상에 잔존하는 감광층(25)의 일부를 제거하기 위하여 포토 레지스트에 대한 식각률이 상대적으로 높은 산소 플라즈마를 부가적으로 사용하며 또한 상기 염소 플라즈마에 의하여 상기 시드층(24)이 제거될 때 노출되는 상기 절연층(23)을 구성하는 실리콘 산화물에 대한 식각률이 상대적으로 높은 불화 탄소(CF)플라즈마를 부가적으로 사용함으로써 수행된다.

여기에서, 상기된 바와 같은 반응성 이온 식각 공정은 에천트(etchant)로 사용되는 불화 탄소, 산소, 또는 염소 가스를 플라즈마 상태로 여기시킨 결과 발생된 불소, 산소 또는 염소 라디칼을 함유하는 중성 입자들이 상기 시드층(24), 감광층(25) 또는 절연층(23)에 충돌함과 동시에 상기 시드층(24), 감광층(25) 또는 절연층(23)을 각각 구성하고 있는 도전성 금속, 포토 레지스트 또는 실리콘 산화물을 제거한다.

이때, 상기된 바와 같은 2차 건식 식각 공정을 수행함으로써 상기 실리콘 웨이퍼(21)상에 평탄한 표면을 제공하기 위하여 상기 염소, 불화 탄소 및 산소의 조성비를 조절시킴으로써 상기 시드층(24), 절연층(23) 및 감광층(25)의 각각의 식각률을 조절한다.

여기에서, 본 발명의 실시시에 따르면, 상기 2차 건식 식각 공정이 수행됨으로써 생긴 시드층(24)의 표면적이 상대적으로 감소하므로 상기 염소 플라즈마의 사용을 감소시키며 그 결과 상기 도전층(26)은 상기 불화 탄소 플라즈마 및 산소 플라즈마의 식각에 대한 내성을 구비하고 있으므로 상기 메탈층(22)의 패턴사이에 상대적으로 감소된 크기의 단차를 갖는 형상으로 잔존하게 된다.

이때, 상기된 바와 같은 2차 건식 식각 공정에 의하여 상기 실리콘 웨이퍼(21)상에는 평탄한 표면 상태의 절연층(23)이 소정 두께로 잔존할 뿐만 아니라 상기 절연층(23)상에는 상대적으로 감소된 크기의 단차를 갖는 도전층(26)이 잔존한다.

여기에서, 상기 절연층(23)상에 잔존하는 도전층(26)을 제거하기 위하여 등방성 에칭 특성을 나타내는 습식 식각 공정을 수행하며 이러한 습식 식각 공정은 상기 금과 같은 도전성 금속에 대한 습식 식각률이 상대적으로 양호한 요오드 계통의 에칭 용액 및 상기 시드층(24)의 제1시드층을 구성하는 크롬 또는 티타늄에 대한 습식 식각률이 상대적으로 양호한 질산(HNO) 또는 황산(H₂SO₄)으로 이루어진 에칭 용액을 사용함으로써 수행된다.

한편, 본 발명의 다른 실시시에 따르면, 상기 절연층(23)상에 잔존하는 도전층(26)은 상기 질산(HNO) 또는 황산(H₂SO₄)으로 이루어진 에칭 용액만으로 사용하는 리프트 오프(lift off) 공정에 의하여 제거되고 그 결과 상기 실리콘 웨이퍼(21)상에는 소정 크기의 절연층(23)이 잔존하게 된다.

또한, 제2도(e)를 참조하면, 상기 습식 식각 공정에 의하여 상기 실리콘 웨이퍼(21)상에 평탄한 표면 상태로 잔존하는 상기 절연층(23)이 균일하게 제거되며 또한 상기 실리콘 웨이퍼(21)상에 소정 형성의 패턴으로 형성된 상기 메탈층(22)이 화학적 침해를 받지 않도록 이방성 에칭 특성이 양호한 반응성 이온 식각 공정을 사용하는 3차 건식식각 공정을 수행한다.

이때, 상기 3차 건식 식각 공정은 상기된 바와 같이 상기 절연층(23)을 구성하는 실리콘 산화에 대한 선택적 식각률이 상대적으로 양호한 불화 탄소 플라즈마를 사용함으로써 수행되며 이에 의해서 상기 절연층(23)은 균일하게 제거되고 그 결과 상기 실리콘 웨이퍼(21)상에는 상기 메탈층(22)이 노출된 상태의 평탄한 표면에 제공된다.

이상, 상기 내용은 본 발명의 바람직한 실시예를 단지 예시한 것으로 본 발명이 속하는 분야의 당업자는 본 발명의 요지를 변경시킴이 없이 본 발명에 대한 수정 및 변경을 가할 수 있음을 인지할 수 있다

따라서, 본 발명에 따르면, 다층 배선 구조를 실비한 실리콘 웨이퍼의 하부층의 패턴 형성에 의하여 형성되는 단차를 효율적으로 완화시킬 수 있으므로 상기 하부층상에 형성되는 상부층 특히 메탈층의 단락을 방지시킬 수 있으며 이에 의하여 상기 실리콘 웨이퍼의 신뢰성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1

다층 배선 구조를 갖는 실리콘 웨이퍼의 평탄화 방법에 있어서, 실리콘 웨이퍼(21)상에 소정 형상으로 패턴닝된 메탈층(22)을 형성시키는 제1단계와, 상기 메탈층(22)상에 절연 물질을 소정 두께로 적층시켜서 절연층(23)을 형성시키는 제2단계와, 상기 절연층(23)상에 시드층(24)을 형성시키는 제3단계와, 상기 시드층(24)상에 포토 레지스트(PR)를 도포시켜서 형성된 감광층(25)을 패턴닝시키는 제4단계와, 상기 감광

층(25)의 패턴을 통하여 노출된 상기 시드층(24)상에 도전층(26)을 형성시키는 제5단계와, 1차 건식 식각 공정에 의하여 상기 시드층(24)상에 잔존하는 상기 감광층(25)의 일부를 제거하여 상기 시드층(24)을 부분적으로 노출시키는 제6단계와, 2차 건식 식각 공정에 의하여 상기 시드층(24) 및 절연층(25)의 일부를 제거하는 제7단계와, 습식 식각 공정에 의하여 상기 전도층(26) 및 시드층(24)을 제거하는 제8단계와, 그리고 3차 건식 식각 공정에 의하여 상기 절연층(25)을 제거하여 상기 실리콘 웨이퍼(21)상에 평탄한 표면을 제공하는 제9단계로 이루어진 것을 특징으로 하는 평탄화 방법.

청구항 2

제1항에 있어서, 상기 절연층(23)은 실리콘 산화물로 이루어져 있는 것을 특징으로 하는 평탄화 방법.

청구항 3

제2항에 있어서, 상기 절연층(23)은 화학 기상 증착 공정에 의하여 상기 실리콘 산화물을 상기 실리콘 웨이퍼(21)상에 적층시킴으로서 형성되는 것을 특징으로 하는 평탄화 방법.

청구항 4

제2항에 있어서, 상기 시드층(24)은 티나늄 또는 크롬으로 이루어진 제1시드층 및 상기 제1시드층상에 도전성 금속을 적층시킴으로서 형성된 제2시드층으로 이루어진 것을 특징으로 하는 평탄화 방법.

청구항 5

제4항에 있어서, 상기 도전층(26)은 상기 제2시드층을 구성하는 성분과 동일한 성분의 도전성 금속으로 형성되는 것을 특징으로 하는 평탄화 방법.

청구항 6

제5항에 있어서, 상기 도전층(26)은 상기 메탈층(22)의 패턴사이에 위치되는 상기 절연층(23)의 평탄한 부분상에 형성되는 것을 특징으로 하는 평탄화 방법.

청구항 7

제1항에 있어서, 상기 건식 식각 공정은 이방성 에칭 특성이 양호한 반응성 이온 식각 공정에 의하여 수행되는 것을 특징으로 하는 평탄화 방법.

청구항 8

제7항에 있어서, 상기 1차 건식 식각 고정은 산소 플라즈마를 사용하는 것을 특징으로 하는 평탄화 방법.

청구항 9

제7항에 있어서, 상기 2차 건식 식각 공정은 염소 플라즈마를 사용하는 것을 특징으로 하는 평탄화 방법.

청구항 10

제9항에 있어서, 상기 2차 건식 식각 공정은 불화 탄소 플라즈마 및 산소 플라즈마를 부가적으로 사용하는 것을 특징으로 하는 평탄화 방법.

청구항 11

제10항에 있어서, 상기 불화 탄소 플라즈마 및 산소 플라즈마에 의한 상기 절연층(23) 및 감광층(25)의 식각률을 동일하게 유지시키는 것을 특징으로 하는 평탄화 방법.

청구항 12

제7항에 있어서, 상기 3차 건식 식각 공정은 불화 탄소 플라즈마에 의하여 수행되는 것을 특징으로 하는 평탄화 방법.

청구항 13

제11항에 있어서, 상기 2차 건식 식각 공정에 의하여 상기 절연층(23)상에 잔존하는 도전층(26)은 습식 식각 공정에 의하여 제거되는 것을 특징으로 하는 평탄화 방법.

청구항 14

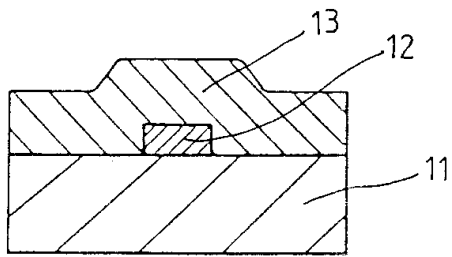
제13항에 있어서, 상기 습식 식각 공정은 요오드 계통의 에칭 용액 및 질산 또는 황산으로 이루어진 에칭 용액의 식각 작용에 의하여 수행되는 것을 특징으로 하는 평탄화 방법.

청구항 15

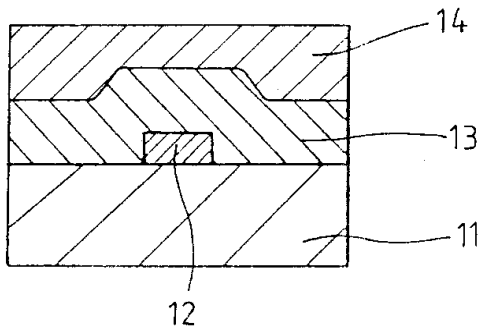
제5항에 있어서, 상기 도전성 금속은 NiFe, Ni, 또는 Rh 조성으로 이루어져 있는 것을 특징으로 하는 평탄화 방법.

도면

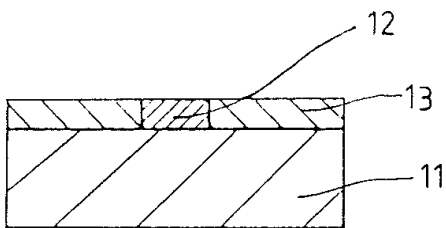
도면 1a



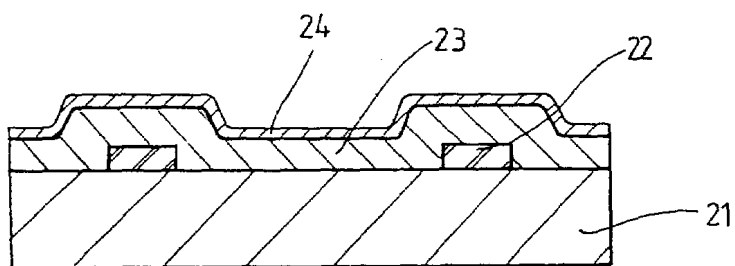
도면 1b



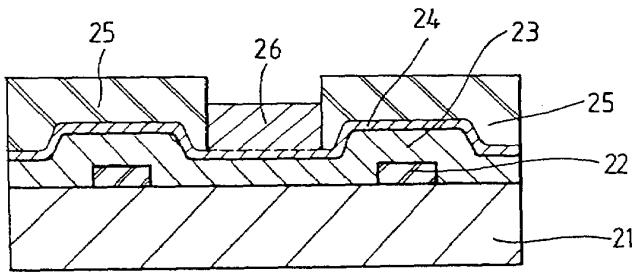
도면 1c



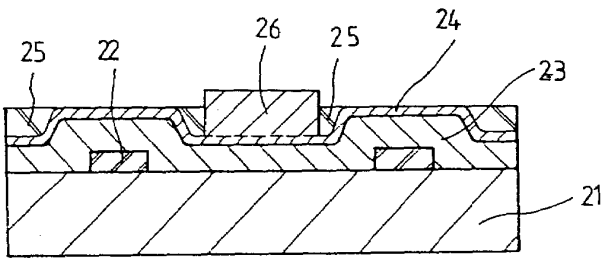
도면 2a



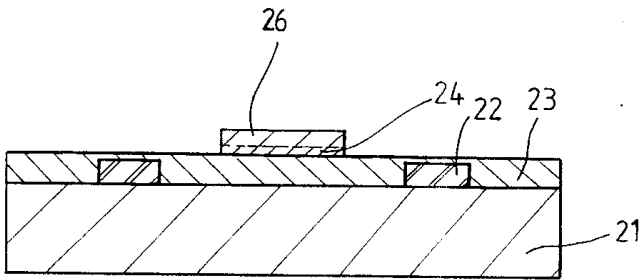
도면2b



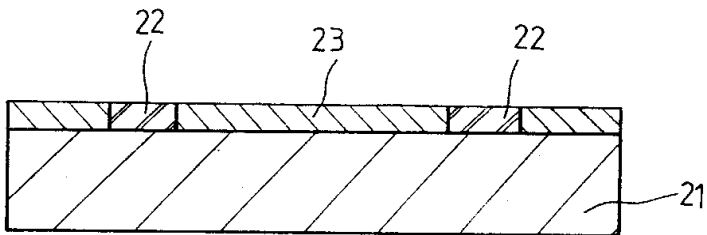
도면2c



도면2d



도면2e



도면3

