



(12) 发明专利

(10) 授权公告号 CN 112349767 B

(45) 授权公告日 2024. 09. 06

(21) 申请号 202010785068.0

(22) 申请日 2020.08.06

(65) 同一申请的已公布的文献号  
申请公布号 CN 112349767 A

(43) 申请公布日 2021.02.09

(30) 优先权数据  
62/883,663 2019.08.07 US

(73) 专利权人 即思创意股份有限公司  
地址 中国台湾新竹市东区埔顶路512号2楼  
之1

(72) 发明人 颜诚廷

(74) 专利代理机构 北京康信知识产权代理有限  
责任公司 11240  
专利代理师 梁小龙

(51) Int. Cl.

H01L 29/06 (2006.01)

H01L 29/08 (2006.01)

H01L 29/16 (2006.01)

H01L 27/088 (2006.01)

(56) 对比文件

CN 109698229 A, 2019.04.30

审查员 孙士博

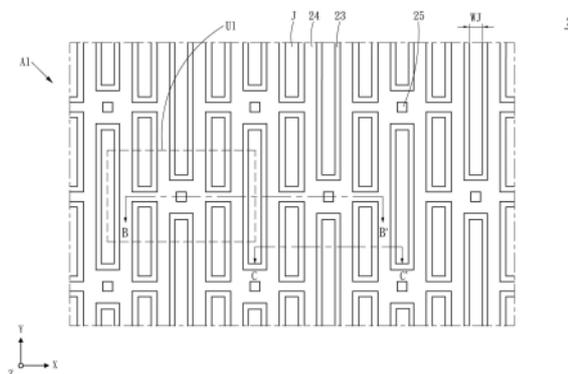
权利要求书2页 说明书10页 附图15页

(54) 发明名称

碳化硅半导体器件

(57) 摘要

一种碳化硅半导体器件,包括一设于邻接具有第一导电性漂移层上表面的主动区的一第二导电性第一掺杂区、一第一导电性第二掺杂区及多个第二导电性第三掺杂区。第一掺杂区包括第一支部、基体部及第一臂部,第一臂部沿着第一方向延伸并连接至少两个第一支部。第一支部沿第二方向延伸。基体部连接至少两个第一支部。第二掺杂区设置于第一掺杂区中。第二掺杂区包括第二支部、源极部和第二臂部。第二支部沿第二方向延伸。源极部设置于基体部中并连接至少两个第二支部。第二臂部沿第一方向延伸并连接至少两个第二支部。第三掺杂区设置于基体部中。



1. 一种碳化硅半导体器件,其特征在于,包括:

—漂移层,设置在一衬底上,该漂移层具有一第一导电类型及一上表面,该漂移层包含一主动区,该主动区的一沟道宽度密度大于 $0.2\mu\text{m}^{-1}$ ,且该主动区包含多个重复的单元晶胞;

—第一掺杂区,设置在与该上表面邻接的该主动区中,该第一掺杂区具有与该第一导电类型相反的一第二导电类型,该第一掺杂区与该漂移层形成至少一个第一p-n结及多个结型场效应管区;

—第二掺杂区,设置在该第一掺杂区中,该第二掺杂区具有该第一导电类型,该第二掺杂区与该第一掺杂区形成至少一个第二p-n结,并沿该上表面在该第一p-n结和该第二p-n结之间定义出多个沟道区;

—多个第三掺杂区,设置在该第一掺杂区中,该些第三掺杂区具有该第二导电类型;

—栅极绝缘体,设置在该上表面上,该栅极绝缘体在该些结型场效应管区、该些沟道区及该第二掺杂区的一部分上延伸;

—栅电极,与该栅极绝缘体接触;以及

—源电极,接触源极部及该些第三掺杂区;

其中,每一该单元晶胞中的该第一掺杂区包括一基体部、四个第一支部、及两个第一臂部,该些第一支部沿一第二方向延伸,该些第一臂部沿着一第一方向延伸并连接至少两个该些第一支部,该基体部连接至少两个该些第一支部,该第一方向和该第二方向相互垂直;

其中,每一该单元晶胞中的该第二掺杂区包括一源极部、四个第二支部、及两个第二臂部,该些第二支部沿该第二方向延伸,该些第二臂部沿该第一方向延伸并连接至少两个该些第二支部,该源极部设置在该基体部中并连接至少两个该些第二支部;

其中,每一该单元晶胞中的该第三掺杂区与该源极部相邻地设置在该基体部中,且该第三掺杂区与相邻的该第一臂部及该第二臂部的连线方向位于该第一方向上。

2. 根据权利要求1所述的碳化硅半导体器件,其特征在于,每一该些第一支部的一侧连接到该基体部,另一侧连接到该些第一臂部。

3. 根据权利要求1所述的碳化硅半导体器件,其特征在于,该些第三掺杂区设置在该基体部中且邻接该源极部。

4. 根据权利要求1所述的碳化硅半导体器件,其特征在于,该些第三掺杂区在部分该基体部中包括多个子区域,该些子区域彼此分离。

5. 根据权利要求1所述的碳化硅半导体器件,其特征在于,该些第三掺杂区具有多种尺寸,且该些第三掺杂区在部分该基体部中与该源极部邻接。

6. 根据权利要求1所述的碳化硅半导体器件,其特征在于,连接到同一该些第一支部两侧的该些第一臂部对准一基线排列。

7. 根据权利要求1所述的碳化硅半导体器件,其特征在于,该栅电极在该些结型场效应管区的一部分上方不与该栅极绝缘体接触。

8. 根据权利要求1所述的碳化硅半导体器件,其特征在于,该漂移层还包括一上部及一下部,该上部的一掺杂浓度高于该下部的一掺杂浓度。

9. 根据权利要求1所述的碳化硅半导体器件,其特征在于,该第一掺杂区在该漂移层中具有一第一最大深度,且该第一最大深度等于或大于该漂移层的厚度的一半。

10. 根据权利要求1所述的碳化硅半导体器件,其特征在于,该些第三掺杂区具有一大

于第一最大深度的第二最大深度。

11. 根据权利要求1所述的碳化硅半导体器件,其特征在于,该第一掺杂区靠近该上表面的一掺杂浓度低于该第一掺杂区的其他部分的掺杂浓度。

12. 根据权利要求1所述的碳化硅半导体器件,其特征在于,该衬底具有该第一导电类型,且该碳化硅半导体器件配置为一金属氧化物半导体场效晶体管。

13. 根据权利要求1所述的碳化硅半导体器件,其特征在于,该衬底具有该第二导电类型,且该碳化硅半导体器件配置为一绝缘栅双极晶体管。

## 碳化硅半导体器件

### 技术领域

[0001] 本发明是有关于一种半导体器件,且特别关于一种碳化硅半导体器件。

### 背景技术

[0002] 碳化硅(Silicon Carbide, SiC)是新兴的功率半导体材料。由于碳化硅的宽禁带而具有优于传统硅功率器件的优越性能,包括对电场的高介电强度及低本征载流子浓度。

[0003] 碳化硅的高介电强度使漂移层的理论单极性特征导通电阻远低于硅的极限,而低的本征载流子浓度则使碳化硅功率器件在高温下仍可稳定运作。

[0004] 然而,包括碳化硅功率金属氧化物半导体场效晶体管(MOSFET)在内的碳化硅MOS闸控制器件的沟道载流子迁移率很低,造成沟道电阻增加,使沟道电阻通常占碳化硅整体导通电阻的很大一部分。因此,如何提高碳化硅半导体器件的效能,实为本领域相关人员所关注的焦点。

[0005] “背景技术”段落只是用来帮助了解本发明内容,因此在“背景技术”段落所披露的内容可能包含一些没有构成所属技术领域中具有通常知识者所知道的已知技术。在“背景技术”段落所披露的内容,不代表该内容或者本发明一个或多个实施例所要解决的问题,在本发明申请前已被所属技术领域中具有通常知识者所知晓或认知。

### 发明内容

[0006] 本发明提供一种碳化硅半导体器件,可以有效提高碳化硅半导体器件的效能。

[0007] 本发明的其他目的和优点可以从本发明所披露的技术特征中得到进一步的了解。

[0008] 本发明的碳化硅半导体器件包括一漂移层、一第一掺杂区、一第二掺杂区、多个第三掺杂区、一栅极绝缘体、一栅电极及一源电极。该漂移层设置在一衬底上。该漂移层具有一第一导电类型及一上表面。该漂移层包含一主动区。该第一掺杂区设置在与该上表面邻接的该主动区中。该第一掺杂区具有与该第一导电类型相反的第二导电类型。该第一掺杂区与该漂移层形成至少一个第一p-n结及多个结型场效应管区。该第一掺杂区包括多个第一支部、多个基体部及多个第一臂部,多个第一臂部沿着一第一方向延伸并连接至少两个该些第一支部。该些第一支部沿一第二方向延伸。该些基体部连接至少两个该些第一支部。该第二掺杂区设置在该第一掺杂区中。该第二掺杂区具有该第一导电类型。该第二掺杂区与该第一掺杂区形成至少一个第二p-n结。并沿该上表面在该第一p-n结和该第二p-n结之间定义出多个沟道区。该第二掺杂区包括多个第二支部、多个源极部和多个第二臂部。该些第二支部沿该第二方向延伸。该些源极部设置在该些基体部中并连接至少两个该些第二支部。该些第二臂部沿该第一方向延伸并连接至少两个该些第二支部。该些第三掺杂区设置在该些基体部中。该些第三掺杂区具有该第二导电类型。该栅极绝缘体设置在该上表面上。该栅极绝缘体在该些结型场效应管区、该些沟道区及该些第二掺杂区的一部分上延伸。该栅电极与该栅极绝缘体接触。该源电极接触该些源极部及该些第三掺杂区。

[0009] 在本发明的一实施例中,上述的每一该些第一支部的一侧连接到该些基体部,另

一侧连接到该些第一臂部。

[0010] 在本发明的一实施例中,上述的该些第三掺杂区设置在上述基体部中且邻接该些源极部。

[0011] 在本发明的一实施例中,上述的该些第三掺杂区在一些上述基体部中包括多个子区域,该些子区域彼此分离。

[0012] 在本发明的一实施例中,上述的该些第三掺杂区具有多种尺寸,该些第三掺杂区在部分上述基体部中与上述源极部邻接。

[0013] 在本发明的一实施例中,上述的连接到同一该些第一支部两侧的该些第一臂部对准一基线排列。

[0014] 在本发明的一实施例中,上述的该栅电极在上述结型场效应管区的一部分上方不与该栅极绝缘体接触。

[0015] 在本发明的一实施例中,上述的该漂移层还包括一上部及一下部,该上部的一掺杂浓度高于该下部的一掺杂浓度。

[0016] 在本发明的一实施例中,上述的该第一掺杂区在该漂移层中具有一第一最大深度,且该第一最大深度等于或大于该漂移层的厚度的一半。

[0017] 在本发明的一实施例中,上述的该第三掺杂区具有一大于该第一最大深度的第二最大深度。

[0018] 在本发明的一实施例中,上述的该第一掺杂区靠近该上表面的一掺杂浓度低于该第一掺杂区的其他部分的掺杂浓度。

[0019] 在本发明的一实施例中,上述的该衬底具有该第一导电类型,且该碳化硅半导体器件配置为一金属氧化物半导体场效应晶体管(Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET)。

[0020] 在本发明的一实施例中,上述的该衬底具有该第二导电类型,且该碳化硅半导体器件配置为一绝缘栅双极晶体管(Insulated Gate Bipolar Transistor, IGBT)。

[0021] 在本发明的一实施例中,上述的该主动区的一沟道宽度密度大于 $0.2\mu\text{m}^{-1}$ 。

[0022] 基于上述,本发明提供的碳化硅半导体器件透过设置包括多个第一支部、多个基体部及多个第一臂部的第一掺杂区域,以及包括多个第二支部、多个源极部及多个第二臂部的第二掺杂区域,可以提高碳化硅半导体器件的性能。

[0023] 为了让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附图作详细说明如下。

## 附图说明

[0024] 图1是一碳化硅半导体器件的剖面的示意图。

[0025] 图2是一碳化硅半导体器件的主动区的示意图。

[0026] 图3是一碳化硅半导体器件的示意图。

[0027] 图4是本发明一实施例的碳化硅半导体器件的示意图。

[0028] 图5A是本发明一实施例的碳化硅半导体器件的示意图。

[0029] 图5B是本发明一实施例的碳化硅半导体器件的示意图。

[0030] 图6A是本发明一实施例的碳化硅半导体器件的示意图。

- [0031] 图6B是本发明一实施例的碳化硅半导体器件的示意图。
- [0032] 图7是本发明另一实施例的碳化硅半导体器件的示意图。
- [0033] 图8是本发明又一实施例的碳化硅半导体器件的示意图。
- [0034] 图9是本发明又一实施例的碳化硅半导体器件的示意图。
- [0035] 图10A是本发明又一实施例的碳化硅半导体器件的示意图。
- [0036] 图10B是图4所示实施例的碳化硅半导体器件的示意图。
- [0037] 图11是本发明又一实施例的碳化硅半导体器件的示意图。
- [0038] 图12是本发明又一实施例的碳化硅半导体器件的示意图。

### 具体实施方式

[0039] 以下的披露内容提供许多不同的实施例或范例以实施本案的不同特征。以下的披露内容叙述各个构件及其排列方式的特定范例,以简化说明。当然,这些特定的范例并非用以限定。例如,若是本发明实施例叙述了一第一特征部件形成于一第二特征部件之上或上方,即表示其可能包含上述第一特征部件与上述第二特征部件是直接接触的实施例,也可能包含了有附加特征部件形成于上述第一特征部件与上述第二特征部件之间,而使上述第一特征部件与第二特征部件可能未直接接触的实施例。此外,以下所披露的不同实施例可能重复使用相同的参考符号及/或标记。这些重复系为了简化与清晰的目的,并非用以限定所讨论的不同实施例及/或结构之间有特定的关系。

[0040] 此外,其中可能用到与空间相关用词,例如「在…下方」、「下方」、「较低的」、「上方」、「较高的」及类似的用词,这些空间相关用词系为了便于描述附图中一个(些)组件或特征部件与另一个(些)组件或特征部件之间的关系,这些空间相关用词包括使用中或操作中的器件的不同方位,以及附图中所描述的方位。当器件被转向不同方位时(旋转90度或其他方位),则其中所使用的空间相关形容词也将依转向后的方位来解释。

[0041] 在本文中,「约」、「大约」以及「实质上」的用语通常表示在一给定值的 $\pm 20\%$ 内,较好是在给定值的 $\pm 10\%$ 内,更好是在给定值的 $\pm 5\%$ 内、在给定值的3%内、在给定值的 $\pm 2\%$ 内、在给定值的 $\pm 1\%$ 内或是在给定值的 $\pm 0.5\%$ 内。本披露给定的数值为大约的数值,即在没有特定说明「约」或「实质上」的情况下,给定值仍可隐含「约」或「实质上」的含义。

[0042] 尽管一些实施例以特定顺序来执行步骤,但是仍可以另一合理的顺序来执行这些步骤。对于不同的实施例,以下说明的某些特征可以替换或消除。应理解的是,一些额外的操作可以在所叙述的方法之前、之中或之后执行,并且在该方法的其他实施例中,某些操作可以被替换或省略。

[0043] 在本文中,对各种实施例的描述中所使用的术语只是为了描述特定示例的目的,而并非旨在进行限制。除非上下文另外明确地表明,或刻意限定组件的数量,否则本文所用的单数形式“一”、“一个”及“该”也包含复数形式。

[0044] 图1是一碳化硅半导体器件1的剖面的示意图。请参照图1,图1显示n沟道平面型碳化硅半导体器件1的一主动区中的一单元晶胞的剖面图。

[0045] 请同时参照图2,图2显示该碳化硅半导体器件1的一主动区A0。如图2所示,该主动区A0是被例如p型保护环(guard rings)或接面终端延伸JTE(junction termination

extension)等端面终端结构JT(junction termination)所包围的区域。图1所示的多个单元晶胞并联设置于该主动区A0中,且连接至一源电极111、一栅电极115及一漏极电极113以提供所需的功能。

[0046] 图1的该碳化硅半导体器件1包括一衬底11、一漂移层12、一pw(P型井)区13、一n+区14、一p+区15、一沟道区16、一栅极绝缘体17、一源电极111、一漏极电极113及一栅电极115。该衬底11是n型重掺杂(n<sup>+</sup>)。该漂移层12是n型轻掺杂(n<sup>-</sup>)。该pw区13是p型掺杂,并形成在与该碳化硅半导体器件1的一上表面131邻接的该漂移层12中。该n+区14是n型掺杂。该p+区15是p型掺杂,并与该n+区14邻接。该沟道区域16具有一由该pw区13及该n+区14所定义的沟道长度(L<sub>ch</sub>)。该栅极绝缘体17设置在该上表面131的一部分上。该栅电极115与该栅极绝缘体17接触。该碳化硅半导体器件1的该源电极111接触该n+区14及该p+区15。该漏极电极113接触该碳化硅半导体器件1的一底部133。

[0047] 在操作期间,在该栅电极115及该源电极111之间施加高于一阈值电压(V<sub>th</sub>)的一栅极-源极电压(V<sub>GS</sub>),以让该沟道区16形成一反转层来使该碳化硅半导体器件1导通,电子电流从该源电极111传导到该漏极电极113。如下方(1)所示,总的漏极-源极导通电阻R<sub>DS(on)</sub>可以表示为电子电流路径上存在的串联电阻的和。

$$[0048] \quad R_{DS(on)} = R_s + R_{n^+} + R_{ch} + R_j + R_d + R_{sub} \quad (1)$$

[0049] 在(1)中,R<sub>s</sub>是源极接触电阻,R<sub>n<sup>+</sup></sub>是n+区的源极电阻,R<sub>ch</sub>是沟道电阻,R<sub>j</sub>是界面场效晶体管(JFET)电阻,R<sub>d</sub>是漂移层电阻,R<sub>sub</sub>是衬底电阻。

[0050] 沟道电阻R<sub>ch</sub>可以进一步写为(2)。

$$[0051] \quad R_{ch} = \frac{L_{ch}}{W_{ch} \mu_n C_{ox} (V_{GS} - V_{th})} \quad (2)$$

[0052] 在(2)中,W<sub>ch</sub>是沟道宽度,μ<sub>n</sub>是沟道载流子迁移率,C<sub>ox</sub>是栅极氧化层电容。根据方程式2,减小沟道长度L<sub>ch</sub>及增大沟道宽度W<sub>ch</sub>都可以降低沟道电阻R<sub>ch</sub>。

[0053] 图3是一碳化硅半导体器件1的示意图,其中图3显示图1所示的该碳化硅半导体器件1沿线A-A'的俯视图。如图3所示,图3显示该主动区(A)的一部分,其仅显示了具有条状单元晶胞布局(stripe cell layout)的该pw区13、该n+区14及该p+区15,其中包含了多个重复的单元晶胞(U)。特征沟道电阻r<sub>ch,sp</sub>(specific on-resistance)可以(4)表示。

$$[0054] \quad r_{ch,sp} = R_{ch} * A_{cell} = \frac{A_{cell} L_{ch}}{W_{ch} \mu_n C_{ox} (V_{GS} - V_{th})} \quad (4)$$

[0055] 在(4)中,A<sub>cell</sub>是单元晶胞(U)的面积。

$$[0056] \quad D_{ch} = \frac{W_{ch}}{A_{cell}} \quad (5)$$

[0057] 如(5)所示,D<sub>ch</sub>是沟道宽度密度。显然,根据(4),通过增加单元晶胞中的总沟道宽度来提高D<sub>ch</sub>可降低r<sub>ch,sp</sub>。举例来说,图3中条状单元晶胞的沟道宽度密度D<sub>ch</sub>可以进一步写为(5.1)。

$$[0058] \quad D_{ch} = \frac{W_{ch}}{A_{cell}} = \frac{2 * dy}{dx * dy} = \frac{2}{dx} \quad (5.1)$$

[0059] 如果把条状单元晶胞布局的X方向的单元晶胞跨距(dx)从10μm缩减到8μm,根据方程式5.1,沟道宽度密度D<sub>ch</sub>将从0.2μm<sup>-1</sup>增加到0.25μm<sup>-1</sup>(或增加25%)。

[0060] 降低单元晶胞跨括距需要使用分辨率更高的光刻制程(需更短波长的光源)以及更精细的制程控制。然而,当波长变短时,光源的焦深(depth of focus)也会变小,考虑到碳化硅晶圆的形貌通常比硅晶圆差(局部厚度变化及弯曲/翘曲较大),因此持续缩小单元晶胞的跨距往制程的极限推进时常容易遇到较大的参数变异及低良率等问题。

[0061] 图4是本发明一实施例的碳化硅半导体器件2的示意图。如图4所示,图4是该碳化硅半导体器件2的一主动区A1的一部分的俯视图,该主动区A1的结构与功能可与图1及图2所示实施例的该主动区A0相似。在本实施例中,图4显示具有一第二导电类型的一第一掺杂区23、具有一第一导电类型的一第二掺杂区24及具有该第二导电类型的多个第三掺杂区25,其中该第一导电类型与该第二导电类型相反。本实施例的该碳化硅半导体器件2具有与图1所示的该碳化硅半导体器件1相似的结构与功能。

[0062] 图4所示实施例与图3所示的该碳化硅半导体器件1的不同之处在于:该碳化硅半导体器件2的该主动区A1包括多个重复的单元晶胞U1。

[0063] 请同时参照显示了单一个单元晶胞U1的图5A,图5A仅示出了该第一掺杂区23,其包括一个基体部231、四个第一支部233及两个第一臂部235。这些第一支部233在该单元晶胞U1上沿着一第二方向设置。这些第一臂部235在该单元晶胞U1中沿一第一方向设置。在本实施例中,该第一方向是X方向,该第二方向是Y方向。

[0064] 请同时参照显示了单一个单元晶胞U1的图5B,图5B显示该第一掺杂区23、该第二掺杂区24及该第三掺杂区25。该第二掺杂区24包括一源极部241、四个第二支部243及两个第二臂部245。这些第二支部243沿该第二方向(Y方向)设置,这些第二臂部245沿该第一方向(X方向)设置。该源极部241在该单元晶胞(U1)中与该第三掺杂区25相邻地设置在该基体部231中。

[0065] 在本发明一实施例中,沿该第一方向(X方向)的单元晶胞跨距(dx)是 $20\mu\text{m}$ ,沿该第二方向(Y方向)的单元晶胞跨距(dy)是 $18\mu\text{m}$ 。

[0066] 在本实施例中,这些单元晶胞U1中的总沟道宽度(未图示)为 $132.8\mu\text{m}$ ,换算成沟道宽度密度为 $0.369\mu\text{m}^{-1}$ 或增加了84.5%(与图3的说明中使用相同设计准则的条状单元晶胞布局相比)。特征沟道电阻 $r_{\text{ch,sp}}$ 几乎降低一半。为了获得与图4所示的该碳化硅半导体器件2相同的沟道宽度密度,如图3说明中所示的该碳化硅半导体器件1的单元晶胞跨距必须从 $10\mu\text{m}$ 减小到 $5.4\mu\text{m}$ 。沟道宽度和沟道长度可以在图3的说明中教导,在此并不赘述。

[0067] 请同时参照图6A及图6B,图6A及图6B显示图4所示的该碳化硅半导体器件2沿B-B'及C-C'线的剖面图。该衬底11及该漂移层12可以由图1所示的该碳化硅半导体器件1教导。

[0068] 在一实施例中,该第一导电类型是n型,该第二导电类型是p型,而该碳化硅半导体器件2的该衬底11的导电类型是n型。该碳化硅半导体器件2被设置为一金属氧化物半导体场效晶体管(Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET)。

[0069] 在一实施例中,该第一导电类型是n型,该第二导电类型是p型,而该碳化硅半导体器件2的该衬底11的导电类型是p型。该碳化硅半导体器件2被设置为一绝缘栅双极晶体管(Insulated Gate Bipolar Transistor, IGBT)。

[0070] 在本发明一实施例中,该漂移层12及该衬底11的晶格排列方式是4H(4H-SiC)。该衬底11是掺杂氮的n型重掺杂衬底,具有约 $0.02\Omega\cdot\text{cm}$ 的电阻率,而衬底11的厚度为约 $350\mu\text{m}$ 。该漂移层12是n型,以外延制程生长且以氮进行原位掺杂,其厚度为 $5\mu\text{m}$ 且掺杂浓度为 $1\times$

$10^{16}\text{cm}^{-3}$ 。在该衬底11及该漂移层12之间具有一缓冲层(未图示),该缓冲层具有约 $0.5\mu\text{m}$ 至 $1\mu\text{m}$ 的厚度,且掺杂浓度在 $1\times 10^{17}\text{cm}^{-3}$ 至 $1\times 10^{18}\text{cm}^{-3}$ 之间。该缓冲层可以用于减少从该衬底11转移而来的某些类型的缺陷。该第一掺杂区23透过将铝多次离子植入到该漂移层12中来形成。

[0071] 在本发明一实施例中,透过调整剂量及能量,以在该第一掺杂区23的底部中形成最大深度为 $0.8\mu\text{m}$ 且峰值掺杂浓度为 $2\times 10^{18}\text{cm}^{-3}$ 的梯度掺杂轮廓(profile)。从图4及图6B可以看出,在该第一掺杂区23之间形成有多个结型场效应管区J。具体而言,可以将这些结型场效应管区J视为由在该p型第一掺杂区23与该n型漂移层12之间形成的至少一个第一p-n结围绕,本实施例中,该第一p-n结为复数个彼此相连接的结。

[0072] 在本发明一实施例中,这些结型场效应管区J的宽度WJ(如图4所示)是 $2.4\mu\text{m}$ 。该第二掺杂区24通过在该第一掺杂区23中多次磷离子植入形成,其中掺杂浓度较好是高于 $1\times 10^{19}\text{cm}^{-3}$ ,以提供一低n+区电阻及与该源电极111间的低欧姆接触电阻(如图1所示)。该n型第二掺杂区24与该p型第一掺杂区23之间形成至少一个第二p-n结,本实施例中,该第二p-n结为复数个彼此相连接的结。该第一p-n结和该第二p-n结于该第一掺杂区23的上表面定义出多个沟道区16(如图1所示)。

[0073] 在本发明一实施例中,该沟道长度( $L_{\text{ch}}$ )为 $0.5\mu\text{m}$ ,此处所指的沟道长度是指由光掩模或例如自对准间隙壁(spacer)等制程所定义的物理尺寸。由该第一p-n结及该第二p-n结定义的实际有效沟道长度可能随着制程变异及该漂移层12、该第一掺杂区23、该第二掺杂区24的相对掺杂浓度而改变。计算中所使用的沟道宽度(未图示)同样指由光掩模或例如自对准间隙壁等制程所定义的物理尺寸。由该上表面131处的该第一p-n结的尺寸定义的实际有效沟道宽度可能随着制程变异以及该漂移层12及该第一掺杂区23的相对掺杂浓度而改变。这些第三掺杂区25通过在与该第二掺杂区24邻接的该第一掺杂区23中多次铝离子植入而形成,其掺杂浓度较好是高于 $1\times 10^{19}\text{cm}^{-3}$ 。

[0074] 在本发明一实施例中,这些第三掺杂区25设置得比该第一掺杂区23浅。在本发明一实施例中,这些第三掺杂区25设置得比该第一掺杂区23深。

[0075] 该栅极绝缘体17(如图1所示)通过在包括一氧化氮( $\text{NO}$ )、一氧化二氮( $\text{N}_2\text{O}$ )、氮( $\text{N}_2$ )、氧( $\text{O}_2$ )、水( $\text{H}_2\text{O}$ )或氢( $\text{H}_2$ )的气氛中对该漂移层12的该上表面131进行热氧化及退火而形成,以提供大约或小于 $2\times 10^{11}\text{eV}^{-1}\text{cm}^2$ 的缺陷密度(Dit)。该栅电极115(如图1所示)由简并态多晶硅(degenerate poly-Si)所形成。

[0076] 在本发明一实施例中,该栅极绝缘体17的厚度是 $50\text{nm}$ ,且多晶硅为n型。在本发明另一实施例中,该多晶硅是p型。

[0077] 在蚀刻一层间介电质之后,形成多个源极接触区(未图示)及多个栅极接触区(未图示),以提供该源电极111与该第二掺杂区24的源极部及该第三掺杂区25间的电接触。该层间介电质用于在该栅电极115及该源电极111之间提供隔离(如图1所示)。

[0078] 在本发明一实施例中,首先在接触区中沉积镍(Ni),通过快速热退火(rapid thermal annealing, RTA)退火成硅化镍( $\text{Ni}_x\text{Si}_y$ ),以与该第二掺杂区24的该源极部241及该第三掺杂区25形成欧姆接触。然后沉积一厚AlCu于栅极接触区中与该多晶硅接触,以及于源极接触区中与该硅化镍接触,且设置为分离的该栅电极115及该源电极111。该衬底11的底部例如可以透过机械研磨而减薄至 $100\mu\text{m}$ 的厚度,并沉积有包括镍(Ni)和钼(Mo)的金属

层(未示出)。接着透过雷射退火,以在该衬底11的背面形成欧姆接触。然后沉积包括钛(Ti)、镍、银(Ag)或金(Au)的厚金属层,设置为该漏极电极113(如图1所示)。

[0079] 图7是本发明另一实施例的碳化硅半导体器件3的示意图。图7显示该碳化硅半导体器件3的一主动区A2的一部分的俯视图。该碳化硅半导体器件3包括具有一第二导电类型的一第一掺杂区33、具有一第一导电类型的一第二掺杂区34及具有该第二导电类型的多个第三掺杂区域35。该第一导电类型与该第二导电类型相反。本实施例的该碳化硅半导体器件3与图4所示的该碳化硅半导体器件2具有相似的结构与功能。为了明确地说明本实施例,图7的该碳化硅半导体器件3省略了包括栅极绝缘体、栅电极及源电极在内的组件。该碳化硅半导体器件3的该主动区A2包括多个重复的单元晶胞U2。

[0080] 图7所示的实施例与图4所示的实施例的不同之处在于:该第二掺杂区34的一源极部341被该第三掺杂区35的两个分离的子区351夹在中间,因此一基体部331的沟道宽度为零。与图4所示的实施例相较,如图5A及图5B所示,该第三掺杂区25在该第一掺杂区23的该基体部231中被该第二掺杂区24的该源极部241包围。

[0081] 在本实施例中,该碳化硅半导体器件3的布置牺牲了一些沟道宽度,但增加了电流抵达源电极前流经的路径以改善短路耐受能力(short circuit withstand time)。

[0082] 在本发明一实施例中,沿该第一方向(X方向)的一单元晶胞跨距(dx)(未图示)是 $20\mu\text{m}$ ,沿该第二方向(Y方向)的一单元晶胞跨距(dy)(未图示)是 $18\mu\text{m}$ 。该单元晶胞跨距(dx)及该单元晶胞跨距(dy)可以在图4所示实施例的说明中教导,在此并不再赘述。

[0083] 在本实施例中,这些单元晶胞U2中的总沟道宽度(未图示)为 $128\mu\text{m}$ ,换算成沟道宽度密度为 $0.356\mu\text{m}^{-1}$ 或增加了77.8%(与图3的说明中使用相同设计规则的条状单元晶胞布局相比)。沟道宽度和沟道长度可以在图3的说明中教导,在此并不赘述。

[0084] 图8是本发明又一实施例的碳化硅半导体器件4的示意图。如图8所示,图8显示该碳化硅半导体器件4的一主动区A3的一部分的俯视图。该碳化硅半导体器件4包括具有一第二导电类型的一第一掺杂区43、具有一第一导电类型的一第二掺杂区44及具有该第二导电类型的多个第三掺杂区45。该第一导电类型与该第二导电性相反。本实施例的该碳化硅半导体器件4与图4所示的该碳化硅半导体器件2具有相似的结构与功能。为了明确地说明本实施例,图8的该碳化硅半导体器件4省略了包括栅极绝缘体、栅电极及源电极在内的组件。该碳化硅半导体器件4的该主动区A3包括多个重复的单元晶胞U3。

[0085] 图8所示的实施例与图4所示的实施例的不同之处在于:第三掺杂区45a、45b具有两种不同的尺寸,并且仅有较小的这些第三掺杂区45b与该第二掺杂区44的源极部441邻接。

[0086] 与图4所示的实施例相较,如图4所示,该碳化硅半导体器件2的所有这些第三掺杂区25都具有相同的尺寸,并且都与该第二掺杂区24邻接。

[0087] 在本实施例中,该碳化硅半导体器件4的布置牺牲了一些沟道宽度,但增加了与源电极接触的该些第三掺杂区45的面积,以改善雪崩能量(avalanche energy)及碳化硅金属氧化物半导体场效晶体管的本质体二极管(intrinsic body diode)的正向压降。

[0088] 在本发明一实施例中,沿该第一方向(X方向)的一单元晶胞跨距(dx)(未图示)是 $10\mu\text{m}$ ,沿该第二方向(Y方向)的一单元晶胞跨距(dy)(未图示)是 $36\mu\text{m}$ 。该单元晶胞跨距(dx)及该单元晶胞跨距(dy)可以在图4所示实施例的说明中教导,在此并不再赘述。

[0089] 在本实施例中, 这些单元晶胞U3中的总沟道宽度(未图示)为 $128\mu\text{m}$ , 换算成沟道宽度密度为 $0.356\mu\text{m}^{-1}$ 或增加了77.8% (与图3的说明中使用相同设计规则的条状单元晶胞布局相比)。沟道宽度和沟道长度可以在图3的说明中教导, 在此并不赘述。

[0090] 图9是本发明又一实施例的碳化硅半导体器件5的示意图。如图9所示, 图9显示该碳化硅半导体器件5的一主动区A4的一部分的俯视图。该碳化硅半导体器件5包括具有第一导电类型的第一掺杂区53、具有第一导电类型的第一掺杂区54及具有该第二导电类型的多个第三掺杂区55。该第一导电类型与该第二导电性相反。本实施例的该碳化硅半导体器件5与图4所示的该碳化硅半导体器件2具有相似的结构与功能。为了明确地说明本实施例, 图9的该碳化硅半导体器件5省略了包括栅极绝缘体、栅电极及源电极在内的组件。该碳化硅半导体器件5的该主动区A4包括多个重复的单元晶胞U4。

[0091] 图9所示的实施例与图4所示的实施例的不同之处在于: 在该碳化硅半导体器件5中, 其第一支部533的两侧均与第一臂部535连接, 且连接至同一这些第一支部533两侧的该些第一臂部535是对准相同的基线BL排列。

[0092] 与图4所示的实施例相较, 如图5A所示, 在该碳化硅半导体器件2中, 这些第一支部233的其中一侧仅与这些基体部231连接, 这些第一支部233的另外一侧仅与这些第一臂部235连接。

[0093] 在本发明一实施例中, 沿该第一方向(X方向)的一单元晶胞跨距(dx) (未图示)是 $17.6\mu\text{m}$ , 沿该第二方向(Y方向)的一单元晶胞跨距(dy) (未图示)是 $21\mu\text{m}$ 。该单元晶胞跨距(dx)及该单元晶胞跨距(dy)可以在图4所示实施例的说明中教导, 在此不再赘述。

[0094] 在本实施例中, 这些单元晶胞U4中的总沟道宽度(未图示)为 $162.8\mu\text{m}$ , 换算成沟道宽度密度为 $0.440\mu\text{m}^{-1}$ 或增加了93.4% (与图3的说明中使用相同设计规则的条状单元晶胞布局相比)。沟道宽度和沟道长度可以在图3的说明中教导, 在此并不赘述。

[0095] 图10A是本发明又一实施例的碳化硅半导体器件6的示意图。如图10A所示, 图10A显示该碳化硅半导体器件6的一主动区A5的重复的一单元晶胞U5的俯视图。该碳化硅半导体器件6具有第一掺杂区63、多个结型场效应管区J及一栅电极615。该碳化硅半导体器件6的一主动区A5包括多个重复的单元晶胞U5。

[0096] 请同时参照图10B, 图10B是图4所示实施例的该碳化硅半导体器件2的示意图。图10B显示该碳化硅半导体器件2的该主动区A1的重复的该单元晶胞U1的俯视图。图10B显示该第一掺杂区23及一栅电极215。

[0097] 图10A所示的该碳化硅半导体器件6与图10B所示的该碳化硅半导体器件2具有相似的结构与功能。

[0098] 图10A所示的实施例与图4及图10B所示的实施例的不同之处在于: 该碳化硅半导体器件6的该栅电极615在该结型场效应管区J的一部分上方不与栅极绝缘体接触。

[0099] 在碳化硅半导体器件6中, 由于该栅电极615与栅极绝缘体接触的面积缩小, 改善了碳化硅半导体器件6的输入电容及输出电容, 能够实现更快速的切换及更低的切换损耗。

[0100] 在本发明一实施例中, 沿该第一方向(X方向)的一单元晶胞跨距(dx) (未图示)是 $20\mu\text{m}$ , 沿该第二方向(Y方向)的一单元晶胞跨距(dy) (未图示)是 $18\mu\text{m}$ 。该单元晶胞跨距(dx)及该单元晶胞跨距(dy)可以在图4所示实施例的说明中教导, 在此不再赘述。

[0101] 在本实施例中, 这些单元晶胞U5中的总沟道宽度(未图示)为 $132.8\mu\text{m}$ , 换算成沟道

宽度密度为 $0.369\mu\text{m}^{-1}$ 或增加了84.5% (与图3的说明中使用相同设计规则的条状单元晶胞布局相比)。此结果与图4及图10B所示的该碳化硅半导体器件2相同。沟道宽度和沟道长度可以在图3的说明中教导,在此并不赘述。

[0102] 图11是本发明又一实施例的碳化硅半导体器件7的示意图。如图11所示,图11显示该碳化硅半导体器件7的一剖面图。本实施例的该碳化硅半导体器件7与图4所示的该碳化硅半导体器件2具有相似的结构与功能。图11所示的实施例与图4所示的实施例的不同之处在于:一漂移层72还包括一上部721及一下部723。该上部721的掺杂浓度高于该下部723的掺杂浓度。

[0103] 在本发明一实施例中,沿该第一方向(X方向)的一单元晶胞跨距(dx)(未图示)是 $14.4\mu\text{m}$ ,沿该第二方向(Y方向)的一单元晶胞跨距(dy)(未图示)是 $18\mu\text{m}$ 。该单元晶胞跨距(dx)及该单元晶胞跨距(dy)可以在图4所示实施例的说明中教导,在此不再赘述。

[0104] 在本实施例中,由光掩模或布植硬掩模所定义的结型场效应管区J的宽度为 $1\mu\text{m}$ 。该漂移层72具有 $1\times 10^{16}\text{cm}^{-3}$ 的掺杂浓度,而该第一掺杂区73具有 $2\times 10^{18}\text{cm}^{-3}$ 的峰值掺杂浓度。根据计算从该第一掺杂区73延伸进该漂移层72的的单侧耗尽区的宽度大约为 $567\text{nm}$ ,而结型场效应管区J的两侧的总耗尽宽度为 $1134\text{nm}$ ,这会使得结型场效应管区J被夹止(pinch off),造成电流无法导通或使得该碳化硅半导体器件的结型场效应管电阻增加到无法接受的程度。因此,该漂移层72的该上部721的掺杂浓度必须增加至例如 $1\times 10^{17}\text{cm}^{-3}$ ,从而将耗尽宽度减小至 $177\text{nm}$ 以降低结型场效应管电阻。

[0105] 在本实施例中,较好的是将该漂移层72的该上部721的厚度调整为接近该第一掺杂区73的深度。例如,当该第一掺杂区73的深度为 $0.8\mu\text{m}$ 时,在本发明一实施例中,该上部721的厚度设置为 $0.7\mu\text{m}$ 。在本发明另一实施例中,该上部721的厚度设置为 $1.0\mu\text{m}$ 。

[0106] 该上部721例如可以通过氮或磷的多次离子植入来形成,或者该上部721可以通过磊晶制程来形成。

[0107] 在本实施例中,这些单元晶胞中的总沟道宽度(未图示)为 $124.4\mu\text{m}$ ,换算成沟道宽度密度为 $0.48\mu\text{m}^{-1}$ 或增加了72.7% (与图3的说明中使用相同设计规则的条状单元晶胞布局的沟道宽度密度 $0.278\mu\text{m}^{-1}$ 相比)。沟道宽度和沟道长度可以在图3的说明中教导,在此并不赘述。

[0108] 在本实施例中,采用更紧致的设计准则实现了更高的沟道宽度密度。本发明可以使用相对宽松的设计准则实现比已知的条状单元晶胞等布局方式更高的沟道宽度密度。随着材料和制程的改进,本实施例同样可以通过使用更紧致的设计准则再进一步地微缩单位晶胞的跨距以提高沟道宽度密度。

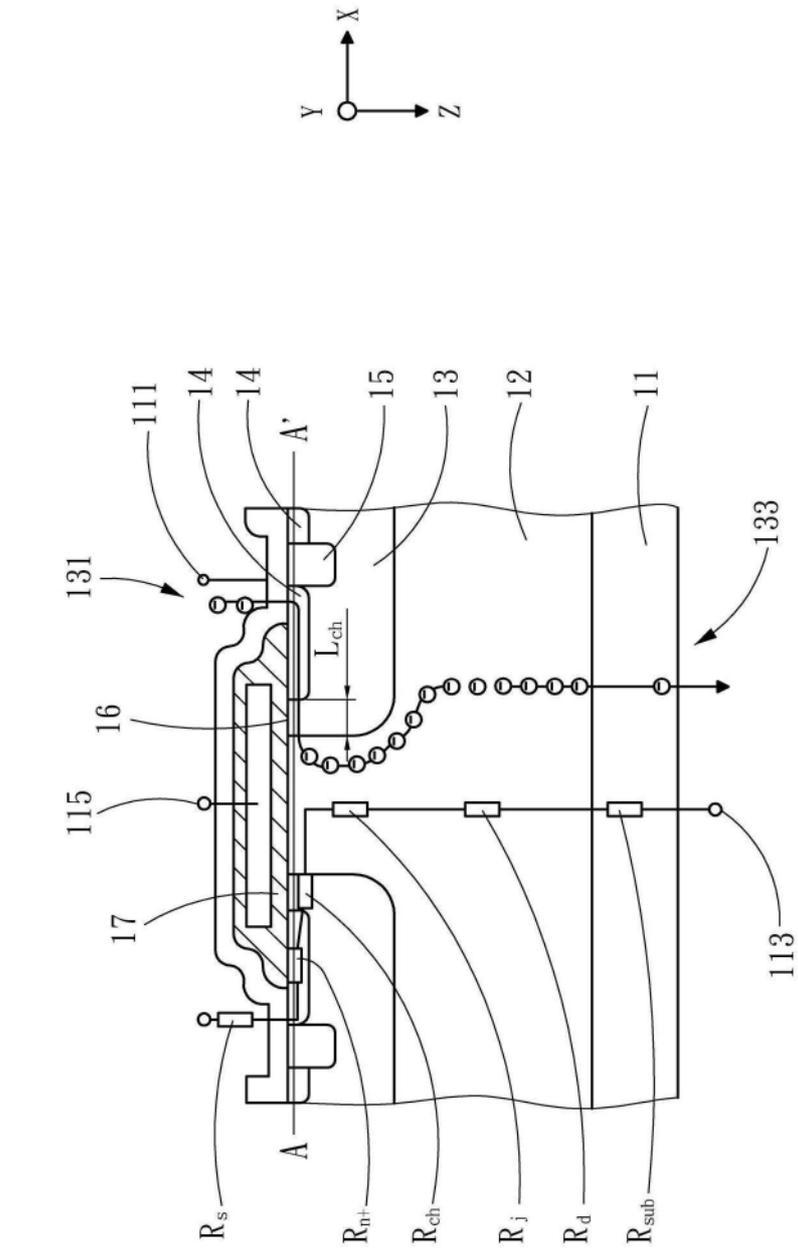
[0109] 图12是本发明又一实施例的碳化硅半导体器件8的示意图。如图12所示,图12显示该碳化硅半导体器件8的一剖面图。本实施例的该碳化硅半导体器件8与图4所示的该碳化硅半导体器件2具有相似的结构与功能。图12所示的实施例与图4所示的实施例的不同之处在于:该碳化硅半导体器件8的一第一掺杂区83具有一深度d83,该深度d83等于或大于一漂移层82的一厚度d82的一半。

[0110] 在本发明一实施例中,该漂移层82例如具有 $10\mu\text{m}$ 的厚度及 $3\times 10^{16}\text{cm}^{-3}$ 的掺杂浓度。该第一掺杂区83的最大深度为 $6\mu\text{m}$ ,而掺杂浓度为 $6\times 10^{16}\text{cm}^{-3}$ 。该第一掺杂区83及结型场效应管区J的宽度设置为适当的大小,以确保该第一掺杂区83的p型柱(pillar)及n型的

该漂移层82之间形成电荷平衡。

[0111] 在本实施例中,该碳化硅半导体器件8的结构也称为超结(super junction)。超结结构可以改变漂移层内的电场分布,在维持所需的阻断电压的同时提高该漂移层82的掺杂浓度。本发明的布局方式可结合使用超结结构,以进一步降低碳化硅半导体器件的特征导通电阻。

[0112] 综上所述,本发明实施例的碳化硅半导体器件透过设置包括多个第一支部、多个基体部及多个第一臂部的第一掺杂区域,以及包括多个第二支部、多个源极部及多个第二臂部的第二掺杂区域,可以提高碳化硅半导体器件的性能。



1

图1

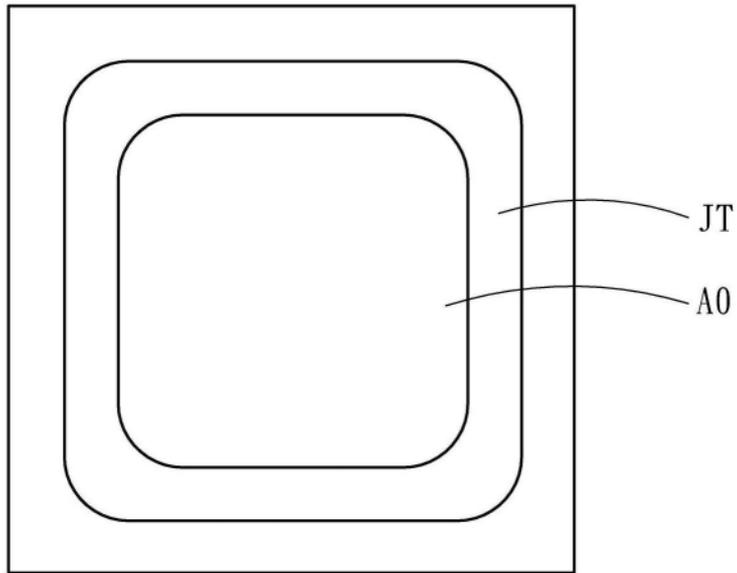


图2

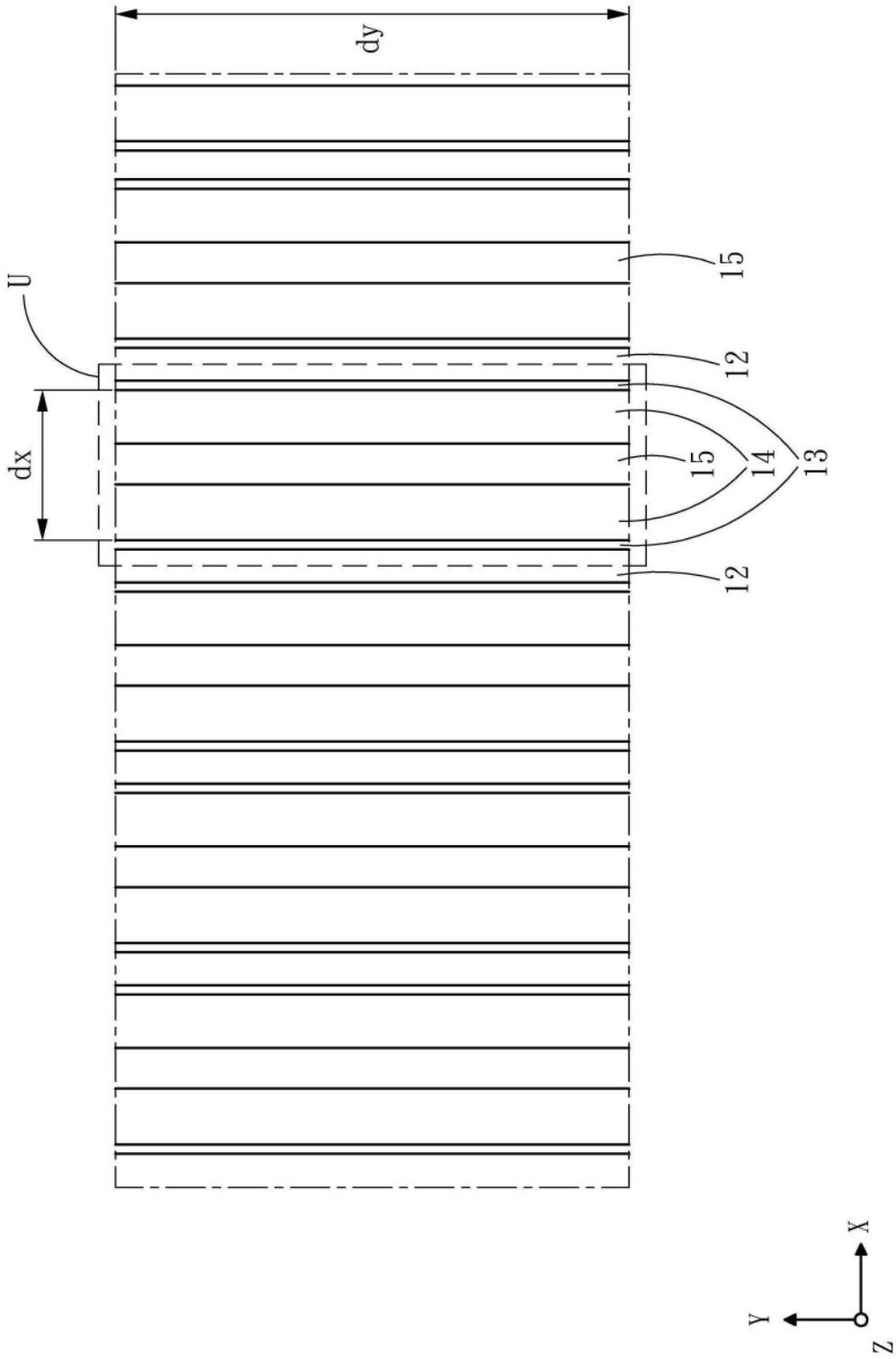


图3

2 |

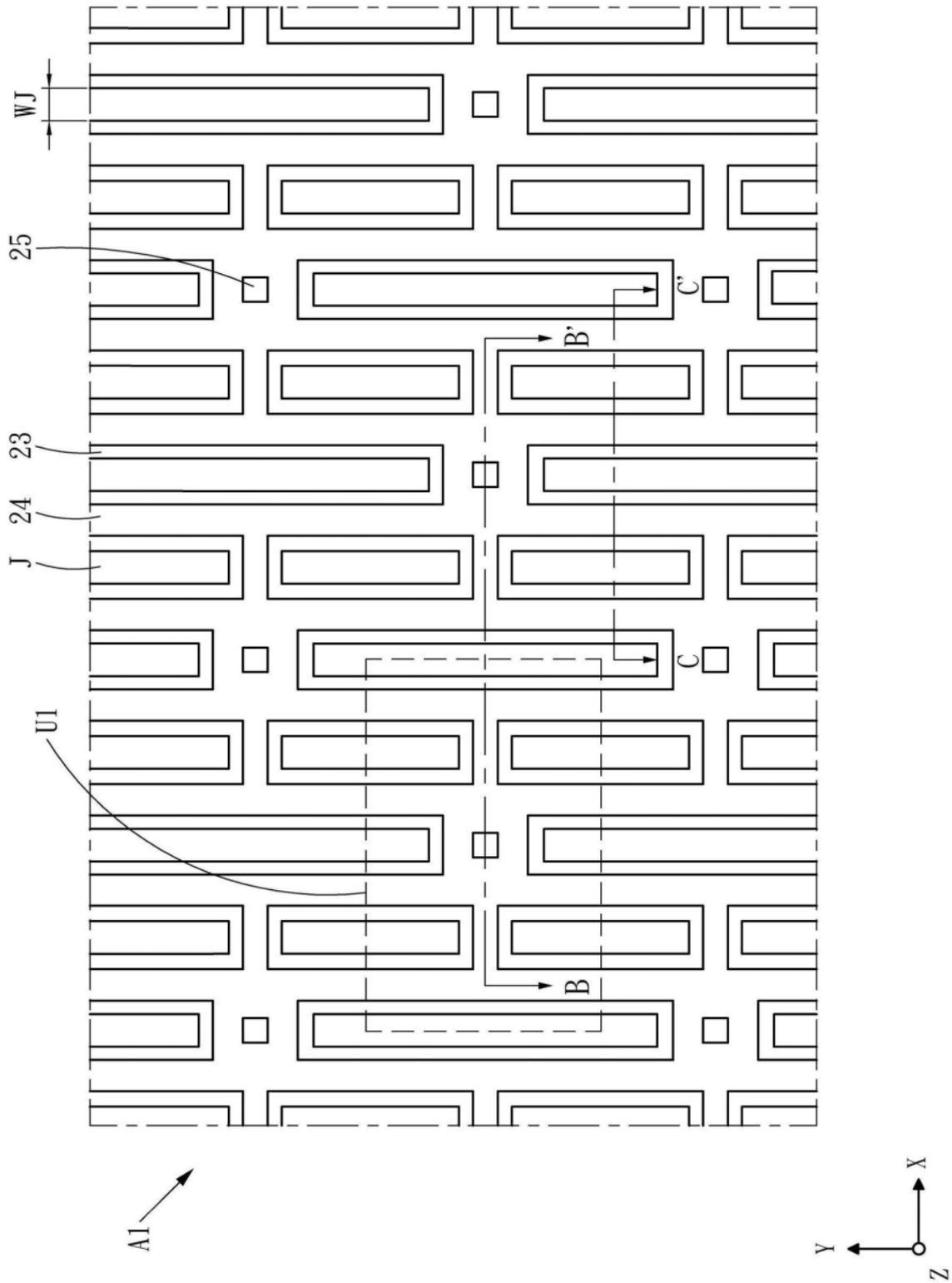


图4

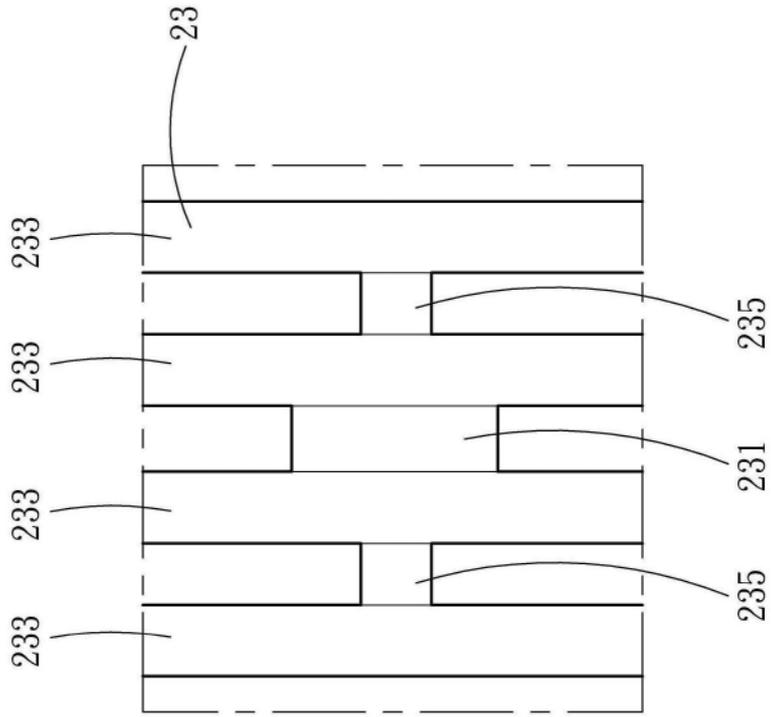


图5A

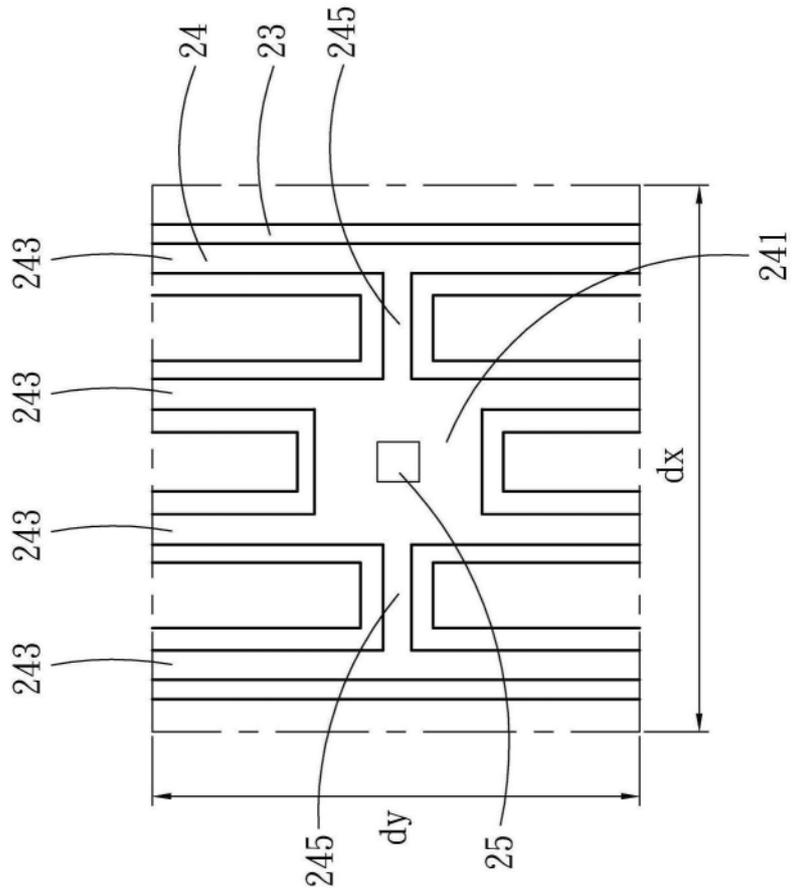


图5B

2 |

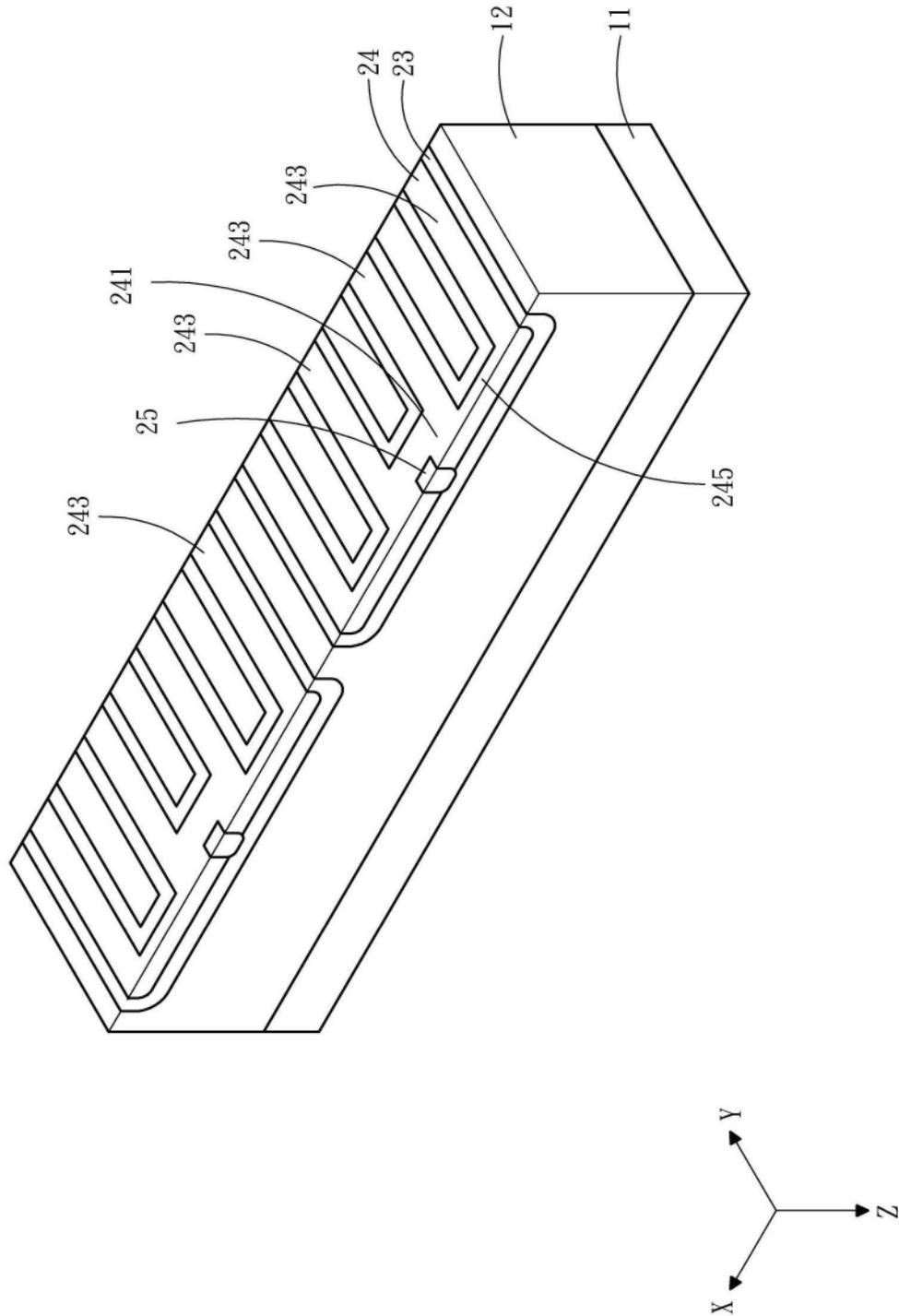


图6A

2 |

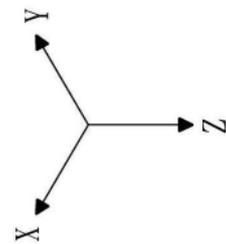
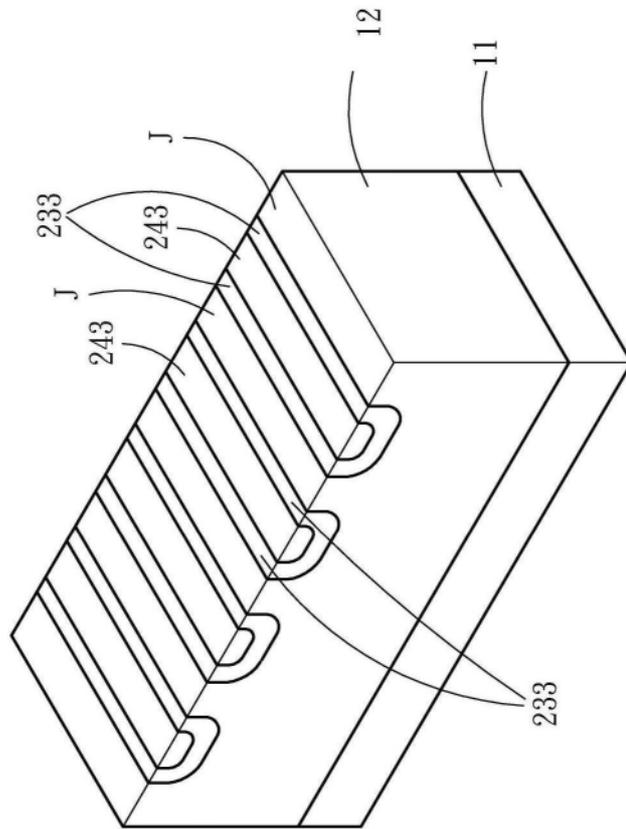


图6B

3 |

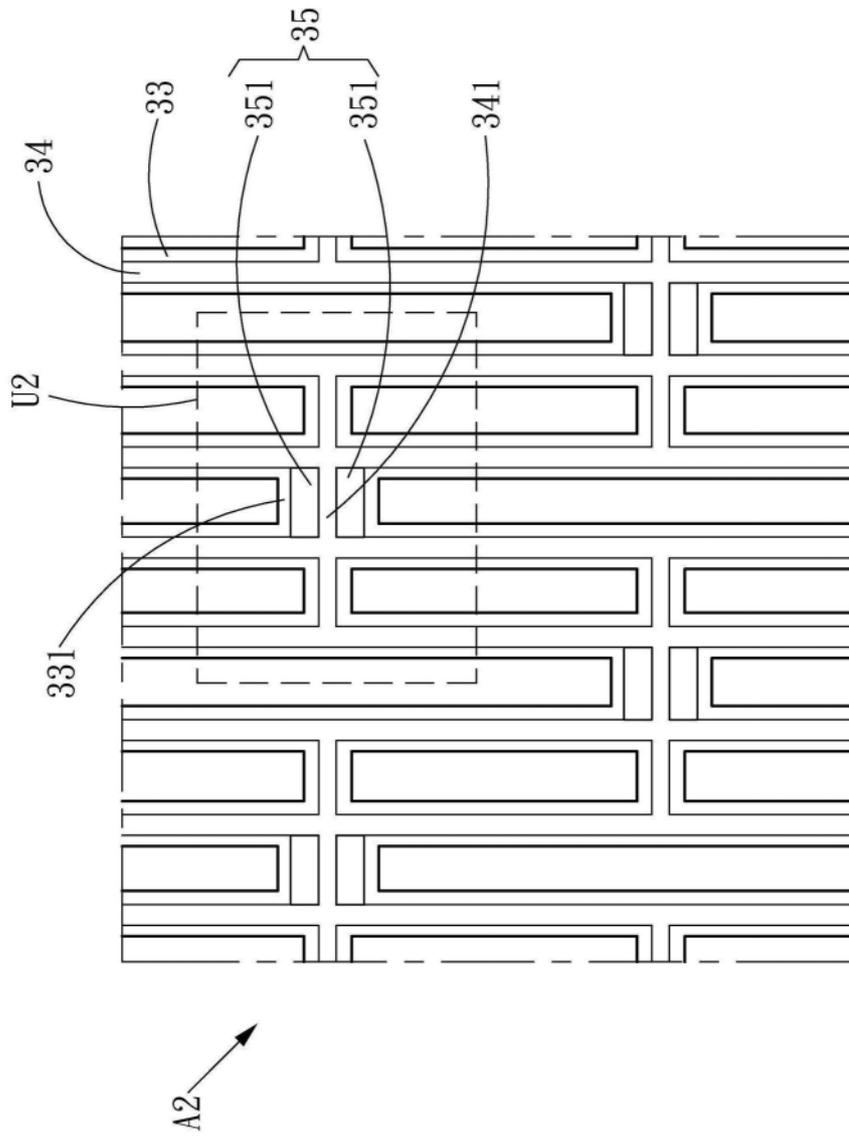


图7

4 |

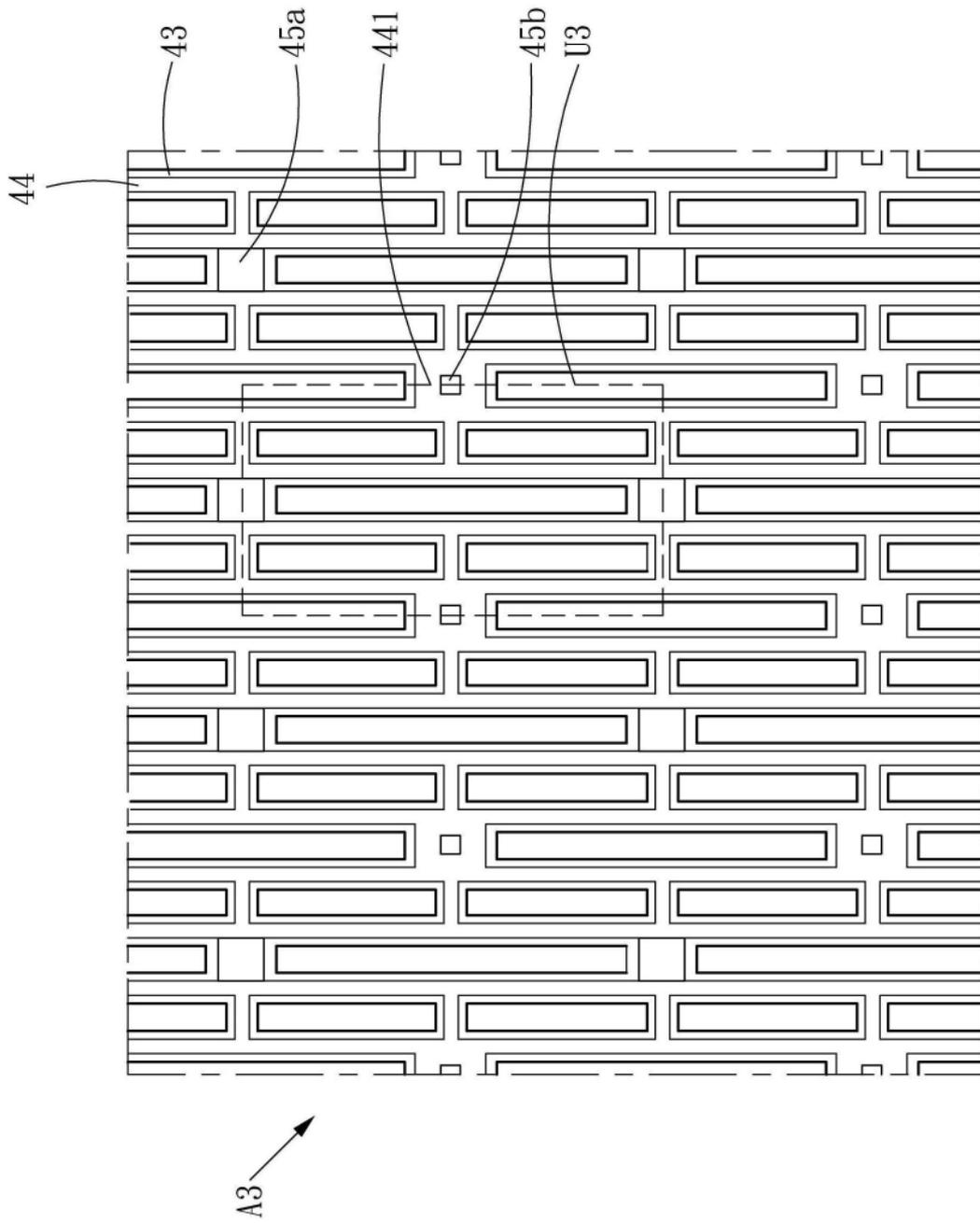


图8

5 |

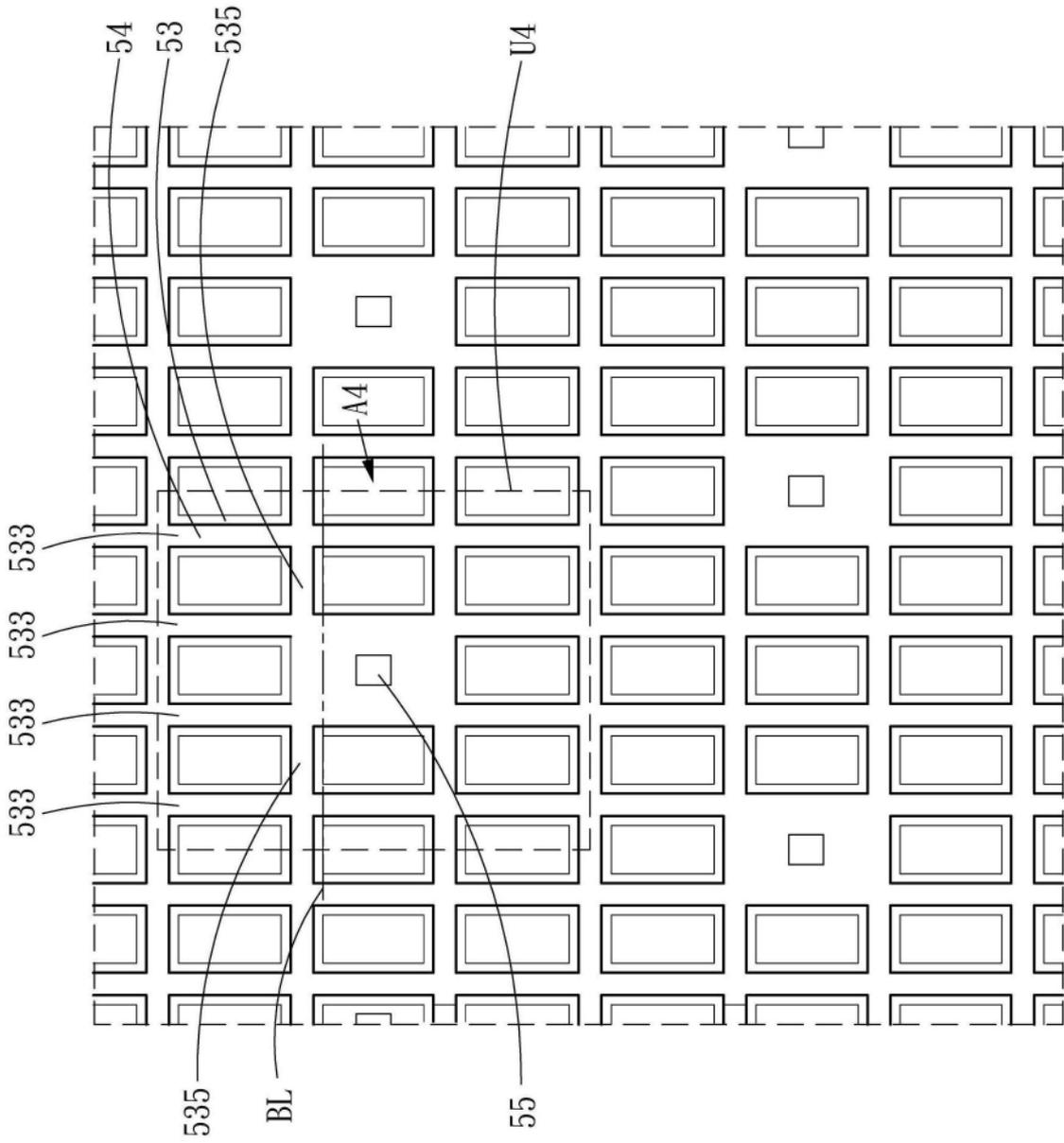


图9

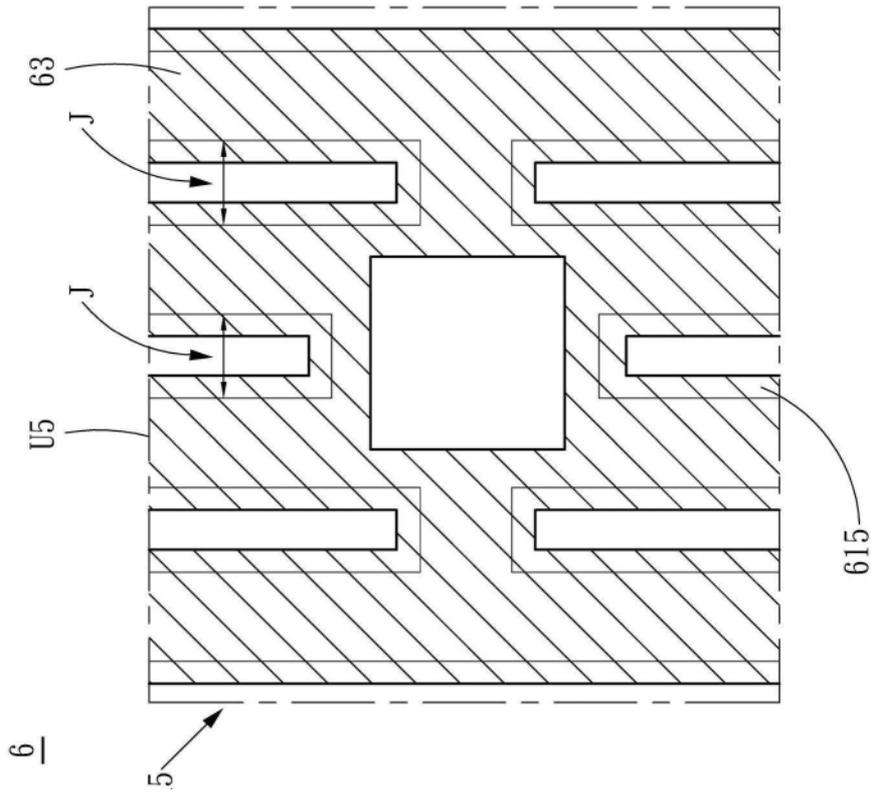


图10A

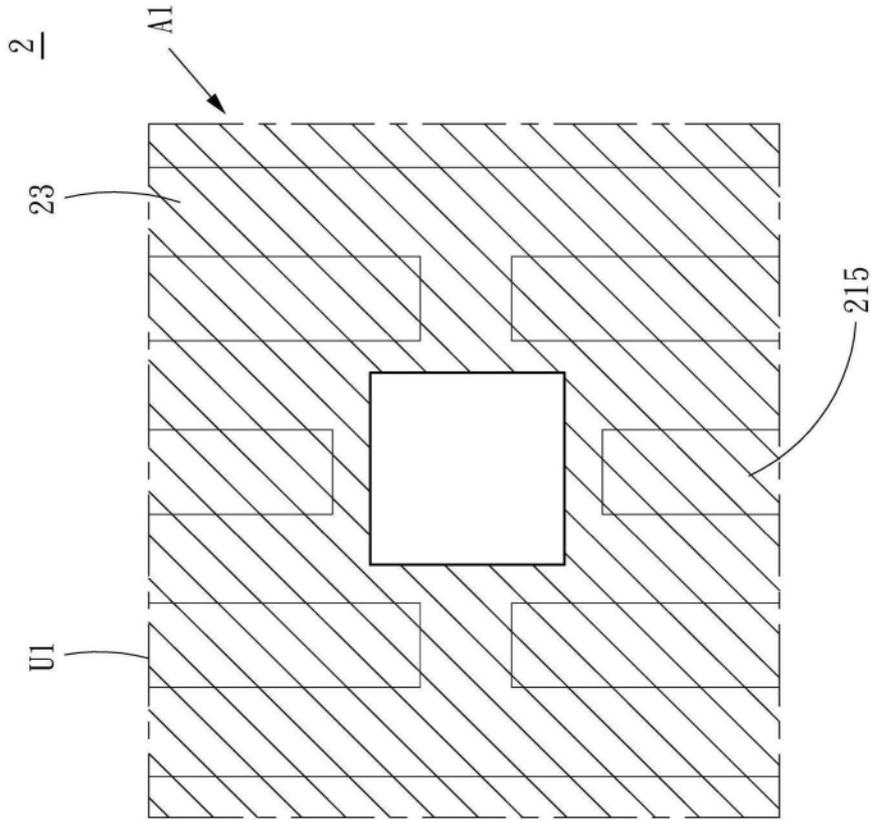


图10B

7 |

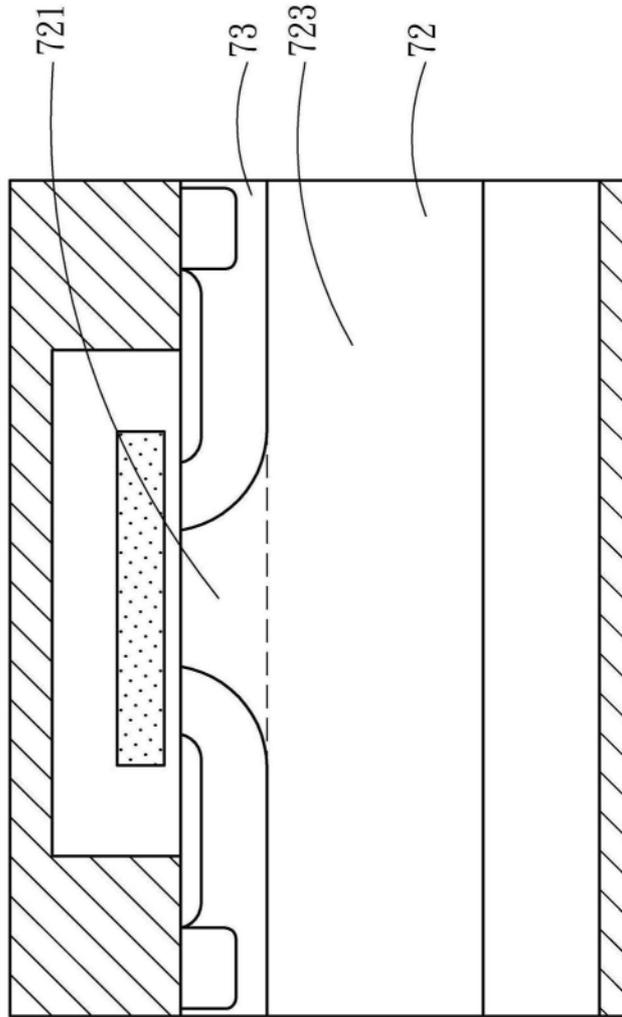


图11

8|

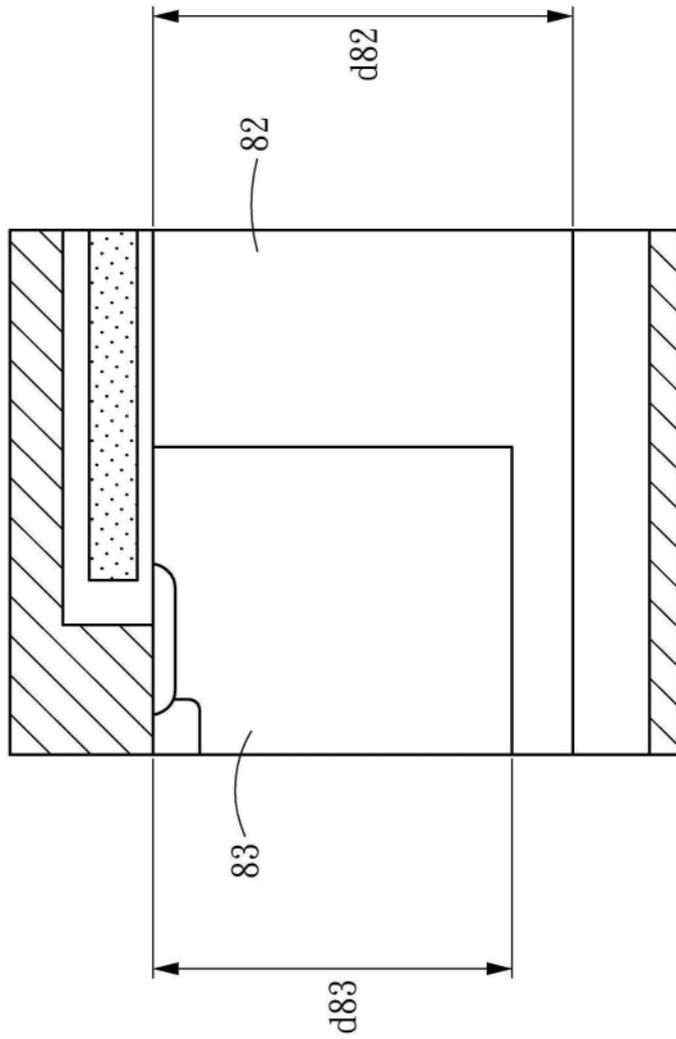


图12