



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년02월22일
 (11) 등록번호 10-1015651
 (24) 등록일자 2011년02월10일

(51) Int. Cl.

H05K 1/18 (2006.01) *H05K 3/40* (2006.01)

(21) 출원번호 10-2008-0122914
 (22) 출원일자 2008년12월05일
 심사청구일자 2008년12월05일
 (65) 공개번호 10-2010-0064468
 (43) 공개일자 2010년06월15일

(56) 선행기술조사문헌
 JP2004274035 A*
 KR1020060066115 A
 JP2003204167 A
 US20050006142 A1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전기주식회사

경기도 수원시 영통구 매탄동 314

(72) 발명자

김홍원

경기도 수원시 영통구 망포동 쌍용2차스윗닷홈
 204동 504호

이성

경기 수원시 영통구 영통동 서광APT 706동 802호

(뒷면에 계속)

(74) 대리인

김창달

전체 청구항 수 : 총 6 항

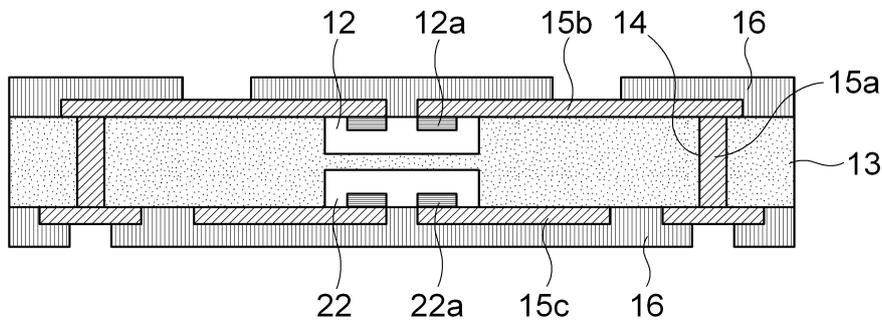
심사관 : 김중희

(54) 칩 내장 인쇄회로기판 및 그 제조방법

(57) 요약

본 발명은 칩 내장 인쇄회로기판 및 그 제조방법에 관한 것으로서, 내부에 비아가 관통 형성된 절연층; 상기 절연층에 내장되며, 일면에 구비된 패드가 상기 절연층의 상면 및 하면으로 각각 노출된 제1 칩 및 제2 칩; 상기 제1 칩의 패드 및 상기 비아와 접속되도록 상기 절연층의 상면에 형성된 상부패턴; 및 상기 제2 칩의 패드 및 상기 비아와 접속되도록 상기 절연층의 하면에 형성된 하부패턴;을 포함하는 칩 내장 인쇄회로기판을 제공하고, 또한 본 발명은 상기 칩 내장 인쇄회로기판의 제조방법을 제공한다.

대표도 - 도1



(72) 발명자

정태성

경기도 화성시 반송동 나무마을한화꿈에그린아파트
625-1702

강준석

경기 수원시 영통구 원천동 주공아파트 209동 150
1호

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

한 쌍의 캐리어 플레이트 상에 접착층을 형성하는 단계;

상기 한 쌍의 캐리어 플레이트 상에, 일면에 구비된 패드가 아래로 가도록 칩을 각각 실장하는 단계;

상기 한 쌍의 캐리어 플레이트에 실장된 각각의 칩이 서로 마주보도록 하고, 상기 칩들 사이에 절연층을 배치하는 단계;

상기 캐리어 플레이트를 상기 절연층에 가압하여 상기 칩들을 상기 절연층에 내장시키는 단계;

상기 캐리어 플레이트를 상기 절연층으로부터 분리하여 상기 칩들에 구비된 패드를 각각 노출시키는 단계;

상기 절연층을 관통하는 비아를 형성하는 단계; 및

상기 절연층의 상부 및 하부에, 상기 칩의 패드 및 상기 비아와 접속되는 상부패턴 및 하부패턴을 도금에 의해 각각 형성하는 단계;

를 포함하는 칩 내장 인쇄회로기판의 제조방법.

청구항 8

삭제

청구항 9

제7항에 있어서,

상기 접착층은 UV 발포 테이프, 열 발포 테이프 및 PR 중 어느 하나로 이루어진 칩 내장 인쇄회로기판의 제조방법.

청구항 10

제7항에 있어서,

상기 절연층은 프리프레그(prepreg), ABF(Ajinomoto Build-up Film) 및 레진 중 어느 하나로 이루어진 칩 내장 인쇄회로기판의 제조방법.

청구항 11

제7항에 있어서,

상기 한 쌍의 캐리어 플레이트에 실장된 각각의 칩이 서로 마주보도록 하고, 상기 칩들 사이에 절연층을 배치하는 단계에서,

상기 절연층은 가경화 상태인 칩 내장 인쇄회로기판의 제조방법.

청구항 12

제7항에 있어서,

상기 캐리어 플레이트를 상기 절연층에 가압하여 상기 칩들을 상기 절연층에 내장시키는 단계에서,

상기 절연층 내에 내장되는 상기 칩들이 서로 이격 배치되도록 하는 칩 내장 인쇄회로기판의 제조방법.

청구항 13

제7항에 있어서,

상기 절연층의 상부 및 하부에, 상기 칩의 패드 및 상기 비아와 접속되는 상부패턴 및 하부패턴을 각각 형성하는 단계 이후에,

상기 절연층의 상부 및 하부에 상기 상부패턴 및 상기 하부패턴의 일부를 노출시키는 솔더레지스트층을 형성하는 단계;를 더 포함하는 칩 내장 인쇄회로기판의 제조방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 칩 내장 인쇄회로기판 및 그 제조방법에 관한 것으로서, 보다 상세하게는, 칩이 실장된 한 쌍의 캐리어 플레이트를 각각 절연층의 상하부에서 가압하여, 상기 절연층에 듀얼 칩을 내장시킨 칩 내장 인쇄회로기판 및 그 제조방법에 관한 것이다.

배경기술

[0002] 최근 전자기기의 고성능화 및 소형화의 요구에 부응하여 전자부품이 고밀도화 및 고성능화되고 있다. 따라서, 전자부품의 고밀도 실장이 가능한 소형 인쇄회로기판의 수요가 점점 증가하고 있다. 이러한 요구에 부응하여 서로 다른 층에 형성되는 배선 간 또는 전자부품과 배선 간을 비아홀(via hole)에 의하여 전기적으로 접속하는 다층 회로기판의 개발이 진행되고 있다.

[0003] 이러한 다층 회로기판은 전자부품 간을 접속하는 배선을 단축할 수 있을 뿐만 아니라 고밀도 배선화를 실현할 수 있는 장점이 있다. 그리고 전자부품의 실장으로 인해 인쇄회로기판의 표면적을 넓힐 뿐만 아니라 전기적 특성도 우수한 장점이 있다.

[0004] 특히, 기판에 전자부품을 삽입하는 임베디드 인쇄회로기판은, 전자부품이 기판에 표면에 실장되는 것이 아니라, 기판의 내부에 임베딩(embedding)되기 때문에 기판의 소형화, 고밀도화 및 고성능화 등이 가능하여 그 수요가 점차 증가하고 있는 추세이다.

[0005] 종래의 칩 내장 인쇄회로기판은 천공된 코어기판을 테이프(tape)에 붙인 후 칩을 위치시키고, 상기 테이프가 부착된 면의 반대쪽 면에 프리프레그(prepreg) 등과 같은 절연층을 라미네이션(lamination)시킨 후, 상기 테이프를 박리시킨다. 그런 후에, 상기 테이프가 박리된 면에도 프리프레그층을 라미네이션시킨다.

[0006] 그 다음에, 레이저 드릴(laser drill) 방식 등을 통해 전기적인 연결이 필요한 부분에 비아홀(via hole)을 형성하고 동도금 공정 등을 수행한다.

[0007] 그러나, 상기한 바와 같이 천공된 코어기판 내에 테잎을 이용하여 칩을 내장하는 종래의 칩 내장 인쇄회로기판은 기판의 전체적인 두께를 줄이기가 어려운 단점이 있다. 또한, 상기한 바와 같이 레이저 드릴 방식 등을 통해 비아홀을 형성할 경우, 칩의 위치 오차 또는 레이저 드릴의 공차 등에 의해서 정확한 위치에 비아홀을 가공하기가 어려워져서, 접속 불량 등이 발생하여 수율 및 신뢰성이 저하되는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0008] 따라서, 본 발명은 상기 문제점을 해결하기 위하여 이루어진 것으로서, 본 발명의 목적은, 칩이 실장된 한 쌍의 캐리어 플레이트를 각각 절연층의 상하부에서 가압하여 상기 절연층에 듀얼 칩(dual-chip)을 내장시킴으로써, 상기 듀얼 칩을 내장하는 인쇄회로기판의 전체적인 두께를 감소시키고, 제품의 수율 및 신뢰성을 향상시킬 수 있는 칩 내장 인쇄회로기판 및 그 제조방법을 제공하는데 있다.

과제 해결수단

[0009] 상기 목적을 달성하기 위한 본 발명의 실시예에 의한 칩 내장 인쇄회로기판은, 내부에 비아가 관통 형성된 절연층; 상기 절연층에 내장되며, 일면에 구비된 패드가 상기 절연층의 상면 및 하면으로 각각 노출된 제1 칩 및 제2 칩; 상기 제1 칩의 패드 및 상기 비아와 접촉되도록 상기 절연층의 상면에 형성된 상부패턴; 및 상기 제2 칩의 패드 및 상기 비아와 접촉되도록 상기 절연층의 하면에 형성된 하부패턴;을 포함할 수 있다.

[0010] 여기서, 상기 제1 칩 및 상기 제2 칩은, 상기 절연층 내에서 서로 이격 배치되어 있을 수 있다.

[0011] 또한, 상기 제1 칩 및 상기 제2 칩은, 상기 절연층 내에서 상하로 배치될 수 있다.

[0012] 또한, 상기 제1 칩 및 상기 제2 칩은, 상기 절연층 내에서 좌우로 배치될 수 있다.

[0013] 또한, 상기 절연층은 프리프레그(prepreg), ABF(Ajinomoto Build-up Film) 및 레진 중 어느 하나로 이루어질 수 있다.

[0014] 또한, 상기 절연층의 상부 및 하부에 상기 상부패턴 및 상기 하부패턴의 일부를 노출시키도록 형성된 슬터레이스트층;을 더 포함할 수 있다.

[0015] 그리고, 상기 목적을 달성하기 위한 본 발명의 실시예에 따른 칩 내장 인쇄회로기판의 제조방법은, 한 쌍의 캐리어 플레이트 상에, 일면에 구비된 패드가 아래로 가도록 칩을 각각 실장하는 단계; 상기 한 쌍의 캐리어 플레이트에 실장된 각각의 칩이 서로 마주보도록 하고, 상기 칩들 사이에 절연층을 배치하는 단계; 상기 캐리어 플레이트를 상기 절연층에 가압하여 상기 칩들을 상기 절연층에 내장시키는 단계; 상기 캐리어 플레이트를 상기 절연층으로부터 분리하여 상기 칩들에 구비된 패드를 각각 노출시키는 단계; 상기 절연층을 관통하는 비아를 형성하는 단계; 및 상기 절연층의 상부 및 하부에, 상기 칩의 패드 및 상기 비아와 접촉되는 상부패턴 및 하부패턴을 각각 형성하는 단계;를 포함할 수 있다.

[0016] 여기서, 상기 한 쌍의 캐리어 플레이트 상에, 일면에 구비된 패드가 아래로 가도록 칩을 실장하는 단계 이전에, 상기 캐리어 플레이트 상에 접촉층을 형성하는 단계;를 더 포함할 수 있다.

[0017] 또한, 상기 접촉층은 UV 발포 테이프, 열 발포 테이프 및 PR 중 어느 하나로 이루어질 수 있다.

[0018] 또한, 상기 절연층은 프리프레그(prepreg), ABF(Ajinomoto Build-up Film) 및 레진 중 어느 하나로 이루어질 수 있다.

[0019] 또한, 상기 한 쌍의 캐리어 플레이트에 실장된 각각의 칩이 서로 마주보도록 하고, 상기 칩들 사이에 절연층을 배치하는 단계에서, 상기 절연층은 가경화 상태일 수 있다.

[0020] 또한, 상기 캐리어 플레이트를 상기 절연층에 가압하여 상기 칩들을 상기 절연층에 내장시키는 단계에서, 상기 절연층 내에 내장되는 상기 칩들이 서로 이격 배치되도록 할 수 있다.

[0021] 또한, 상기 절연층의 상부 및 하부에, 상기 칩의 패드 및 상기 비아와 접속되는 상부패턴 및 하부패턴을 각각 형성하는 단계 이후에, 상기 절연층의 상부 및 하부에 상기 상부패턴 및 상기 하부패턴의 일부를 노출시키는 슬더레지스트층을 형성하는 단계;를 더 포함할 수 있다.

효 과

[0022] 이상에서 설명한 바와 같이, 본 발명에 따른 칩 내장 인쇄회로기판 및 그 제조방법에 의하면, 칩이 실장된 한 쌍의 캐리어 플레이트를 절연층의 상하부에서 가압하여 상기 절연층에 듀얼 칩을 내장시키고, 상기 듀얼 칩이 내장된 상기 절연층의 상하부에 상기 칩들과 직접 접속되는 상부패턴 및 하부패턴을 형성함으로써, 상기 듀얼 칩을 내장하는 인쇄회로기판의 전체적인 두께를 감소시켜, 듀얼 칩 내장 인쇄회로기판의 경박단소화를 이룰 수 있는 효과가 있다.

[0023] 또한, 본 발명은 칩 내장을 위한 코어층 등을 추가로 사용할 필요가 없고, 서로 다른 층에 위치하는 칩과 패턴들 간의 접속을 위한 비아 형성 공정 등을 생략할 수 있으므로, 공정을 단순화시키고 공정 비용을 절감할 수 있으며, 듀얼 칩 내장 인쇄회로기판의 제조 수율 및 신뢰성을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0024] 본 발명에 따른 칩 내장 인쇄회로기판 및 그 제조방법의 상기 목적에 대한 기술적 구성을 비롯한 작용효과에 관한 사항은 본 발명의 바람직한 실시예가 도시된 도면을 참조한 아래의 상세한 설명에 의해서 명확하게 이해될 것이다.

[0025] 도 1 및 도 2를 참조하여 본 발명의 실시예에 따른 칩 내장 인쇄회로기판에 대하여 상세히 설명한다.

[0026] 도 1은 본 발명의 실시예에 따른 칩 내장 인쇄회로기판의 구조를 나타낸 단면도이고, 도 2는 본 발명의 실시예에 따른 칩 내장 인쇄회로기판의 다른 구조를 나타낸 단면도이다.

[0027] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 칩 내장 인쇄회로기판은, 내부에 비아(15a)가 관통 형성된 절연층(13)과, 상기 절연층(13)에 내장되며 일면에 구비된 패드(12a)가 상기 절연층(13)의 상면으로 노출된 제1 칩(12)과, 상기 절연층(13)에 내장되며 일면에 구비된 패드(22a)가 상기 절연층(13)의 하면으로 노출된 제2 칩(22)과, 상기 제1 칩(12)에 구비된 패드(12a) 및 상기 비아(15a)와 접속되도록 상기 절연층(13)의 상면에 형성된 상부패턴(15b), 및 상기 제2 칩(22)에 구비된 패드(22a) 및 상기 비아(15a)와 접속되도록 상기 절연층(13)의 하면에 형성된 하부패턴(15c)을 포함한다.

[0028] 여기서, 상기 제1 칩(12) 및 상기 제2 칩(22)은, 상기 절연층(13) 내에서 서로 이격 배치되어 있다. 이때, 상기 제1 칩(12) 및 상기 제2 칩(22)은, 도 1에서와 같이 상기 절연층(13) 내에서 상하로 배치될 수 있다.

[0029] 또한, 상기 제1 칩(12) 및 상기 제2 칩(22)은, 상술한 바와 같이 상기 절연층(13) 내에서 상하로 배치되어 있는 대신에, 도 2에 도시된 바와 같이, 상기 절연층(13) 내에서 좌우로 배치될 수도 있다.

[0030] 도 2에서와 같이 상기 제1 및 제2 칩(12,22)이 상기 절연층(13) 내에서 좌우로 배치되는 경우, 앞서의 상하로 배치되는 경우에 비해 칩 내장 인쇄회로기판의 전체적인 두께를 더 감소시킬 수 있는 장점이 있다.

[0031] 상기 제1 및 제2 칩(12,22), 즉 듀얼 칩(dual-chip)을 내장하고 있는 상기 절연층(13)은 프리프레그(prepreg), ABF(Ajinomoto Build-up Film), 또는 레진 등으로 이루어질 수 있다.

[0032] 그리고, 상기 절연층(13)의 내부에 관통 형성된 상기 비아(15a)는, 상기 절연층(13)의 내부를 관통하는 비아홀(14)을 형성한 후, 상기 비아홀(14) 내부에 구리 등과 같은 전도성 물질이 도금 등의 방식에 의해 채워짐으로써 형성된 것일 수 있다.

[0033] 상기 상부패턴(15b) 및 하부패턴(15c)은, 상기 비아(15a)와 동일하게 구리 등과 같은 전도성 물질로 이루어질

수 있다.

- [0034] 상기한 바와 같은 듀얼 칩(12,22)이 내장된 상기 절연층(13)의 상부 및 하부에는 솔더레지스트층(16)이 형성되어 있으며, 이때 상기 솔더레지스트층(16)은 상기 상부패턴(15b) 및 상기 하부패턴(15c)의 일부를 노출시키도록 그 일부분이 제거되어 있다.
- [0035] 상기 솔더레지스트층(16)이 제거되어 노출된 상기 상부패턴(15b) 및 하부패턴(15c) 부분에는 솔더볼(도시안함) 등과 같은 외부접속수단이 형성될 수 있다.
- [0036] 이러한 본 발명의 실시예에 따른 칩 내장 인쇄회로기판은, 듀얼 칩(12,22)이 내장된 절연층(13)의 상하부에, 상기 칩들(12,22)과 직접적으로 접촉되는 상부패턴(15b) 및 하부패턴(15c)이 형성되는 구조로 이루어지는 바, 상기 패턴들(15b,15c)이 배치되는 층의 갯수가 총 2개로 이루어진 2층 구조의 칩 내장 인쇄회로기판을 구현할 수 있다.
- [0037] 따라서, 본 발명의 실시예에 따르면 듀얼 칩 내장 인쇄회로기판의 전체적인 두께를 획기적으로 감소시켜 듀얼 칩 내장 인쇄회로기판의 경박단소화를 이룰 수 있는 효과가 있다.
- [0038] 이하, 도 3 내지 도 11을 참조하여 본 발명의 실시예에 따른 칩 내장 인쇄회로기판의 제조방법에 대하여 상세히 설명한다.
- [0039] 도 3 내지 도 11은 본 발명의 실시예에 따른 칩 내장 인쇄회로기판의 제조방법을 설명하기 위해 순차적으로 나타낸 공정 단면도이다.
- [0040] 우선, 도 3에 도시된 바와 같이, 캐리어 플레이트(carrier plate; 10)를 준비한다. 이때 도면에서는 한 개의 캐리어 플레이트(10)만을 도시하였으나, 한 쌍의 캐리어 플레이트(10)를 준비하는 것이 바람직하다.
- [0041] 다음으로, 도 4에 도시된 바와 같이, 상기 캐리어 플레이트(10) 상에 접착층(adhesion layer; 11)을 형성한다. 상기 접착층(11)은 UV 발포 테이프, 열 발포 테이프, 또는 PR 등으로 이루어질 수 있다.
- [0042] 그런 다음, 도 5에 도시된 바와 같이, 상기 접착층(11)이 형성된 상기 한 쌍의 캐리어 플레이트(10) 상에 칩(12)을 각각 실장한다. 이때 상기 칩(12)의 일면에는 패드(12a)가 구비되어 있다. 본 발명의 실시예에서는, 상기 칩(12)에 구비된 상기 패드(12a)가 아래로 가도록 하여 상기 칩(12)을 상기 캐리어 플레이트(10) 상에 실장하는 것이 바람직하다.
- [0043] 그 다음에, 도 6에 도시된 바와 같이, 상기 한 쌍의 캐리어 플레이트(10)에 실장된 각각의 칩(12,22)이 서로 마주보도록 하고, 상기 칩들(12,22) 사이에 절연층(13)을 배치시킨다.
- [0044] 상기 절연층(13)은 프리프레그(prepreg), ABF(Ajinomoto Build-up Film), 또는 레진 등으로 이루어질 수 있다. 또한 상기 절연층(13)은, 듀얼 칩(12,22) 내장을 위한 후속의 캐리어 플레이트(10)의 가압 과정에서 상기 칩들(12,22)이 상기 절연층(13) 내에 쉽게 내장될 수 있도록 가경화 상태인 것이 바람직하다.
- [0045] 그런 후에, 압축기구(100) 등을 이용하여 상기 한 쌍의 캐리어 플레이트(10)를 상기 절연층(13)에 가압하여 도 7에 도시된 바와 같이, 상기 칩들(12,22)을 상기 절연층(13)에 내장시킨다.
- [0046] 이때, 상기 캐리어 플레이트(10)의 가압 시, 상기 절연층(13) 내에 내장되는 상기 칩들(12,22)이 서로 접촉되지 않고 서로 이격 배치되도록 하는 것이 바람직하다.
- [0047] 다음으로, 도 8에 도시된 바와 같이, 상기 접착층(11)의 제거를 통해 상기 캐리어 플레이트(10)를 상기 절연층(13)으로부터 분리하여, 상기 칩들(12,22)에 구비된 패드(12a,22a)를 각각 노출시킨다.
- [0048] 그런 다음, 도 9에 도시된 바와 같이, 상기 절연층(13)의 일부분을 관통하는 비아홀(14)을 형성한다. 상기 비아홀(14)은 CNC(Computer Numerical Control) 드릴, 또는 레이저(laser) 드릴 등의 방식으로 가공할 수 있다.
- [0049] 그 다음에, 도 10에 도시된 바와 같이, 상기 비아홀(14) 내부에 구리 등과 같은 전도성 물질을 채워 비아(15a)를 형성한 다음, 상기 절연층(13)의 상부에 상기 절연층(13)의 상면으로 노출된 칩(12)의 패드(12a) 및 상기 비아(15a)와 접촉되는 상부패턴(15b)을 형성하고, 상기 절연층(13)의 하부에 상기 절연층(13)의 하면으로 노출된 칩(22)의 패드(22a) 및 상기 비아(15a)와 접촉되는 하부패턴(15c)을 형성한다.
- [0050] 여기서, 상기 비아(15a), 상부패턴(15b) 및 하부패턴(15c)은, SAP(semi additive process) 도금법 등에 의해

고밀도로 구현될 수 있다.

[0051] 그런 후에, 도 11에 도시된 바와 같이, 상기 절연층(13)의 상부 및 하부에 솔더레지스트층(16)을 형성한 다음, 상기 솔더레지스트층(16)의 일부분을 제거하여 상기 상부패턴(15b) 및 상기 하부패턴(15c)의 일부를 노출시킨다.

[0052] 상술한 바와 같은 본 발명의 실시예에 의하면, 각각의 칩(12,22)이 실장된 한 쌍의 캐리어 플레이트(10)를 절연층(13)의 상하부에서 가압하여 상기 절연층(13)에 듀얼 칩(12,22)을 내장시킨 다음, 상기 캐리어 플레이트(10)를 분리하고 나서, 상기 절연층(13)의 상하부에 상기 칩들(12,22)과 직접 접촉되는 상부패턴(15b) 및 하부패턴(15c)을 형성함으로써, 상기 듀얼 칩(12,22)을 내장하는 인쇄회로기판의 전체적인 두께를 획기적으로 감소시켜 듀얼 칩 내장 인쇄회로기판의 경박단소화를 이룰 수 있는 효과가 있다.

[0053] 또한, 본 발명의 실시예에서는, 칩 내장을 위한 코어층 등을 추가로 사용할 필요가 없고, 서로 다른 층에 위치하는 칩과 패턴들 간의 접속을 위한 비아 형성 공정 등을 생략할 수 있으므로, 공정을 단순화시키고 공정 비용을 절감할 수 있으며, 듀얼 칩 내장 인쇄회로기판의 제조 수율 및 신뢰성을 향상시킬 수 있다.

[0054] 이상에서 설명한 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러가지 치환, 변형 및 변경이 가능할 것이나, 이러한 치환, 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

도면의 간단한 설명

[0055] 도 1은 본 발명의 실시예에 따른 칩 내장 인쇄회로기판의 구조를 나타낸 단면도.

[0056] 도 2는 본 발명의 실시예에 따른 칩 내장 인쇄회로기판의 다른 구조를 나타낸 단면도.

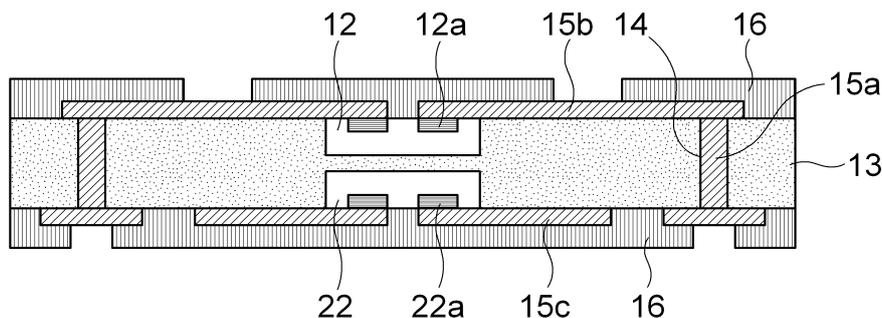
[0057] 도 3 내지 도 11은 본 발명의 실시예에 따른 칩 내장 인쇄회로기판의 제조방법을 설명하기 위해 순차적으로 나타낸 공정 단면도.

[0058] <도면의 주요 부분에 대한 부호의 설명>

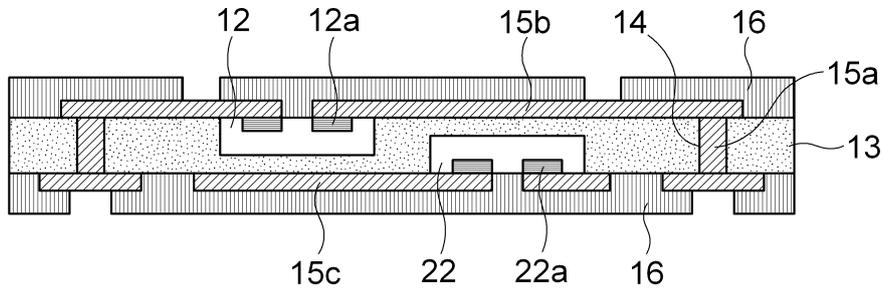
- | | | |
|--------|--------------|-----------|
| [0059] | 10: 캐리어 플레이트 | 11: 접착층 |
| [0060] | 12: 제1 칩 | 22: 제2 칩 |
| [0061] | 12a, 22a: 패드 | 13: 절연층 |
| [0062] | 14: 비아홀 | 15a: 비아 |
| [0063] | 15b: 상부패턴 | 15c: 하부패턴 |
| [0064] | 16: 솔더레지스트층 | 100: 압축기구 |

도면

도면1



도면2



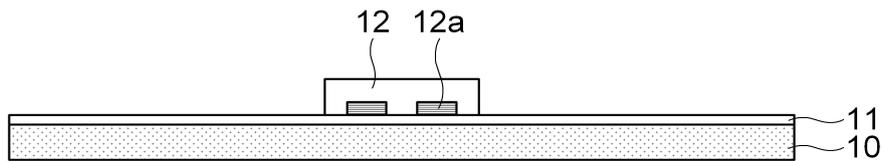
도면3



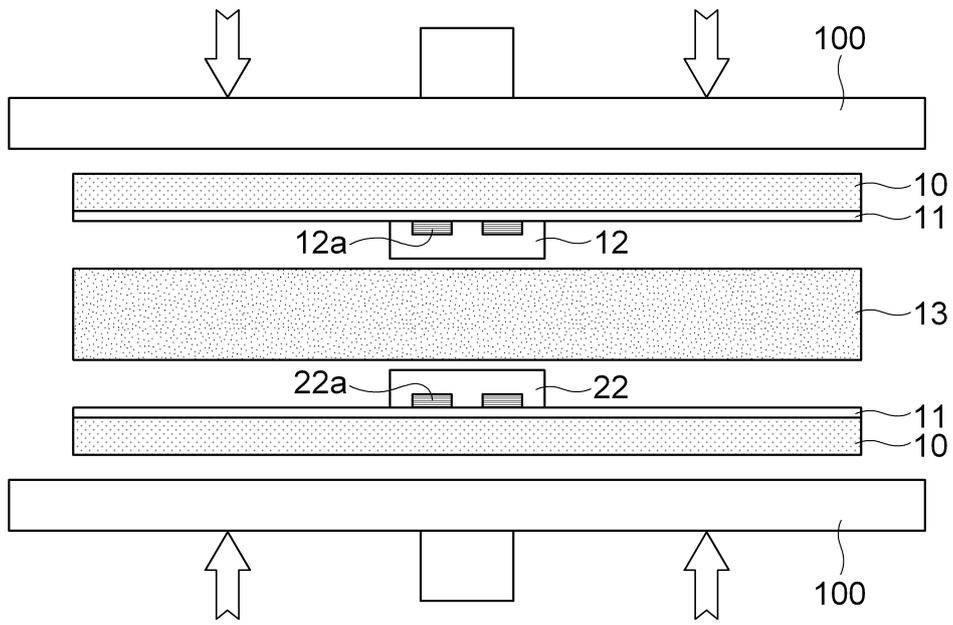
도면4



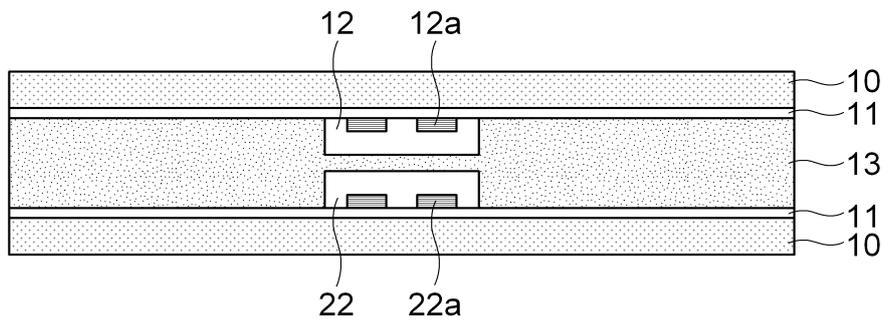
도면5



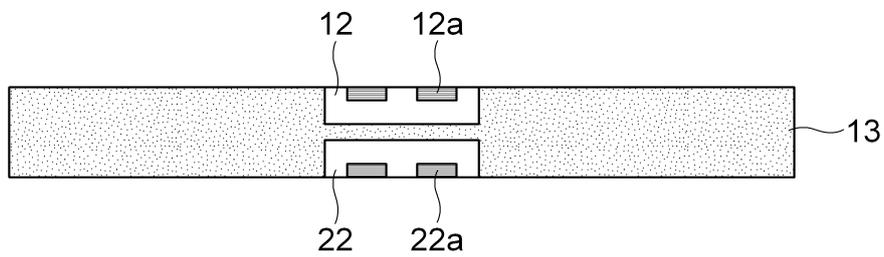
도면6



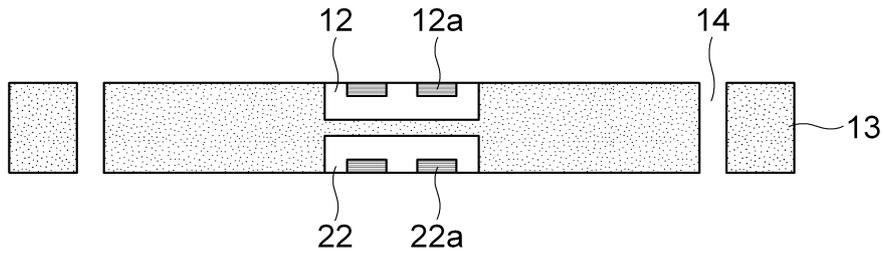
도면7



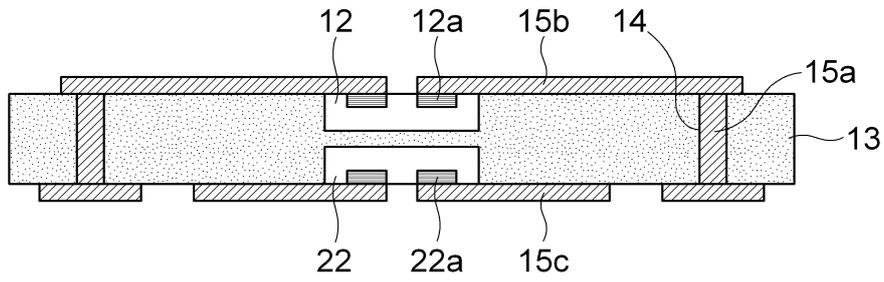
도면8



도면9



도면10



도면11

