



(12) 发明专利申请

(10) 申请公布号 CN 104361852 A

(43) 申请公布日 2015. 02. 18

(21) 申请号 201410710826. 7

(22) 申请日 2014. 11. 28

(71) 申请人 上海中航光电子有限公司
地址 200245 上海市闵行区华宁路 3388 号
申请人 天马微电子股份有限公司

(72) 发明人 张伟伟

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227
代理人 王宝筠

(51) Int. Cl.
G09G 3/20 (2006. 01)
G11B 19/28 (2006. 01)

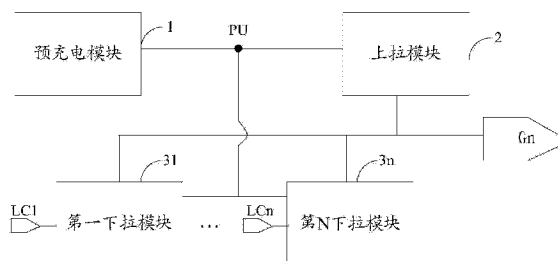
权利要求书2页 说明书10页 附图5页

(54) 发明名称

移位寄存器、栅极驱动电路及显示装置

(57) 摘要

本发明公开了一种移位寄存器、栅极驱动电路及显示装置,包括:预充电模块、上拉模块和第一下拉模块至第N下拉模块;预充电模块的输出端和上拉模块的输入端电连接至上拉节点,上拉模块的输出端电连接至移位寄存器的输出端;第一下拉模块~第N下拉模块的输出端均电连接至移位寄存器的输出端,第一下拉模块~第N下拉模块的控制端均电连接预充电模块的输出端,且第一下拉模块~第N下拉模块的输入端分别电连接至各自对应的第一信号端~第N信号端,用于通过第一信号端~第N信号端提供的第一信号~第N信号的控制,分别使移位寄存器的输出端在下拉阶段时输出至少一个下拉模块的输出端的信号,保证移位寄存器的使用寿命长,降低功耗。



1. 一种移位寄存器,其特征在于,包括:预充电模块、上拉模块和第一下拉模块至第 N 下拉模块,所述 N 为至少为 2 的整数;

所述预充电模块的输出端和上拉模块的输入端电连接至上拉节点,所述上拉模块的输出端电连接至所述移位寄存器的输出端;

所述第一下拉模块~第 N 下拉模块的输出端均电连接至所述移位寄存器的输出端,所述第一下拉模块~第 N 下拉模块的控制端均电连接所述预充电模块的输出端,且所述第一下拉模块~第 N 下拉模块的输入端分别电连接至各自对应的第一信号端~第 N 信号端,用于通过所述第一信号端~第 N 信号端提供的第一信号~第 N 信号的控制,分别使所述移位寄存器的输出端在下拉阶段时输出至少一个所述下拉模块的输出端的信号。

2. 根据权利要求 1 所述的移位寄存器,其特征在于,所述第一信号端~第 N 信号端分别按各自对应的第一预设频率~第 N 预设频率提供所述第一信号~第 N 信号,其中,所述第一预设频率~所述第 N 预设频率均相同;或者,

所述第一预设频率~所述第 N 预设频率中至少有一个不同。

3. 根据权利要求 2 所述的移位寄存器,其特征在于,在同一时刻,所述第一信号~所述第 N 信号中的至少任意两个所述信号被提供到对应的所述信号端。

4. 根据权利要求 1 所述的移位寄存器,其特征在于,所述第一下拉模块至第 N 下拉模块的电路结构均相同,且所述第 i 下拉模块包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管;其中,

所述第一晶体管的栅极、第一晶体管的第一电极和第二晶体管的第一电极均电连接至所述第 i 信号端,所述第一晶体管的第二电极、所述第二晶体管的栅极和所述第三晶体管的第一电极彼此电连接;

所述第二晶体管的第二电极、所述第四晶体管的第一电极和所述第五晶体管的栅极彼此电连接;

所述第三晶体管的栅极和所述第四晶体管的栅极均电连接至所述上拉节点,所述第三晶体管的第二电极、所述第四晶体管的第二电极和所述第五晶体管的第二电极均电连接至第三电压端,所述第五晶体管的第一电极电连接至所述移位寄存器的输出端,其中, $1 < i < = N$ 。

5. 根据权利要求 4 所述的移位寄存器,其特征在于,所述第三晶体管的宽长比大于所述第一晶体管的宽长比。

6. 根据权利要求 4 所述的移位寄存器,其特征在于,所述移位寄存器还包括:上拉节点复位模块,用于复位所述上拉节点的电位;其中,所述上拉节点复位模块包括:第六晶体管;

所述第六晶体管的栅极电连接至所述第五晶体管的栅极,所述第六晶体管的第一电极电连接至所述第三电压端,所述第六晶体管的第二电极电连接至所述上拉节点。

7. 根据权利要求 1 所述的移位寄存器,其特征在于,所述预充电模块为双向预充电模块,所述双向预充电模块包括:第八晶体管和第九晶体管;其中,

所述第八晶体管的栅极电连接至第一驱动信号端,所述第八晶体管的第一电极电连接至第一电压端,所述第八晶体管的第二电极电连接至所述上拉节点;

所述第九晶体管的栅极电连接至第二驱动信号端,所述第九晶体管的第一电极电连接

至所述上拉节点,所述第九晶体管的第二电极电连接至第二电压端。

8. 根据权利要求 1 所述的移位寄存器,其特征在于,所述上拉模块包括:电容和第十晶体管;其中,

所述电容的第一极板和所述第十晶体管的栅极均电连接至所述上拉节点,所述电容的第二极板和所述第十晶体管的第二电极均电连接至所述移位寄存器的输出端,所述第十晶体管的第一电极电连接至时钟信号端。

9. 根据权利要求 1 所述的移位寄存器,其特征在于,所述移位寄存器还包括:初始化模块,所述初始化模块包括第七晶体管;其中,

所述第七晶体管的栅极电连接至第三驱动信号端,所述第七晶体管的第一电极电连接至第四电压端,所述第七晶体管的第二电极电连接至所述移位寄存器的输出端。

10. 一种栅极驱动电路,其特征在于,所述栅极驱动电路包括沿第一方向排列的第一级移位寄存器至第 M 级移位寄存器,所述第一级移位寄存器至第 M 级移位寄存器均为如权利要求 1 ~ 9 任意一项所述的移位寄存器,M 为大于 1 的整数。

11. 一种显示装置,其特征在于,所述显示装置包括阵列基板,其中,所述阵列基板包括像素单元阵列,以及用于驱动所述像素单元阵列的栅极驱动电路,其中,所述栅极驱动电路为权利要求 10 所述的栅极驱动电路。

移位寄存器、栅极驱动电路及显示装置

技术领域

[0001] 本发明涉及栅极驱动技术领域,更为具体的说,本发明涉及一种移位寄存器、栅极驱动电路及显示装置。

背景技术

[0002] 栅极驱动电路一般包括多个移位寄存器,通过时序控制多个移位寄存器的逐级扫描,实现栅极线的逐级扫描,进而控制显示装置显示画面。一种功耗低且使用寿命长久的移位寄存器是现今研究的重点。

发明内容

[0003] 有鉴于此,本发明提供了一种移位寄存器、栅极驱动电路及显示装置,降低了移位寄存器的功耗,提高了移位寄存器的使用寿命。

[0004] 下面为本发明提供的技术方案:

[0005] 一种移位寄存器,包括:预充电模块、上拉模块和第一下拉模块至第N下拉模块,所述N为至少为2的整数;

[0006] 所述预充电模块的输出端和上拉模块的输入端电连接至上拉节点,所述上拉模块的输出端电连接至所述移位寄存器的输出端;

[0007] 所述第一下拉模块~第N下拉模块的输出端均电连接至所述移位寄存器的输出端,所述第一下拉模块~第N下拉模块的控制端均电连接所述预充电模块的输出端,且所述第一下拉模块~第N下拉模块的输入端分别电连接至各自对应的第一信号端~第N信号端,用于通过所述第一信号端~第N信号端提供的第一信号~第N信号的控制,分别使所述移位寄存器的输出端在下拉阶段时输出至少一个所述下拉模块的输出端的信号。

[0008] 优选的,所述第一信号端~第N信号端分别按各自对应的第一预设频率~第N预设频率提供所述第一信号~第N信号,其中,

[0009] 所述第一预设频率~所述第N预设频率均相同;或者,

[0010] 所述第一预设频率~所述第N预设频率中至少有一个不同。

[0011] 优选的,在同一时刻,所述第一信号~所述第N信号中的至少任意两个所述信号被提供到对应的所述信号端。

[0012] 优选的,所述第一下拉模块至第N下拉模块的电路结构均相同,且所述第i下拉模块包括:第一晶体管、第二晶体管、第三晶体管、第四晶体管和第五晶体管;其中,

[0013] 所述第一晶体管的栅极、第一晶体管的第一电极和第二晶体管的第一电极均电连接至所述第i信号端,所述第一晶体管的第二电极、所述第二晶体管的栅极和所述第三晶体管的第一电极彼此电连接;

[0014] 所述第二晶体管的第二电极、所述第四晶体管的第一电极和所述第五晶体管的栅极彼此电连接;

[0015] 所述第三晶体管的栅极和所述第四晶体管的栅极均电连接至所述上拉节点,所述

第三晶体管的第二电极、所述第四晶体管的第二电极和所述第五晶体管的第二电极均电连接至第三电压端,所述第五晶体管的第一电极电连接至所述移位寄存器的输出端,其中, $1 < i < = N$ 。

[0016] 优选的,所述第三晶体管的宽长比大于所述第一晶体管的宽长比。

[0017] 优选的,所述移位寄存器还包括:上拉节点复位模块,用于复位所述上拉节点的电位;其中,所述上拉节点复位模块包括:第六晶体管;

[0018] 所述第六晶体管的栅极电连接至所述第五晶体管的栅极,所述第六晶体管的第一电极电连接至所述第三电压端,所述第六晶体管的第二电极电连接至所述上拉节点。

[0019] 优选的,所述预充电模块为双向预充电模块,所述双向预充电模块包括:第八晶体管和第九晶体管;其中,

[0020] 所述第八晶体管的栅极电连接至第一驱动信号端,所述第八晶体管的第一电极电连接至第一电压端,所述第八晶体管的第二电极电连接至所述上拉节点;

[0021] 所述第九晶体管的栅极电连接至第二驱动信号端,所述第九晶体管的第一电极电连接至所述上拉节点,所述第九晶体管的第二电极电连接至第二电压端。

[0022] 优选的,所述上拉模块包括:电容和第十晶体管;其中,

[0023] 所述电容的第一极板和所述第十晶体管的栅极均电连接至所述上拉节点,所述电容的第二极板和所述第十晶体管的第二电极均电连接至所述移位寄存器的输出端,所述第十晶体管的第一电极电连接至时钟信号端。

[0024] 优选的,所述移位寄存器还包括:初始化模块,所述初始化模块包括第七晶体管;其中,

[0025] 所述第七晶体管的栅极电连接至第三驱动信号端,所述第七晶体管的第一电极电连接至第四电压端,所述第七晶体管的第二电极电连接至所述移位寄存器的输出端。

[0026] 一种栅极驱动电路,所述栅极驱动电路包括沿第一方向排列的第一级移位寄存器至第M级移位寄存器,所述第一级移位寄存器至第M级移位寄存器均为如上述的移位寄存器,M为大于1的整数。

[0027] 一种显示装置,所述显示装置包括阵列基板,其中,所述阵列基板包括像素单元阵列,以及用于驱动所述像素单元阵列的栅极驱动电路,其中,所述栅极驱动电路为上述的栅极驱动电路。

[0028] 相较于现有技术,本发明提供的技术方案至少具有以下优点之一:

[0029] 本发明提供的一种移位寄存器、栅极驱动电路及显示装置,其中,移位寄存器包括:预充电模块、上拉模块和第一下拉模块至第N下拉模块,所述N为至少为2的整数;所述预充电模块的输出端和上拉模块的输入端电连接至上拉节点,所述上拉模块的输出端电连接至所述移位寄存器的输出端;所述第一下拉模块~第N下拉模块的输出端均电连接至所述移位寄存器的输出端,所述第一下拉模块~第N下拉模块的控制端均电连接所述预充电模块的输出端,且所述第一下拉模块~第N下拉模块的输入端分别电连接至各自对应的第一信号端~第N信号端,用于通过所述第一信号端~第N信号端提供的第一信号~第N信号的控制,分别使所述移位寄存器的输出端在下拉阶段时输出至少一个所述下拉模块的输出端的信号。

[0030] 由上述内容可知,本发明提供的技术方案,通过第一信号至第N信号分别控制第

一下拉模块至第 N 下拉模块工作,即,在下拉阶段,第一下拉模块至第 N 下拉模块均可以单独控制,以使移位寄存器的输出端输出低电位信号,因此,当任意一下拉模块损坏时,可以通过对其余下拉模块输出信号,以增加移位寄存器的使用寿命。另外,本发明提供的技术方案还可以通过对每个信号设定特殊的频率,使第一下拉模块至第 N 下拉模块交替进行工作,通过每个信号端的输出低频信号,以达到降低功耗的目的,而且,交替工作的下拉模块可以降低下拉模块的损耗速率,进一步的提高移位寄存器的使用寿命。

附图说明

[0031] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据提供的附图获得其他的附图。

[0032] 图 1 为本申请实施例提供的一种移位寄存器的结构示意图;

[0033] 图 2 为本申请实施例提供的另一种移位寄存器的结构示意图;

[0034] 图 3 为本申请实施例提供的一种时序信号示意图;

[0035] 图 4 为本申请实施例提供的又一种移位寄存器的结构示意图;

[0036] 图 5 为本申请实施例提供的一种栅极驱动电路的结构示意图。

具体实施方式

[0037] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0038] 正如背景技术所述,栅极驱动电路一般包括多个移位寄存器,通过时序控制多个移位寄存器的逐级扫描,实现栅极线的逐级扫描,进而控制显示装置显示画面。一种功耗低且使用寿命长久的移位寄存器是现今研究的重点。

[0039] 基于此,本申请实施例提供了一种移位寄存器,结合图 1 ~ 图 3 所示,对本申请实施例提供的移位寄存器进行详细的说明。

[0040] 参考图 1 所示,为本申请实施例提供的一种移位寄存器的结构示意图,其中,移位寄存器包括:

[0041] 预充电模块 1、上拉模块 2、移位寄存器的输出端 G_n 和第一下拉模块 31 至第 N 下拉模块 3n, N 为至少为 2 的整数;

[0042] 其中,预充电模块 1 用于控制上拉节点 PU 的电位,其中,预充电模块 1 的输出端和上拉模块 2 的输入端电连接至上拉节点 PU,上拉模块 2 的输出端电连接至移位寄存器的输出端 G_n ;其中,上拉模块 2 通过上拉节点 PU 的电位的控制,使移位寄存器的输出端 G_n 在上拉阶段时输出高电位信号;

[0043] 第一下拉模块 31 ~ 第 N 下拉模块 3n 的输出端均电连接至移位寄存器的输出端 G_n ,第一下拉模块 31 ~ 第 N 下拉模块 3n 的控制端均电连接至预充电模块 1 的输出端,且第一下拉模块 31 ~ 第 N 下拉模块 3n 的输入端分别连接至各自对应的第一信号端 LC1 ~ 第 N

信号端 LCn,用于通过第一信号端 LC1 ~第 N 信号端 LCn 提供的第一信号~第 N 信号的控制,分别使移位寄存器的输出端在下拉阶段时输出至少一个下拉模块的输出端的信号。

[0044] 在栅极驱动电路中,移位寄存器主要分为预充电阶段、上拉阶段和下拉阶段,其中,在上拉阶段需要使移位寄存器的输出端 Gn 输出高电位信号至栅极线,而在下拉阶段需要使移位寄存器的输出端 Gn 输出低电位信号至栅极线,由此控制与栅极线相连的晶体管的开断情况。其中,预充电模块 1 用于控制上拉节点的电位,并且,在上拉阶段时,通过预充电模块 1 控制上拉节点的电位,而上拉模块 2 由上拉节点 PU 的电位控制,并在上拉节点 PU 的电位控制下,上拉模块 2 输出高电位信号,以使与其连接的移位寄存器的输出端 Gn 输出高电位信号;

[0045] 而在下拉阶段,则需要下拉模块输出低电位信号,以使的与下拉模块连接的移位寄存器的输出端 Gn 输出低电位信号;而且,在本申请实施例提供的移位寄存器中,包括有 N 个下拉模块(即第一下拉模块 31 至第 N 下拉模块 3n),N 为至少为 2 的整数,而且任意一下拉模块均可以单独控制移位寄存器的输出端 Gn 输出低电位信号,因此,在下拉阶段,可以对每个下拉模块的工作情况设定任意频率,即任意设定第一预设频率至第 N 预设频率,以通过不同或相同的多个预设频率,控制所有下拉模块同时工作、控制所有下拉模块逐一循环工作或控制任意下拉模块的组合之间交替工作,进而控制移位寄存器的输出端输出低电位信号。举例说明,如移位寄存器包括有两个下拉模块为第一下拉模块和第二下拉模块,其中,每个下拉模块均能根据各自的信号控制,单独的使移位寄存器的输出端输低电位信号,通过对下拉模块连接的信号端输出频率的设定,可以使两个下拉模块之间交替工作,即在下拉阶段时,第一下拉模块工作时,第二下拉模块不工作,经过预设时间后,使第二下拉模块工作,而使第一下拉模块不工作,而后循环上述工作频率;或者,在第一下拉模块工作的同时,第二下拉模块同样工作;或者,第一下拉模块和第二下拉模块按照任意频率工作,只要保证在下拉阶段使移位寄存器的输出端输出低电位信号即可。对此,本申请实施例不作限制,需要根据实际应用进行具体设计。

[0046] 由上述内容可知,在本申请实施例提供的移位寄存器,包括多个下拉模块,并且,通过信号端输出的信号的控制,使每个下拉模块均能够单独的控制移位寄存器的输出端输出低电位信号,因此,通过多个下拉模块的设计,可以在任意下拉模块损坏时,通过变换控制时序继续使其余完好的下拉模块工作,以提高移位寄存器的使用寿命;而且,可以通过对每个信号设定特殊的频率,使第一下拉模块至第 N 下拉模块交替进行工作,通过每个信号端的输出低频信号,以达到降低功耗的目的。

[0047] 更为优选的,第一信号端~第 N 信号端分别按各自对应的第一预设频率~第 N 预设频率提供第一信号~第 N 信号,使移位寄存器的输出端在下拉阶段时输出至少一个下拉模块的输出端的信号,即,通过频率的设定,第一下拉模块至第 N 下拉模块可以交替工作,交替工作的下拉模块可以降低下拉模块的损耗速率,进一步的提高移位寄存器的使用寿命。其中,第一预设频率~第 N 预设频率均相同;或者,第一预设频率~第 N 预设频率中至少有一个不同,即本申请实施例不限制于下拉模块的工作频率,只要保证在下拉阶段,移位寄存器的输出端输出至少一个下拉模块的输出端的信号即可。进一步的,在同一时刻,第一信号~第 N 信号中的至少任意两个信号被提供到对应的信号端,即本申请实施例提供的第一信号至第 N 信号,可以使其在下拉阶段的初始时刻,同时控制任意两个下拉模块工作。

[0048] 需要说明的是,本申请实施例对于第一预设频率至第 N 预设频率不作具体限制,需要根据实际应用进行具体设计。另外,本申请提供的移位寄存器中,其第一下拉模块至第 N 下拉模块的电路结构可以全部相同;或者,第一下拉模块至第 N 下拉模块的电路结构全部不相同;或者,第一下拉模块至第 N 下拉模块的电路结构部分相同,本申请对此不作具体限制。

[0049] 下面对本申请实施例提供的各个模块的具体电路结构及驱动时序进行说明,参考图 2 所示,为本申请实施例提供的另一种移位寄存器的结构示意图,以及参考图 3 所述,为与图 2 中移位寄存器相应的一种时序信号示意图,需要说明的是,为了方便对本实施例提供的移位寄存器详细说明,下列对本申请实施例提供的各个模块中的晶体管均为 N 型管,即由高电位控制导通的晶体管,但是本申请其他实施例对晶体管的类型不作具体限制,只要能够在移位寄存器的驱动过程中完成相应功能即可。

[0050] 另外,本申请实施例提供的第一下拉模块至第 N 下拉模块的电路结构均相同,保证了在制作移位寄存器的效率高,而且保证了制作移位寄存器的成本低,同时还保证了移位寄存器的稳定性高。具体的,移位寄存器包括:预充电模块 1、上拉模块 2、移位寄存器的输出端 G_n 和第一下拉模块至第 N 下拉模块(图 2 中以第一下拉模块 31 和第二下拉模块 32 为例进行说明,且第一下拉模块 31 和第二下拉模块 32 的电路结构相同),N 为至少为 2 的整数;

[0051] 其中,第 i 下拉模块(参考图 2 中第一下拉模块 31 或第二下拉模块 32)包括:第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、第四晶体管 M4 和第五晶体管 M5;其中,

[0052] 第一晶体管 M1 的栅极、第一晶体管 M1 的第一电极和第二晶体管 M2 的第一电极均连接至第 i 信号端(参考图 2 中第一信号端 LC1 或第二信号端 LC2),第一晶体管 M1 的第二电极、第二晶体管 M2 的栅极和第三晶体管 M3 的第一电极彼此电连接;

[0053] 第二晶体管 M2 的第二电极、第四晶体管 M4 的第一电极和第五晶体管 M5 的栅极彼此电连接;

[0054] 第三晶体管 M3 的栅极和第四晶体管 M4 的栅极均电连接至上拉接节点 PU,第三晶体管 M3 的第二电极、第四晶体管 M4 的第二电极和第五晶体管 M5 的第二电极均电连接至第三电压端 V_{ss} ,第五晶体管 M5 的第一电极电连接至移位寄存器的输出端 G_n ,其中, $1 < i < N$ 。

[0055] 其中,第三晶体管 M3 的栅极和第四晶体管 M4 的栅极均可以直接电连接至上拉节点 PU;另外,第三晶体管 M3 的栅极和第四晶体管 M4 的栅极还可以电连接至一其他线路,且该线路能够提供与上拉节点 PU 的电位相同的上拉信号即可,即上拉信号随上拉节点 PU 的电位的变化而变化,且上拉信号与上拉节点 PU 的电位变化相同。

[0056] 此外,本申请实施例提供的预充电模块 1 可选为双向预充电模块 1,双向预充电模块 1 包括:第八晶体管 M8 和第九晶体管 M9;其中,

[0057] 第八晶体管 M8 的栅极电连接至第一驱动信号端 G_{n-1} ,第八晶体管 M8 的第一电极电连接至第一电压端 DR1,第八晶体管的第二电极电连接至上拉节点 PU;

[0058] 第九晶体管 M9 的栅极电连接至第二驱动信号端 G_{n+1} ,第九晶体管 M9 的第一电极电连接至上拉节点 PU,第九晶体管 M9 的第二电极电连接至第二电压端 DR2。

[0059] 最后,本申请实施例提供的上拉模块 2 包括:电容 C 和第十晶体管 M10;其中,

[0060] 电容 C 的第一极板和第十晶体管 M10 的栅极均电连接至上拉节点 PU, 电容 C 的第二极板和第十晶体管 M10 的第二电极均电连接至移位寄存器的输出端 Gn, 第十晶体管 M10 的第一电极电连接至时钟信号端 CLK。

[0061] 结合图 3 所示的前一帧画面的时序, 对本申请上述实施例提供的具体的移位寄存器的驱动方法进行详细说明, 其中, 驱动方法包括预充电阶段 T1、上拉阶段 T2 和下拉阶段 T3, 具体的,

[0062] 首先, 移位寄存器进入预充电阶段:

[0063] 在预充电阶段 T1, 第一驱动信号端 Gn-1 输出高电位的信号, 以控制第八晶体管 M8 导通, 而后通过第八晶体管 M8, 将第一电压端 DR1 输出的高电位信号传输至上拉节点 PU, 使得上拉节点 PU 的电位为高电位, 进而使得第十晶体管 M10 导通, 并同时为电容 C 充电; 且在预充电阶段 T1, 时钟信号端 CLK 输出低电位信号, 通过第十晶体管 M10, 控制移位寄存器的输出端 Gn 输出低电位信号; 而信号端 Gn+1 输出低电位的信号, 驱动第九晶体管 M9 截止。

[0064] 其中, 以本级移位寄存器而言, 第一驱动信号 Gn-1 为上一级移位寄存器的输出信号, 而第二驱动信号 Gn+1 为下一级移位寄存器的输出信号。

[0065] 而后, 移位寄存器进入上拉阶段:

[0066] 在上拉阶段 T2, 第一驱动信号端 Gn-1 和第二驱动信号端 Gn+1 均输出低电位的信号, 分别驱动第八晶体管 M8 和第九晶体管 M9 截止, 此时, 时钟信号端 CLK 输出高电位信号, 而后该高电位信号通过电容 C 自举至上拉节点 PU, 使得上拉节点 PU 的电位相较于在预充电阶段 T1 中的电位更高, 驱动第十晶体管 M10 导通, 同时时钟信号端 CLK 输出高电位信号通过第十晶体管 M10 传输至移位寄存器的输出端 Gn, 使移位寄存器的输出端 Gn 输出信号为时钟信号端 CLK 输出的高电位信号;

[0067] 另外, 在上拉阶段 T2, 需要控制第五晶体管 M5 截止, 避免第三电压端 Vss 提供的低电位信号通过第五晶体管 M5 传输至移位寄存器的输出端 Gn, 而对移位寄存器的输出端 Gn 的输出信号造成影响, 因此, 需要控制第五晶体管 M5 的栅极电位为低电位。而第五晶体管 M5 的栅极电位由第二晶体管 M2 或第四晶体管 M4 控制, 其中, 由于在上拉阶段 T2, 上拉节点 PU 的电位相较于在预充电阶段 T1 中的电位更高, 进而驱动栅极与上拉节点 PU 连接的第三晶体管 M3 和第四晶体管 M4 导通, 第四晶体管 M4 将第三电压端 Vss 输出的低电位信号, 传输至第五晶体管 M5 的栅极, 结合图 2 可见, 在第三晶体管 M3 的宽长比小于或等于第一晶体管 M1 的宽长比时, 需要在上拉阶段 T2 控制第一信号端 LC1 和第二信号端 LC2 输出低电位信号, 此时, 只有第三晶体管 M3 和第四晶体管 M4 导通, 且由第三晶体管 M3 将第三电压端 Vss 的低电位信号传输至第二晶体管 M2 的栅极, 控制第二晶体管 M2 截止, 以及, 由第四晶体管 M4 将第三电压端 Vss 的低电位信号传输至第五晶体管 M5 的栅极, 控制第五晶体管 M5 截止; 或者, 在第三晶体管 M3 的宽长比大于第一晶体管 M1 的宽长比时, 对于在上拉阶段 T2 控制第一信号端 LC1 和第二信号端 LC2 输出信号的电位不作限制, 即无论第一晶体管 M1 是否导通, 对于第二晶体管 M2 的栅极电位的均无影响, 第二晶体管 M2 的栅极电位由第三晶体管 M3 控制, 即在上拉阶段 T2, 第三晶体管 M3 将第三电压端 Vss 的低电位信号传输至第二晶体管 M2 的栅极, 控制第二晶体管 M2 截止, 以及, 由第四晶体管 M4 将第三电压端 Vss 的低电位信号传输至第五晶体管 M5 的栅极, 控制第五晶体管 M5 截止。

[0068] 在本申请实施例中优选的, 第三晶体管的宽长比大于第一晶体管的宽长比, 在保

证下拉阶段的移位寄存器的输出端输出低电位信号的基础上,可以对第 i 信号端的频率做任意设定,可以将第 i 信号端的频率降到最低,以降低移位寄存器的功耗。

[0069] 最后,移位寄存器进入下拉阶段:

[0070] 在下拉阶段 T3,第一驱动信号端 G_{n-1} 输出低电位信号,控制第八晶体管 M8 截止;而第二驱动信号端 G_{n+1} 输出高电位的信号,控制第九晶体管 M9 导通,且第二电压端 DR2 输出低电位信号,控制上拉节点 PU 的电位为低电位,以及时钟信号 CLK 输出低电位信号。

[0071] 在下拉阶段 T3,需要移位寄存器的输出端 G_n 输出低电位信号,即需要控制第五晶体管 M5 导通,进而由第五晶体管 M5 将第三电压端 V_{ss} 输出的低电位信号传输至移位寄存器的输出端 G_n 。而由于上拉节点 PU 的电位为低电位,因此,驱动第三晶体管 M3 和第四晶体管 M4 截止,因此,对于第五晶体管 M5 的栅极电位由第二晶体管 M2 控制。此时,通过对第一信号端 LC1 和第二信号端 LC2 均按照各自对应的第一预设频率和第二预设频率输出高电位信号,以分别控制各自的第一晶体管 M1 导通,而后通过第一晶体管 M1 将高电位信号传输至第二晶体管 M2 的栅极而驱动第二晶体管 M2 导通,并通过第二晶体管 M2 传输高电位信号至第五晶体管 M5 的栅极而驱动第五晶体管 M5 导通,最终,第五晶体管 M5 传输第三电压端 V_{ss} 的低电位信号至移位寄存器的输出端 G_n ,使移位寄存器的输出端 G_n 输出低电位信号。

[0072] 由下拉阶段 T3 的工作过程可知,本申请实施例提供的第 i 下拉模块,由与其连接的第 i 信号端按照第 i 预设频率输出的高电位信号控制,以控制第五晶体管传输低电位信号至移位寄存器的输出端,使移位寄存器的输出端输出低电位信号,完成移位寄存器的下拉功能,因此,在保证下拉阶段的移位寄存器的输出端输出低电位信号的基础上,任意一信号端的输出高电位信号的频率可以降到最低,保证移位寄存器使用寿命长的同时,还能降低移位寄存器的功耗;另外,相较于现有的一些使用电容下拉的移位寄存器,本申请实施例提供的下拉模块通过多个晶体管之间的配合,进而控制移位寄存器的输出端输出低电位信号,保证了下拉模块的工作更加稳定。

[0073] 另外,参考图 3 所示,基于图 2 提供的移位寄存器电路,由于预充电模块为双向预充电模块,因此,在扫描完前一帧画面后,还可以自另外一方向进行扫描后一帧画面,即,

[0074] 首先,移位寄存器进入预充电阶段:

[0075] 在预充电阶段 T1,第二驱动信号端 G_{n+1} 输出高电位的信号,控制第九晶体管 M9 导通,而后通过第九晶体管 M9,将第二电压端 DR2 输出的高电位信号传输至上拉节点 PU,使得上拉节点 PU 的电位为高电位,进而使得第十晶体管 M10 导通,并同时为电容 C 充电;且在预充电阶段 T1,时钟信号端 CLK 输出低电位信号,通过第十晶体管 M10,控制移位寄存器的输出端 G_n 输出低电位信号;而信号端 G_{n+1} 输出低电位的信号,驱动第九晶体管 M9 截止。

[0076] 其中,以本级移位寄存器而言,第一驱动信号 G_{n-1} 为上一级移位寄存器的输出信号,而第二驱动信号 G_{n+1} 为下一级移位寄存器的输出信号。

[0077] 而后,移位寄存器进入上拉阶段:

[0078] 在上拉阶段 T2,第一驱动信号端 G_{n-1} 和第二驱动信号端 G_{n+1} 均输出低电位的信号,分别驱动第八晶体管 M8 和第九晶体管 M9 截止,此时,时钟信号端 CLK 输出高电位信号,而后该高电位信号通过电容 C 自举至上拉节点 PU,使得上拉节点 PU 的电位相较于在预充电阶段 T1 中的电位更高,驱动第十晶体管 M10 导通,同时时钟信号端 CLK 输出高电位信号通过第十晶体管 M10 传输至移位寄存器的输出端 G_n ,使移位寄存器的输出端 G_n 输出信号为时

钟信号端 CLK 输出的高电位信号；

[0079] 另外,在上拉阶段 T2,需要控制第五晶体管 M5 截止,避免第三电压端 Vss 提供的低电位信号通过第五晶体管 M5 传输至移位寄存器的输出端 Gn,而对移位寄存器的输出端 Gn 的输出信号造成影响,因此,需要控制第五晶体管 M5 的栅极电位为低电位。而第五晶体管 M5 的栅极电位由第二晶体管 M2 或第四晶体管 M4 控制,其中,由于在上拉阶段 T2,上拉节点 PU 的电位相较于在预充电阶段 T1 中的电位更高,进而驱动栅极与上拉节点 PU 连接的第三晶体管 M3 和第四晶体管 M4 导通,第四晶体管 M4 将第三电压端 Vss 输出的低电位信号,传输至第五晶体管 M5 的栅极,结合图 2 可见,在第三晶体管 M3 的宽长比小于或等于第一晶体管 M1 的宽长比时,需要在上拉阶段 T2 控制第一信号端 LC1 和第二信号端 LC2 输出低电位信号,此时,只有第三晶体管 M3 和第四晶体管 M4 导通,且由第三晶体管 M3 将第三电压端 Vss 的低电位信号传输至第二晶体管 M2 的栅极,控制第二晶体管 M2 截止,以及,由第四晶体管 M4 将第三电压端 Vss 的低电位信号传输至第五晶体管 M5 的栅极,控制第五晶体管 M5 截止;或者,在第三晶体管 M3 的宽长比大于第一晶体管 M1 的宽长比时,对于在上拉阶段 T2 控制第一信号端 LC1 和第二信号端 LC2 输出信号的电位不作限制,即无论第一晶体管 M1 是否导通,对于第二晶体管 M2 的栅极电位的均无影响,第二晶体管 M2 的栅极电位由第三晶体管 M3 控制,即在上拉阶段 T2,第三晶体管 M3 将第三电压端 Vss 的低电位信号传输至第二晶体管 M2 的栅极,控制第二晶体管 M2 截止,以及,由第四晶体管 M4 将第三电压端 Vss 的低电位信号传输至第五晶体管 M5 的栅极,控制第五晶体管 M5 截止。

[0080] 在本申请实施例中优选的,第三晶体管的宽长比大于第一晶体管的宽长比,在保证下拉阶段的移位寄存器的输出端输出低电位信号的基础上,可以对第 i 信号端的频率做任意设定,可以将第 i 信号端的频率降到最低,以降低移位寄存器的功耗。

[0081] 最后,移位寄存器进入下拉阶段:

[0082] 在下拉阶段 T3,第二驱动信号端 Gn+1 输出低电位信号,控制第九晶体管 M9 截止;而第一驱动信号端 Gn-1 输出高电位的信号,控制第八晶体管 M8 导通,且第一电压端 DR1 输出低电位信号,控制上拉节点 PU 的电位为低电位,以及时钟信号 CLK 输出低电位信号。

[0083] 在下拉阶段 T3,需要移位寄存器的输出端 Gn 输出低电位信号,即需要控制第五晶体管 M5 导通,进而由第五晶体管 M5 将第三电压端 Vss 输出的低电位信号传输至移位寄存器的输出端 Gn。而由于上拉节点 PU 的电位为低电位,因此,驱动第三晶体管 M3 和第四晶体管 M4 截止,因此,对于第五晶体管 M5 的栅极电位由第二晶体管 M2 控制。此时,通过对第一信号端 LC1 和第二信号端 LC2 均按照各自对应的第一预设频率和第二预设频率输出高电位信号,以分别控制各自的第一晶体管 M1 导通,而后通过第一晶体管 M1 将高电位信号传输至第二晶体管 M2 的栅极而驱动第二晶体管 M2 导通,并通过第二晶体管 M2 传输高电位信号至第五晶体管 M5 的栅极而驱动第五晶体管 M5 导通,最终,第五晶体管 M5 传输第三电压端 Vss 的低电位信号至移位寄存器的输出端 Gn,使移位寄存器的输出端 Gn 输出低电位信号。

[0084] 由下拉阶段 T3 的工作过程可知,本申请实施例提供的第 i 下拉模块,由与其连接的第 i 信号端按照第 i 预设频率输出的高电位信号控制,以控制第五晶体管传输低电位信号至移位寄存器的输出端,使移位寄存器的输出端输出低电位信号,完成移位寄存器的下拉功能,因此,在保证下拉阶段的移位寄存器的输出端输出低电位信号的基础上,任意一信号端的输出高电位信号的频率可以降低到最低,保证移位寄存器使用寿命长的同时,还能降

低移位寄存器的功耗；另外，相较于现有的一些使用电容下拉的移位寄存器，本申请实施例提供的下拉模块通过多个晶体管之间的配合，进而控制移位寄存器的输出端输出低电位信号，保证了下拉模块的工作更加稳定。

[0085] 另外，由图 3 可知，本申请实施例提供的下拉模块，对于其连接的信号端的提供信号的频率不作具体限制，在前一帧画面扫描过程中，任意一级移位寄存器在下拉阶段，可以由一个信号端 LC1 提供信号；而在后一帧画面扫描过程中，该级移位寄存器在下拉阶段，可以由另一个信号端 LC2 提供信号、

[0086] 进一步的，基于图 2 所示移位寄存器的基础上，本申请实施例还提供了一种移位寄存器，参考图 4 所示，为本申请实施例提供的另一种移位寄存器的结构示意图，其中，除图 2 所示结构外，移位寄存器还包括：上拉节点复位模块 4，用于复位上拉节点 PU 的电位，即控制上拉节点 PU 处于低电位；其中，上拉节点复位模块 4 包括：第六晶体管 M6；

[0087] 第六晶体管 M6 的栅极电连接至第五晶体管 M5 的栅极，第六晶体管 M6 的第一电极电连接至第三电压端 V_{ss} ，第六晶体管 M6 的第二电极电连接至上拉节点 PU。

[0088] 其中，为了保证在下拉阶段中，上拉节点的电位快速的变为低电位，可以通过上拉节点复位模块将上拉节点的电位拉低，即，在下拉阶段，由第二晶体管控制第五晶体管导通的同时，还控制第六晶体管导通，且通过第六晶体管将第三电压端输出的低电位信号传输至上拉节点，将上拉节点的电位迅速拉低，避免出现上拉节点干扰下拉模块工作的情况。

[0089] 进一步的，参考图 4 所示，移位寄存器还包括：初始化模块 5，用于在移位寄存器工作之前使移位寄存器的输出端 Gn 处于低电位；初始化模块 5 包括第七晶体管 M7；其中，

[0090] 第七晶体管 M7 的栅极电连接至第三驱动信号端 Reset，第七晶体管 M7 的第一电极电连接至第四电压端 V_{g1} ，第七晶体管 M7 的第二电极电连接至移位寄存器的输出端 Gn。

[0091] 其中，第四电压端输出低电位信号，即为了保证使用显示装置开机出现瞬间的花屏现象，在逐级扫描栅极线之前，即在移位寄存器的预充电电压阶段之前，首先将移位寄存器的输出端的电位初始化为低电位，通过第三驱动信号端输出信号的控制，将第四电压端输出的低电位信号传输至移位寄存器的输出端。

[0092] 相应的，本发明还提供了一种栅极驱动电路，栅极驱动电路包括沿第一方向排列的第一级移位寄存器至第 M 级移位寄存器，其中，第一级移位寄存器至第 M 级移位寄存器均为上述任意一实施例提供的移位寄存器，M 为大于 1 的整数。

[0093] 参考图 5 所示，为本申请实施例提供的一种栅极驱动电路的结构示意图，本申请实施例提供的栅极驱动电路的移位寄存器与图 2 提供的移位寄存器相同，其中，包括沿第一方向 Y 设置的第一级移位寄存器至第 M 级移位寄存器，其中，沿第一方向的前一级移位寄存器的输出端电连接至后一级移位寄存器的第一驱动信号端，沿第一方向的前一级移位寄存器的第二驱动信号端电连接至后一级移位寄存器的输出端；

[0094] 另外，沿第一方向排列的偶数级移位寄存器连接至第一时钟信号 CLK1，沿第一方向排列的奇数级移位寄存器连接至第二时钟信号 CLK2，且第一时钟信号 CLK1 和第二时钟信号 CLK2 互为反向信号。

[0095] 在使用上述栅极驱动电路扫描一帧画面过程中，在每级移位寄存器的下拉阶段，可以通过连接移位寄存器的第一信号端至第 N 信号端提供的信号控制该级移位寄存器输出至少一个下拉模块的输出端的信号。

[0096] 具体的,参考图 5 所示,每级移位寄存器均包括两个下拉模块,分别连接至第一信号 LC1 和第二信号 LC2。其中,在扫描一帧画面过程中,在每级移位寄存器的下拉阶段,第一信号 LC1 和第二信号 LC2 为各自下拉模块提供信号的频率相同,即在每级移位寄存器进入下拉阶段后,第一信号 LC1 和第二信号 LC2 均为各自下拉模块提供信号,使该级移位寄存器输出两个下拉模块的输出端信号;或者,在扫描一帧画面过程中,在每级移位寄存器的下拉阶段,第一信号 LC1 和第二信号 LC2 为各自下拉模块提供信号的频率不相同,使该级移位寄存器输出同一个下拉模块的输出端的信号,或使该级移位寄存器按预设频率交替输出两个下拉模块的输出端的信号;或者,在扫描一帧画面过程中,不同级的移位寄存器在下拉阶段中,第一信号 LC1 和第二信号 LC2 的频率也不相同,对此本申请实施例不作具体限制。

[0097] 相应的,本发明还提供了一种显示装置,显示装置包括阵列基板,其中,阵列基板包括像素单元阵列,以及用于驱动像素单元阵列的栅极驱动电路,其中,栅极驱动电路为上述实施例提供的栅极驱动电路。

[0098] 本申请实施例提供了一种移位寄存器、栅极驱动电路及显示装置,其中,移位寄存器包括:

[0099] 预充电模块、上拉模块和第一下拉模块至第 N 下拉模块,所述 N 为至少为 2 的整数;所述预充电模块的输出端和上拉模块的输入端电连接至上拉节点,所述上拉模块的输出端电连接至所述移位寄存器的输出端;所述第一下拉模块~第 N 下拉模块的输出端均电连接至所述移位寄存器的输出端,所述第一下拉模块~第 N 下拉模块的控制端均电连接所述预充电模块的输出端,且所述第一下拉模块~第 N 下拉模块的输入端分别电连接至各自对应的第一信号端~第 N 信号端,用于通过所述第一信号端~第 N 信号端提供的第一信号~第 N 信号的控制,分别使所述移位寄存器的输出端在下拉阶段时输出至少一个所述下拉模块的输出端的信号。

[0100] 由上述内容可知,本发明提供的技术方案,通过第一信号至第 N 信号分别控制第一下拉模块至第 N 下拉模块工作,即,在下拉阶段,第一下拉模块至第 N 下拉模块均可以单独控制,以使移位寄存器的输出端输出低电位信号,因此,当任意一下拉模块损坏时,可以通过对其余下拉模块输出信号,以增加移位寄存器的使用寿命。另外,本发明提供的技术方案还可以通过对每个信号设定特殊的频率,使第一下拉模块至第 N 下拉模块交替进行工作,通过每个信号端的输出低频信号,以达到降低功耗的目的,而且,交替工作的下拉模块可以降低下拉模块的损耗速率,进一步的提高移位寄存器的使用寿命。

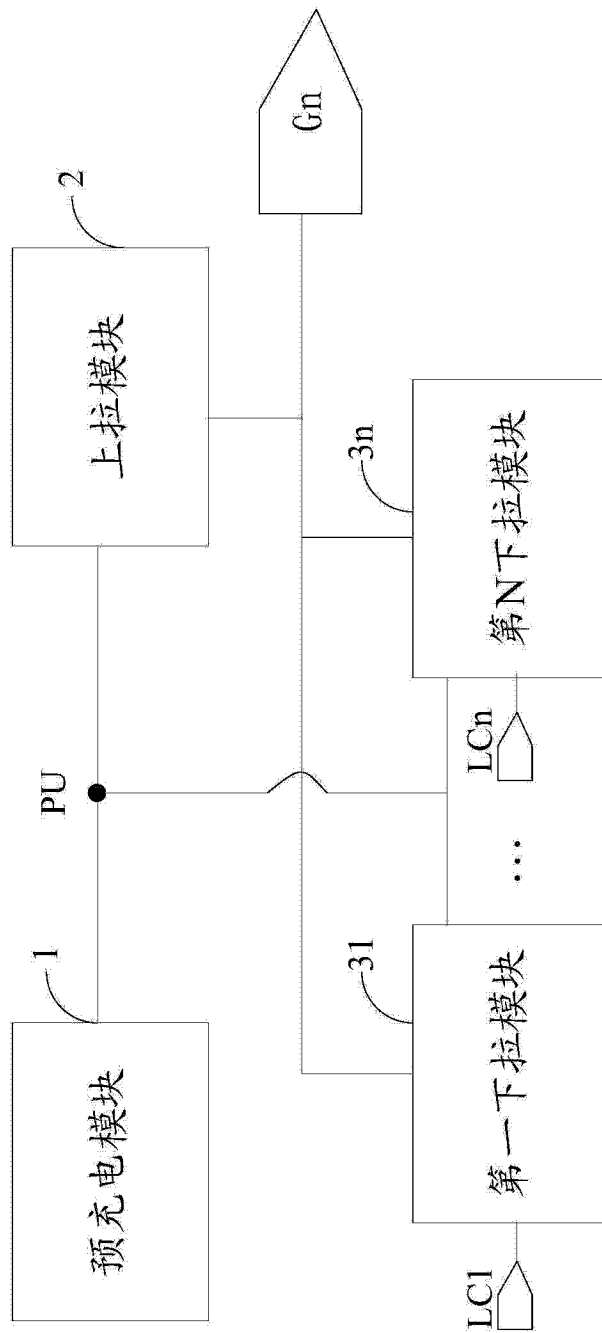


图 1

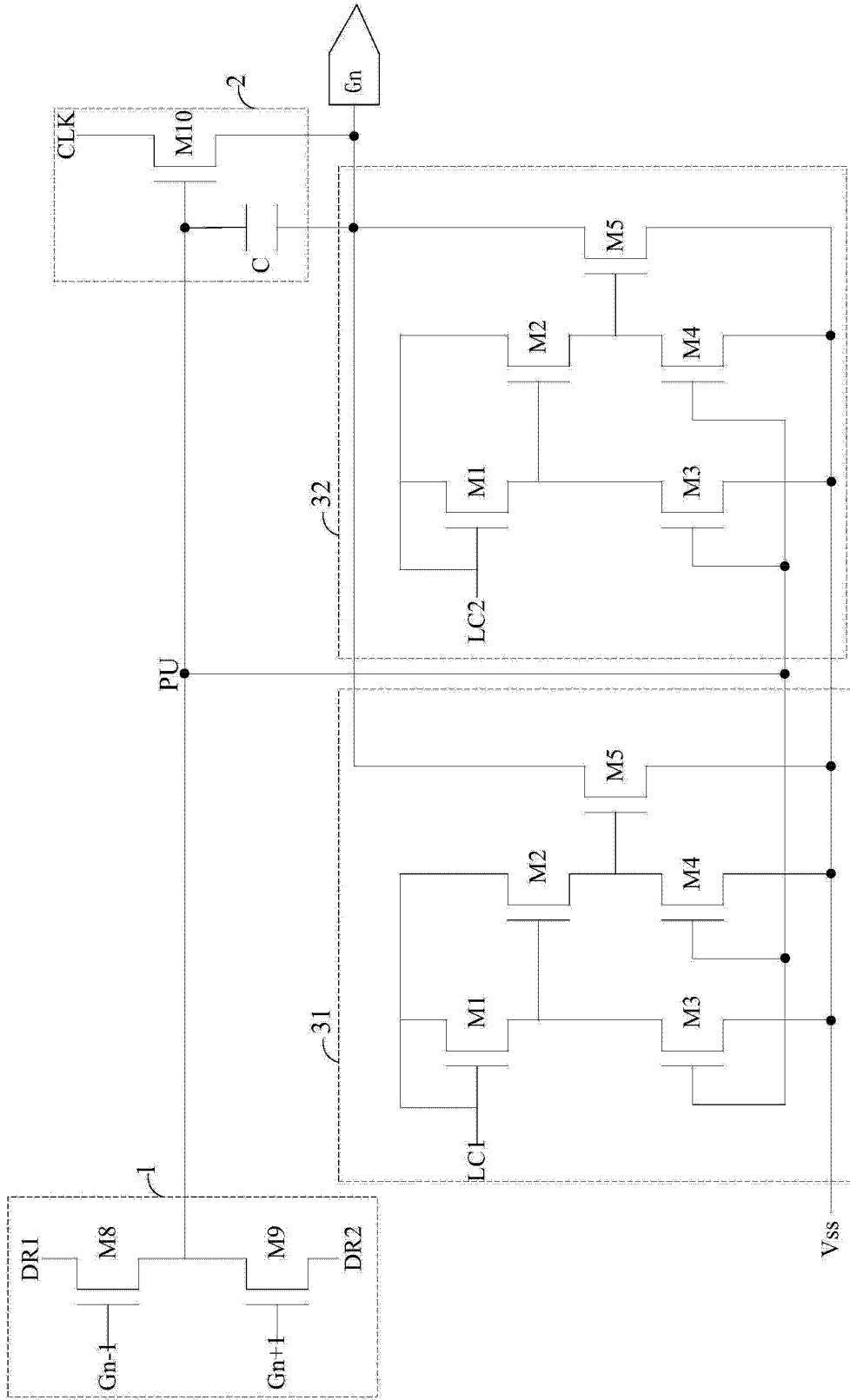


图 2

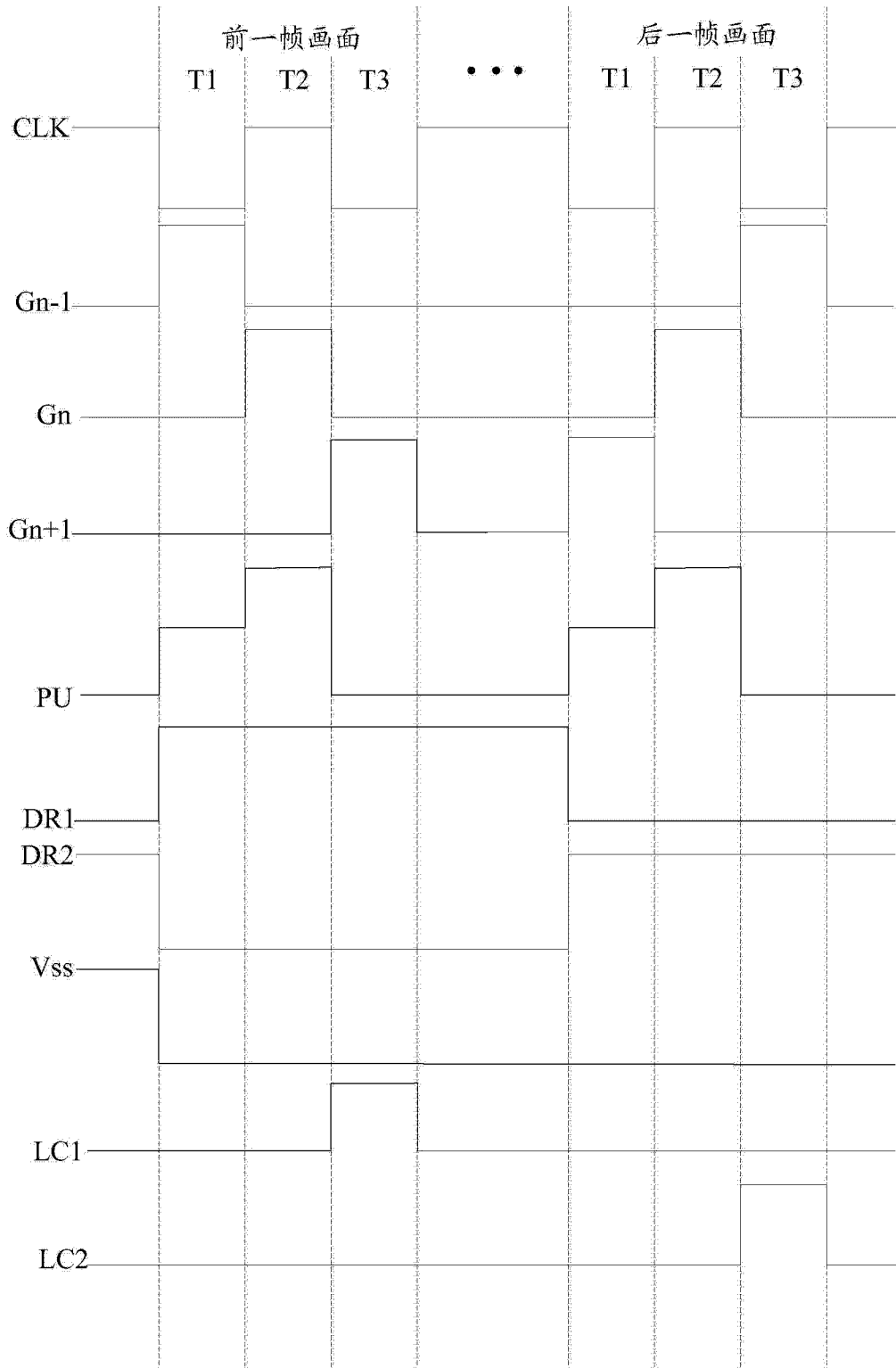


图 3

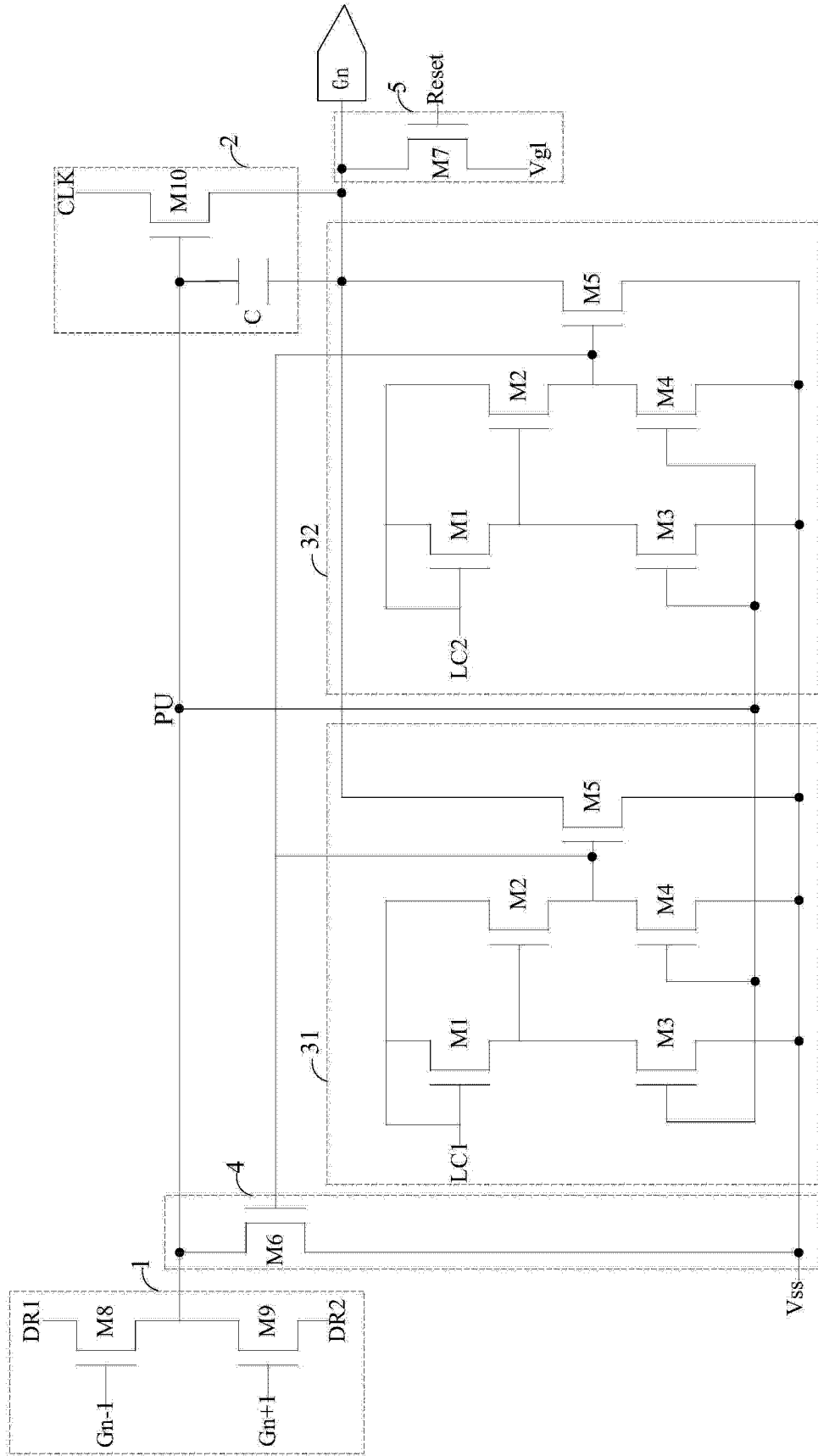


图 4

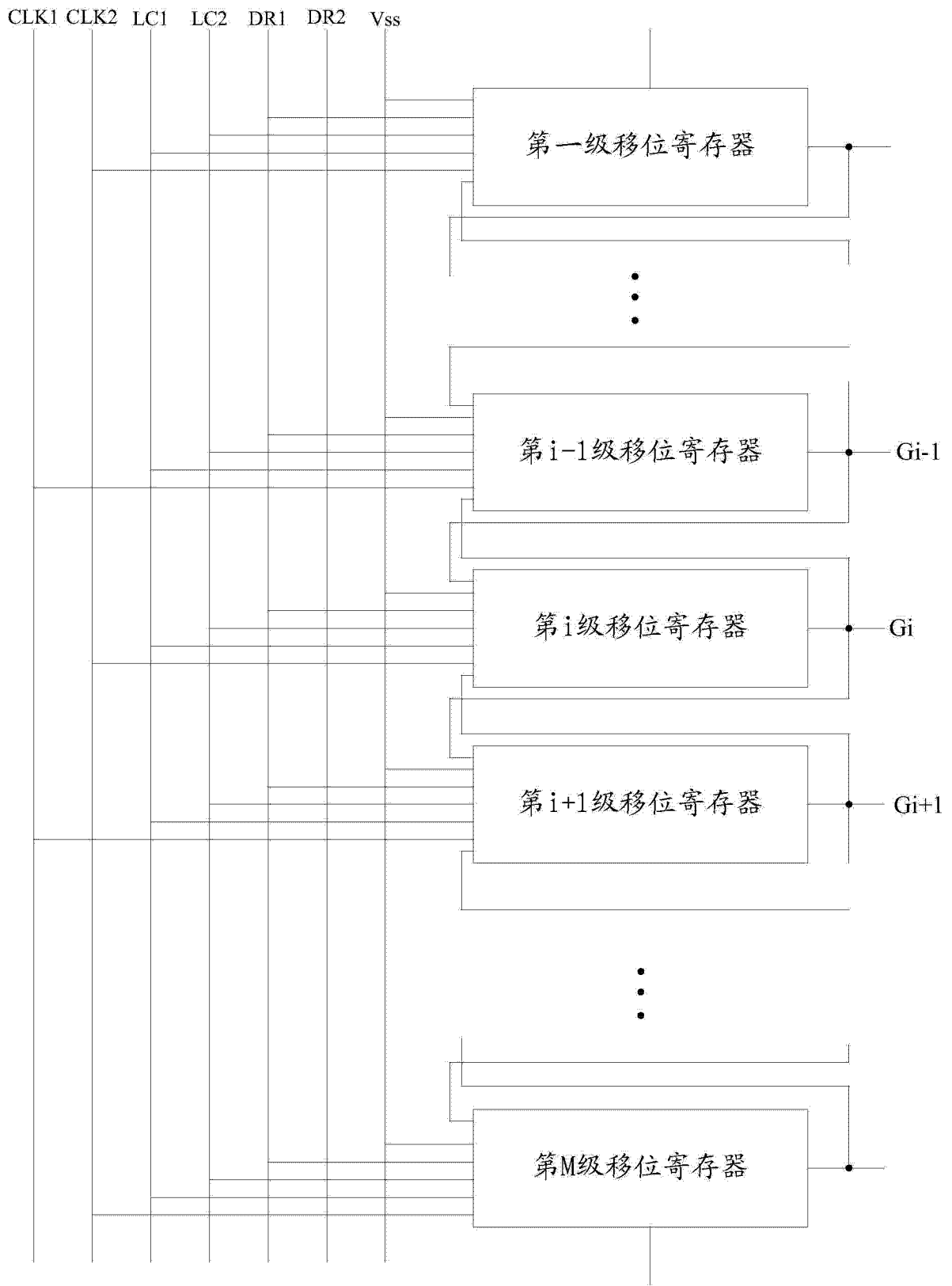


图 5