



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년03월04일
 (11) 등록번호 10-1238232
 (24) 등록일자 2013년02월22일

(51) 국제특허분류(Int. Cl.)

H01L 29/861 (2006.01)

(21) 출원번호 10-2011-0092319

(22) 출원일자 2011년09월14일

심사청구일자 2011년09월14일

(56) 선행기술조사문헌

W02011024214 A1

JP2010073857 A

JP2004503933 A

GAO YONG et al. CHIN. PHYS. LETT. Vol.21,
 No.2, pages 414-417(2004).

(73) 특허권자

주식회사 시지트로닉스

전라북도 전주시 덕진구 백제대로 567, 반도체물
 성연구소 402호 (덕진동1가, 전북대학교)

(72) 발명자

심규환

전라북도 전주시 덕진구 오송로 47, 아이파크아파
 트 113동 502호 (송천동1가)

조덕호

서울특별시 강동구 양재대로 1340, 314동 503호
 (둔촌동, 주공아파트)

(74) 대리인

맹성재

전체 청구항 수 : 총 5 항

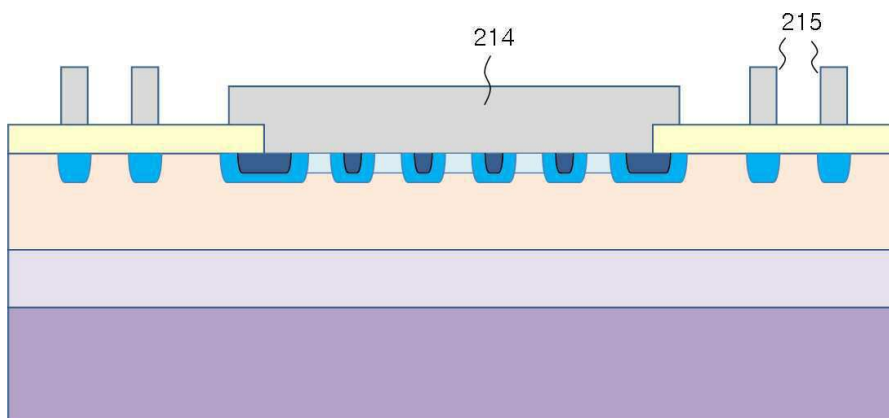
심사관 : 이성준

(54) 발명의 명칭 MHJ-FRD의 구조 및 그 제조 방법

(57) 요약

본 발명은 저소비전력 저잡음 특성이 우수한 고성능 FRD(Fast Recovery Diode) 소자의 구조 및 그 제조 방법에 관한 것으로서, 고농도로 도핑된 반도체 기판의 상부에 형성된 제1접합부; 상기 제1접합부의 상부에 형성된 저농도의 제2접합부; 상기 제2접합부의 상부에 형성된 중간 농도의 제3접합부; 상기 제3접합부와 같이 형성하는 고농도의 제4접합부; 상기 제4접합부의 내부에 형성되는 고농도로 도핑된 MHJ(Multi-Hetero-Junction)부; 상기 제3접합부와 제4접합부와 이중접합부를 연결하는 금속막;을 포함하여 이루어지는 고성능 Multi-Hetero-Junction FRD 소자의 구조 및 제작방법을 제공한다. 상기 반도체 접합층과 금속배선을 연결하여 soft-recovery 성능이 우수한 FRD를 작은 면적에 제작하는 구조 및 제작방법이다. 이렇게 개량된 FRD 소자의 구조와 제작방법은 동작전압이 수 kV 수준으로 높아도 수 십 nano-sec의 고속으로 동작하는 특성의 FRD를 구현할 수 있게 하여 전력제어 성능을 높인다

대표도 - 도2j



특허청구의 범위

청구항 1

FRD(Fast Recovery Diode) 구조에 있어서,
 제1도전형 불순물로 도핑된 완충층보다 고농도의 반도체 기판;
 상기 반도체 기판의 상부에 제1도전형 불순물로 도핑된 완충층;
 상기 완충층의 상부에 형성된 진성의 베이스층;
 상기 베이스층에 제2도전형 불순물로 이온주입하고 확산시켜 소정의 배치간격으로 형성한 제1이온주입층;
 상기 제1이온주입층을 깊이 방향으로 일부 식각하고, 식각된 부분에 충전되는 제2도전형의 상기 제1이온주입층보다 고농도의 다이종 접합(Multiple Hetero-Junction) 박막층;
 상기 다이종 접합 박막층 사이는 제2도전형의 불순물로 이온주입하여 확산시킨 제2이온주입층; 및
 상기 다이종 접합 박막층 및 제2이온주입층 상부에 형성되는 금속층을 포함한 구조로 형성되어,
 상기 반도체 기판과 완충층은 제1접합부를 형성하고, 상기 완충층과 베이스층은 제2접합부를 형성하고, 상기 베이스층과 제2이온주입층은 제3접합부를 형성하고, 상기 베이스층과 제1이온주입층은 제4접합부를 형성하고, 상기 금속층은 상기 다이종 접합 박막층과는 저항성 접촉을 형성하고 상기 제2이온주입층과는 쇼트키(Schottky) 접합을 형성하는 것을 특징으로 하는 MHJ-FRD 소자 구조

청구항 2

제1항에 있어서,
 상기 완충층은 상기 제1접합부로부터 고농도에서 저농도로 경사 기울기 도핑(gradient slope doping)된 것을 특징으로 하는 MHJ-FRD 소자 구조

청구항 3

제1항에 있어서,
 상기 다이종 접합 박막층은 $Si_{1-x}Ge_x$ ($0 < x < 1$) 층으로 형성된 것을 특징으로 하는 MHJ-FRD 소자 구조

청구항 4

FRD(Fast Recovery Diode) 소자의 제조방법에 있어서,
 제1도전형 불순물로 도핑된 완충층보다 고농도의 반도체 기판을 준비하는 단계;
 상기 반도체 기판의 상부에 제1도전형 불순물로 상기 반도체 기판의 상부로부터 고농도에서 저농도로 경사 기울기 도핑(gradient doping)된 완충층을 형성하는 단계;
 상기 완충층의 상부에 진성의 베이스층을 형성하는 단계;
 상기 베이스층 상부에 산화막을 증착하고 포토리소그래피 및 식각공정을 통하여 소정의 배치간격으로 이온주입할 영역을 형성한 다음, 상기 베이스층에 제2도전형 불순물로 이온주입하고 확산시켜 제1이온주입층을 형성하는 단계;
 상기 제1이온주입층을 깊이 방향으로 일부 식각하고, 식각된 부분에 제2도전형의 상기 제1이온주입층보다 고농도의 다이종 접합(Muti-Hetero Junction) 박막층을 충전하는 단계;
 상기 산화막을 제거하고 다시 산화막을 전면 증착하고 제2이온주입층을 형성할 영역을 포토리소그래피 및 식각공정을 통하여 형성하고, 상기 베이스층에 제2도전형 불순물로 이온주입하고 확산시켜 상기 제2이온주입층을 형성하는 단계; 및
 상기 다이종 접합 박막층 및 제2이온주입층 상부에 금속층을 형성하는 단계를 포함하는 것을 특징으로 하는

MHJ-FRD 소자 구조 제조 방법

청구항 5

제4항에 있어서,

상기 다이종 집합 박막층은 $Si_{1-x}Ge_x(0 < x < 1)$ 박막층을 RPCVD(Reduced Pressure CVD)나 UHVCVD(Ultra-High Vacuum CVD)의 방법으로 800 °C 이하의 저온에서 선택적으로 에피택셜(epitaxial) 증착하는 것을 특징으로 하는 MHJ-FRD 소자 구조 제조 방법

명세서

기술분야

[0001] 본 발명은 고속으로 스위칭하는 고성능 FRD(Fast Recovery Diode) 소자 구조 및 그 제조 방법에 관한 것으로서, 더욱 상세하게는 고농도로 도핑된 p^+ -MHJ(Multiple Hetero-Junction) 구조로 저저항 오믹접합을 위한 p^+ 애노드 층을 형성하여 쇼트키 접합을 위한 p^- 층과 함께 사용하는 FRD 구조와 이를 제작하는 방법에 관한 것이다.

배경기술

[0002] FRD 소자는 고속으로 동작하는 스위칭 회로에서 회생 다이오드(free wheeling diode), 완충기(snubber), 클램프 다이오드(clamp diode) 등으로 사용되어 왔다. 그런데 최근 전력제어 주요 반도체 소자인 IGBT(Insulated Gate Bipolar Transistor), GTO(Gate Turn-Off Thyristor), Power MOSFET의 동작속도가 더욱 빨라지면서 스위칭하는 전류제어 기울기(dI/dt)가 ~100 A/us급으로 급속하게 통제되게 되었고, 이에 따라 전력제어 스위칭시 과전압(over-voltage)과 전력손실과 같은 문제가 심각해졌다. 따라서 요즘의 FRD는 회복 동작에 있어서 더욱 작은 역회복전류(Irr)와 작은 전력손실에 대한 대책이 필요하게 되었다. 따라서 최근 FRD 기술은 과전압과 발진(oscillation)이 적은 연성 회복(soft recovery)동작특성을 개선하는데 중점을 두고 있다.

[0003] 종래에는 전력제어의 정류기(rectifier)로서 일반적인 PIN 다이오드가 주로 사용되었으나 과전압의 문제로 인하여 스너버(snubber) 회로가 함께 사용되어야 했다. 그런데 스너버는 회로가 복잡하고 고가이므로 스너버 없이 이용할 수 있는 PIN 다이오드 소자를 개발하게 되었으며, 이의 성능을 높이기 위한 여러 가지 반도체 기술이 적용되어 왔다.

[0004] 최근의 반도체 기술이 발전하여 실리콘반도체가 가지는 고속동작과 내전압 특성의 한계를 동시에 확대하는 방법이 매우 매력적이라 하겠다. 근래에 FRD 소자에 대한 제품개발이 용이해졌음에도 불구하고 동작속도, 소비전력, 과전압, 신뢰성, 전력구동 측면에서 FRD 소자의 성능은 아직도 많은 발전이 요구된다. 한편으로 고내열 고내전압 특성을 갖는 SiC나 GaN과 같은 넓은 띠틈간격(wide bandgap) 반도체를 이용한 고전력 고전압 소자에 대한 기술이 주목되고 있다. 그러나 아직도 소자의 장기적 신뢰성 측면에서 실리콘을 위주로 하는 전력반도체 소자가 상당히 오랜 기간 핵심부품을 공급할 것으로 예상된다.

[0005] 도 1a 내지 도 1f는 종래의 실리콘 반도체를 이용한 FRD에 대한 특허와 논문으로 주요 관련 기술의 현황을 보여 준다.

[0006] 도 1a는 특허문헌 1에서 제시한 FRD 구조로서, Pt를 확산하여 이용하는 경우 표면에 Pt가 고농도로 축적되어 n-type이 p-type으로 변형되어 누설전류가 Pt의 농도와 n-type의 농도에 의존하면서 발생하는 문제를 해결하기 위하여 격리를 강화한 구조이다. 그러나 p^- 와 $n^-(n^+)$ 의 계면이 증가하여 회복정전용량(Qr)과 역방향 회복시간(trr)의 성능저하가 우려된다.

[0007] 도 1b는 특허문헌 2에서 제시한 반도체소자의 다이오드로서, 물결모양의 p^+n^- 접합이 형성되어 양극으로 주입되는 전자의 양을 증가시키고 역전류의 감소를 느리게 조절하여 내압특성을 향상시킨다. 그러나 기본적으로 n-p-n 접합구조로 부성 저항을 유발시키는 동작과 p^- 급속접합의 고저항성 특성이 발생할 수 있다.

[0008] 도 1c는 특허문헌 3에서 제시한 MPS(Merged-PIN-Schottky) 구조의 FRD로서, PIN과 쇼트키(Schottky) 접합의 장점을 조합하여 순방향 전압강하(Vf)과 역방향 회복시간(trr)을 감소시킨다. 그러나 쇼트키 접합에 의해 누설전

류가 증가하고, 감소된 오믹접합으로 인하여 전류밀도가 높아지면 Vf가 오히려 증가하는 문제를 보인다.

- [0009] 도 1d는 비특허문헌 1에서 제시한 MPS 소자구조의 FRD로서, 순방향 전류-전압 특성을 보여준다. 저전류 구역에서 쇼트키 접합에 의해 Vf가 작지만, 고전류 구역에서는 오믹저항이 커서 오히려 Vf가 커지는 특징을 보이며, 마찬가지로 쇼트키 접합 면적이 증가하면 이러한 현상은 더욱 심각해진다. 따라서 MPS 소자구조에 있어서 소자 특성들을 트레이드-오프(trade-off)하는 기술적 중요성과 반도체 기관의 물리적 특성에 따른 한계가 아직도 남아 있음을 알 수 있다.
- [0010] 도 1e는 비특허문헌 2에서 제시한 FRD로서, 순방향 전압강하(Vf)와 역방향 회복 손실에너지(Err)의 상충관계를 개선시키기 위해서 양극의 두께와 농도를 조절하고, 음극에 다결정 실리콘박막을 적용한 구조에 대한 연구결과를 제시하였다. 또한 LLP(Local Life Time control with Poly-Si), TWP(Thin Wafer Processing), BBDS(Broad p⁻ buffer, Broad n⁻ buffer)의 기술로 증금속 주입이나 전자선 조사가 필요 없는 FRD 소자구조 및 공정을 제시하였다. 그러나, TWP을 하는 소자의 구조는 공정이 복잡하며 수율이 낮아 생산비가 많이 드는 고가의 공정이다.
- [0011] 도 1f는 비특허문헌 3에서 제시한 FRD로서, p⁻ 금속접합, p⁻ 쇼트키 접합을 사용한 소자의 구조를 보인다. Vf와 역방향 회복특성 사이에 상충하는 관계를 개선하기 위하여 가드링과 HiRC 영역을 최적화하여 6.5 kV 초연성 고속 FRD 소자를 제시하였다. 즉 고전압으로 증가하면서 가드링에 대한 최적화된 설계로 연성 회복특성을 개선할 수 있음을 제시하고 있다.
- [0012] 한편, 종래에 널리 사용하던 단순구조의 정류기 소자는 역방향 회복시간(trr)이 0.1~1 us로 크고, EMI(ElectroMagnetic Interference)에 의한 잡음의 발생이 심각하다. 따라서 대체로 200V 이하의 비교적 저전압에는 역방향 회복시간(trr)<0.1us로 동작하는 SBD(Schottky Barrier Diode)를 주로 사용하였다. 또한 고전압인 150~ 수 kV에는 저력제어 성능이 우수한 FRD를 사용하여 전력손실과 EMI 측면을 강화하여 활용하고 있다. 특히 기존의 PIN이나 MPS 소자구조에 증금속(Pt, Au) 확산이나 전자선 조사와 같은 기술로 FRD 소자의 연성 회복 특성을 개선하였다. 그러나 최근 전력소자의 동작주파수가 1 KHz ~ 100 MHz로 높아지고, 구동전압도 수 kV대에 대한 요구가 증대하고 있어서 종래의 기술과 비교하여 더욱 고성능의 RFD에 대한 기술개발이 필요하게 되었다.
- [0013] 반도체 소자는 성능지수 중 항복전압x동작속도가 대체로 일정한 값을 유지한다는 한계성을 가지고 동작한다. 즉, 구동전압을 높이기 위하여 항복전압을 높이면 동작속도가 감소하여 구동전압과 동작속도를 트레이드-오프(trade-off)하면서 사용하게 된다. 이러한 물리적 한계를 극복하기 위해서는 소자의 구조를 변경하거나 특성이 상이한 물질을 소재로 도입하여 사용하는 방법을 강구해야 한다.
- [0014] 위에서 살펴본 바와 같이 종래의 기술들은 대부분의 접합계면이 불순물 도판트(dopant)의 주입과 확산 공정을 이용하여 제조되며, 이온 주입 및 확산 공정을 통해 형성된 접합의 위치와 농도에 대한 재현성과 균일성이 불량하다. 대부분 실리콘 반도체 기관의 물리적 특성과 연계된 Vf와 trr의 상충 한계 내에서 소자를 제작할 수 있다. 따라서 종래의 방법으로는 FRD 소자의 연성 회복 특성을 월등하게 개선하는데 한계가 있다.

선행기술문헌

특허문헌

- [0015] (특허문헌 0001) 1. 미국특허공보 제7,259,440호(2007. 8. 21.)
- (특허문헌 0002) 2. 한국등록특허 제263912호(2000. 5. 23.)
- (특허문헌 0003) 3. 미국특허공보 제6,261,874호(2001. 7. 17.)

비특허문헌

- [0016] (비특허문헌 0001) 1. F. Cappelluti, F. Bonani, M. Furno, G. Ghione, R. Carta, L. Bellemo, C. Bocchiola, L. Merlin, "Physica-based mixed-mode reverse recovery modeling and optimization of Si PiN and MPS fast recovery diodes," Microelectronics Journal 37, 190-196, 2006.
- (비특허문헌 0002) 2. H. Fujii, M. Inoue, K. Hatade, Y. Tomomatsu, "A novel structure and lifetime control technique with poly-Si for thin wafer diode," IEEE 2009

(비특허문헌 0003) 3. M. Mori, H. Kobayashi, Y. Yasuda, "6.5 kV Ultra Soft-Fast Recovery Diode with High Reverse Recovery Capability," ISPSO '2000, France, May 22-25, IEEE 2000

발명의 내용

해결하려는 과제

[0017] 상기와 같은 문제점을 해결하고자 본 발명은 FRD의 항복전압과 동작속도의 곱이 일정하게 유지된다는 물리적 한계를 극복하기 위하여 고유한 소자구조와 불순물 도핑층을 이용하는 FRD 구조와 제조방법을 제공하고자 한다.

과제의 해결 수단

[0018] 상기의 해결하고자 하는 과제를 위한 본 발명에 따른 MHJ(Multiple Hetero-Junction)-FRD 소자 구조는, 제1도전형 불순물로 도핑된 완충층보다 고농도의 반도체 기판; 상기 반도체 기판의 상부에 제1도전형 불순물로 도핑된 완충층; 상기 완충층의 상부에 형성된 진성의 베이스층; 상기 베이스층에 제2도전형 불순물로 이온주입하고 확산시켜 소정의 배치간격으로 형성한 제1이온주입층; 상기 제1이온주입층을 깊이 방향으로 일부 식각하고, 식각된 부분에 충전되는 제2도전형의 상기 제1이온주입층보다 고농도의 다이종 접합(Multiple Hetero-Junction) 박막층; 상기 다이종 접합 박막층 사이는 제2도전형의 불순물로 이온주입하여 확산시킨 제2이온주입층; 및 상기 다이종 접합 박막층 및 제2이온주입층 상부에 형성되는 금속층을 포함한 구조로 형성되어,

[0019] 상기 상기 반도체 기판과 완충층은 제1접합부를 형성하고, 상기 완충층과 베이스층은 제2접합부를 형성하고, 상기 베이스층과 제2이온주입층은 제3접합부를 형성하고, 상기 베이스층과 제1이온주입층은 제4접합부를 형성하고, 상기 금속층은 상기 다이종 접합 박막층과는 저항성 접촉을 형성하고 상기 제2이온주입층과는 쇼트키(Schottky) 접합을 형성하는 것을 특징으로 한다.

[0020] 본 발명의 실시 예로서, 완충층은 상기 제1접합부로부터 고농도에서 저농도로 경사 기울기 도핑(gradient slope doping)하고, 다이종 접합 박막층은 $Si_{1-x}Ge_x(0 < x < 1)$ 층으로 형성된 것을 특징으로 한다.

[0021] 본 발명의 다른 실시 예로서, FRD(Fast Recovery Diode) 소자의 제조방법은,

[0022] 제1도전형 불순물로 도핑된 완충층보다 고농도의 반도체 기판을 준비하는 단계;

상기 반도체 기판의 상부에 제1도전형 불순물로 상기 반도체 기판의 상부로부터 고농도에서 저농도로 경사 기울기 도핑(gradient doping)된 완충층을 형성하는 단계;

상기 완충층의 상부에 진성의 베이스층을 형성하는 단계;

상기 베이스층 상부에 산화막을 증착하고 포토리소그래피 및 식각공정을 통하여 소정의 배치간격으로 이온주입할 영역을 형성한 다음, 상기 베이스층에 제2도전형 불순물로 이온주입하고 확산시켜 제1이온주입층을 형성하는 단계;

상기 제1이온주입층을 깊이 방향으로 일부 식각하고, 식각된 부분에 제2도전형의 상기 제1이온주입층보다 고농도의 다이종 접합(Multi-Hetero Junction) 박막층을 충전하는 단계;

상기 산화막을 제거하고 다시 산화막을 전면 증착하고 제2이온주입층을 형성할 영역을 포토리소그래피 및 식각공정을 통하여 형성하고, 상기 베이스층에 제2도전형 불순물로 이온주입하고 확산시켜 상기 제2이온주입층을 형성하는 단계; 및

상기 다이종 접합 박막층 및 제2이온주입층 상부에 금속층을 형성하는 단계를 포함한다.

[0023] 본 발명의 일 실시 예로서, 다이종 접합 박막층은 $Si_{1-x}Ge_x(0 < x < 1)$ 박막층을 RPCVD(Reduced Pressure CVD)나 UHVCVD(Ultra-High Vacuum CVD)의 방법으로 800 °C 이하의 저온에서 선택적으로 에피택셜(epitaxial) 증착하는 것을 특징으로 한다.

발명의 효과

[0024] 본 발명에 따른 고농도로 도핑된 MHJ 접합을 이용한 FRD는 종래의 PIN이나 MPS의 소자구조와 비교하여 더욱 순

방향 전압강하(Vf)와 역방향 회복시간(trr)을 감소시킬 수 있는 구조를 제공한다. 즉, MHJ의 특징을 이용하여 n⁻ 층에 소수운반자에 의한 전하의 축적을 감소시키고, 스위치 오프(switch-off)시 소수운반자가 빠르게 소멸되도록 한다. 이로 인하여 연성 회복이 일어나 발진, EMI 유발, 전력손실을 격감시킨다.

[0025] 본 발명에 따른 FRD는 필터나 SMPS와 같은 회로에 사용되는 경우에 스너버 회로를 사용할 필요가 없고, 소형화 및 저가격화를 이룰 수 있다. 근래에 활용이 증대하고 있는 전기자동차, 태양전지, LED 조명회로의 전력구동장치에서 전력소모와 EMI를 감소시킬 수 있음은 물론이고 친환경 및 고효율화에 대한 효과를 높일 수 있다.

[0026] 통상의 FRD 소자의 경우 짧고 분명한(snappy) 동작으로 인하여 50~100 kHz의 주파수 구간에서 EMI 강도가 70 dB V/m 정도로 높지만, 본 발명에 따라 연성 회복 특성을 개선함으로써 < 60 dB V/m 이하로 감소시켜 표준화 규격을 만족시킬 수 있다.

도면의 간단한 설명

[0027] 도 1a 내지 도 1f는 종래기술에 의한 FRD 소자의 단면도 및 특성 그래프이다.

도 2a 내지 도 2j는 본 발명의 소자구조와 제조공정에 따른 FRD의 제조공정 단면도이다.

도 3a와 도 3b는 종래기술과 본 발명의 전기적 특성을 비교한 특성 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이하 첨부된 도면을 참조하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예를 상세히 설명한다. 다만, 본 발명의 바람직한 실시 예에 대한 동작 원리를 상세하게 설명함에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략한다.

[0029] 또한, 도면 전체에 걸쳐 유사한 기능 및 작용을 하는 부분에 대해서는 동일한 도면 부호를 사용한다.

[0030] 도 2a 내지 도 2j는 본 발명의 실시 예에 따른 MHJ(Multiple Hetero-Junction)-FRD(Fast Recovery Diode)의 제조 방법을 나타낸 공정 단면도이다.

[0031] 도 2a에서 n⁺ 반도체 기판(201)에 n형 완충층(202)을 에피성장하고, 이어서 진성(intrinsic) 수준의 n- 베이스층(203)을 에피성장한다. 상기 n형 완충층(202)은 ~10²⁰ cm⁻³의 고농도에서 ~10¹⁴ cm⁻³의 저농도로 변화하면서 원위치(in-situ) 도핑으로 제어한다. 상기 n형 완충층(202)에서 불순물 농도의 프로파일은 양극에서 주입되는 소수운반자(정공) 농도분포를 제어하는데 중요하다. 그리고 스위치-오프(switch-off)시 빠르게 소수운반자를 상부의 p⁺층으로 이동시켜 소멸되도록 한다. 상기에서 n⁺ 반도체 기판(201)과 n형 완충층(202) 사이에 제1접합부(301)가 형성되며, 이어서 n형 완충층(202)과 n- 베이스층(203) 사이에 제2접합부(302)가 형성된다.

[0032] 도 2b에서는 n- 베이스층(203) 상부에 산화막(205)을 증착하고, 포토리소그래피 및 식각공정을 통하여 이온주입할 영역(206)을 형성한 다음 p층을 위한 이온주입을 한다. 이온주입시 물리적 손상을 줄이고 열처리를 위하여 산화막(205)을 증착하기 전에 질화막과 같은 보호막(205-1)을 먼저 증착할 수 있다. p형 이온주입층(204)은 보론(B)을 30~200 keV의 에너지로 주입한다. 그림에서 FRD가 형성될 부분은 활성(active) 영역이고 필드(field) 영역은 가드 링(guard ring)이 형성된다.

[0033] 도 2c에서는 이온주입된 p형 이온주입층(204)의 불순물을 확산하여 확산층(205)을 형성하면 p-n⁻ 접합(304)을 형성된다. 기판의 온도를 800~1100 °C에서 열처리하면 불순물의 활성화 및 확산이 발생하고, 이후에 농도가 10¹⁸ cm⁻³ 이상으로 접합이 형성되도록 제어한다. 상기 n- 베이스층(203)과 p형의 이온주입(204)층 사이에 제4접합부(304)가 형성된다.

[0034] 도 2d에서는 리소그래피 및 식각공정을 통하여 p⁺층을 형성할 부분의 질화막(205-1)을 제거한다.

[0035] 도 2e에서는 오픈된 질화막(208)을 통하여 p형 확산층(207)을 깊이 방향으로 일부 식각한다. 실리콘 기판의 식각은 건식식각을 이용하는 비등방성으로 하지만, 아래의 밑바닥 부분의 식각면(209)은 등방성으로 제어하여 고전압에서 전계가 균일하게 분포되도록 한다. 국부적으로 전계가 집중되지 않도록 식각계면의 프로파일을 제어하는 것은 불순물의 농도분포에도 직접적으로 영향을 미치게 된다.

- [0036] 도 2f에서는 아주 고농도의 p⁺형 다이중 접합(MHJ) 박막(210)을 증착한다. 상기 다이중 접합 박막층(210)은 다결정 또는 단결정으로 증착되며, p형 이온주입층과의 사이에 고농도로 도핑된 p⁺MHJ(305)을 형성한다. p⁺MHJ 접합의 예로서 실리콘 반도체 기판을 이용하는 경우 Si_{1-x}Ge_x(0<x<1)를 이용한다. SiGe층은 보론(B)을 고농도로 일부 구간에 집중시켜 p⁺층을 국부적으로 형성하는데 매우 유용하다. 그리고 SiGe 층의 선택적 에피성장은 패턴의 형태와 밀도에 따라 영향을 받게 되므로 그 배치가 MHJ 소자구조의 형태에 적합하게 반영되도록 한다. MHJ의 폭은 활성(active) 영역의 중앙은 1~3um이며, 가장자리 영역에는 3~5um으로 조절한다. MHJ의 배치 개수는 활성 영역의 면적에 의해 비례하며 순방향 전압강하(Vf)와 역방향 누설전류(Ir)를 트레이드-오프(trade-off)하는 수준으로 결정된다. 반도체 기판의 온도가 800 °C 이하의 비교적 저온에서 MHJ 접합이 선택적으로 증착되므로, 제1접합계면(301)과 제2접합계면(302), 제3접합계면(303)에서 불순물의 확산이 제한되므로 MHJ-FRD 소자특성의 균일성과 재현성이 높게 유지된다.
- [0037] SiGe 박막은 RPCVD(Reduced Pressure CVD)나 UHVCVD(Ultra-High Vacuum CVD)의 방식으로 증착할 수 있다. 이용하는 반응가스로는 SiH₄, HCl, SiCH₆, DCS, GeH₄가 있으며 p형 선택적 박막의 증착에는 B₂H₆ 가스를 도핑하여 10¹⁸~10¹⁹ cm⁻³의 고농도로 B를 주입한다.
- [0038] 도 2g에서는 p⁻ 이온주입을 위해 기존에 형성된 질화막(205-1)과 산화막(205)을 제거하고 다시 질화막(225-1)과 산화막(225)을 증착하고 포토리소그래피 및 산화막의 식각으로 이온주입창(220)을 형성한다.
- [0039] 이온주입창(220)을 통하여 B과 같은 p형 불순물의 이온주입을 30~100 keV의 에너지로 실행하여 p⁻형의 이온주입층(211)을 형성한다. 상기 p⁻형 이온주입층의 두께와 불순물 농도는 n⁻ 캐소드 측으로 주입되는 소수운반자(정공)의 농도를 조절할 뿐만 아니라 상부의 금속과의 Schottky 접합 특성을 결정하게 되므로 매우 중요하여 정밀하게 조절되어야 한다.
- [0040] 도 2h에서는 p⁻형 이온주입층(211)을 열처리 확산을 통해 확산층(212)을 형성하면 n⁻형의 베이스층과 제3접합계면(303)이 형성된다. 소수운반자의 수명을 제어하기 위해 통상적으로 알려진 방식으로 중금속 확산, He 이온주입, 전자선 조사를 추가적으로 할 수 있다. 중금속(Au, Pt)의 경우 약 1 nm 두께의 박막을 웨이퍼 뒷면에 증착하고 열처리하여 확산시켜 사용한다. He은 국부적인 영역에 집중적으로 소수운반자의 수명을 줄이는 유용하다. 전자선 조사는 1.5~12 MeV로 주입하며, 웨이퍼의 전체에 균일하게 조사된다. 이렇게 소수운반자의 재결합센타를 인위적으로 주입함으로써 역방향 회복시간(trr)을 격감시키게 된다.
- [0041] 도 2i에서는 산화막(225)과 질화막(225-1)을 제거하고 다시 산화막(235)을 전면 형성시키고 활성영역을 식각하여 개방(213)한다.
- [0042] 도 2j에서는 개방된 금속접촉창(213)에 금속박막(214)을 증착하여 양극을 형성하여 금속-반도체 접합을 형성한다. p⁻층 위에는 쇼트키접합이 형성되고, p⁺MHJ층 위에는 저항이 작은 오믹접합이 형성된다. 또한 잡음과 누설전류에 의한 파괴를 방지하기 위해 기판 내부 및 산화막 위에 가드 링(guard ring)을 형성한다. 기판 내부는 p 이온주입층에 형성된 전도층으로 형성하고, 산화막 위는 금속 박막에의 한 가드 링(215)을 설치한다.
- [0043] 도 3a에서 여러 종류의 FRD 소자에 대한 순방향 전기적 특성을 비교하여 소자구조에 의한 효과를 확인할 수 있다. A(PIN), B(MPS), C(MHJ)의 세 종류에 대한 특성을 비교하면, A는 일반적인 PIN 구조의 다이오드로서 저전류 영역에서 전압이 높다. B는 MPS 구조에서 Schottky접합으로 인하여 고전류 영역에서 온전압(Von)이 매우 높아진다. C는 MHJ 구조로서 MPS의 단점을 보완하여 저전류와 고전류 동작에 있어서 Von을 최소화하는 저저항 오믹접합의 효과를 보여준다.
- [0044] 도 3b는 turn-off시 시간에 대한 전류흐름의 상태를 확인할 수 있다. A(PIN), B(MPS), C(MHJ)의 세 종류에 대한 특성을 비교하면, A는 일반적인 PIN 구조의 다이오드로서 강성 회복과 링(ringing) 발생의 원인이 되는 발진을 볼 수 있다. B는 MPS 구조에서 연성 회복을 보인다. C는 MHJ 구조로서 MPS의 단점을 보완하여 소수운반자의 수명을 더욱 감소시키는 개선된 효과를 보여준다.
- [0045] 상술된 바와 같이 제1접합계면, 제2접합계면, 제3접합계면, 제4접합계면과 더불어 MHJ 접합에 금속접합을 연결하여 본 발명의 고성능 FRD소자가 완성된다. 도 2a에서 도 2j의 공정과정을 통하여 본 발명에 대한 FRD를 제조하는 공정단계는 매우 간단하다. 공정단계가 명료하고 마스크의 숫자도 적으므로 공정제어가 간편하고 정확하여

제품의 양산성과 신뢰성이 우수하다.

[0046] 본 발명은 상술한 다수의 반도체 접합층인 HMJ를 이용한 구조를 기본으로 하여 단순화 및 응용을 통해 여러 가지 변형된 형태로 소자를 제작하여 제품화 할 수 있다. 주지하는 바와 같이 통상적으로 제품의 양산에는 수율, 신뢰성, 생산성, 생산단가와 같은 점들을 제품의 성능과 비교하여 최적화하는 것이 일반적이다.

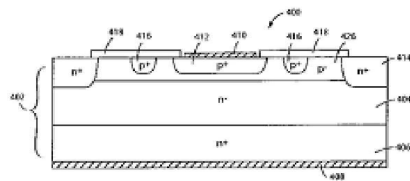
[0047] 이상에서 설명한 본 발명은 전술한 실시 예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경할 수 있다는 것은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 당업자에게 있어 명백할 것이다.

부호의 설명

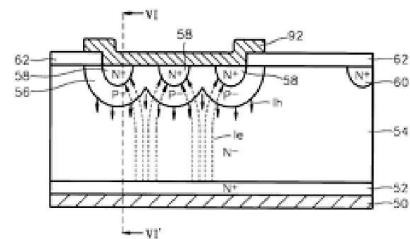
- [0048] 201: n⁺ 반도체 기판 202: n 완충층
 203: n⁻ 베이스층 204: p 이온주입층
 205: 산화막 206: p 이온주입을 위한 윈도우
 207: p 확산층 208: p⁺를 위한 윈도우
 209: 식각면 210: p⁺ 증착층
 211: p⁻ 이온주입층 212: p⁻ 확산층
 213: 금속접촉 윈도우 214: 금속접합 양극
 215: 금속 가드링 301: 제1접합부
 302: 제2접합부 303: 제3접합부
 304: 제4접합부 305: MHJ 접합부

도면

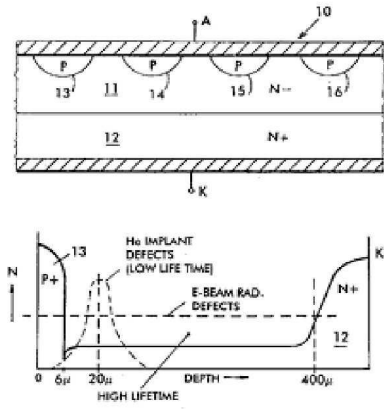
도면1a



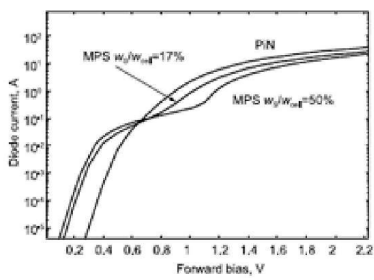
도면1b



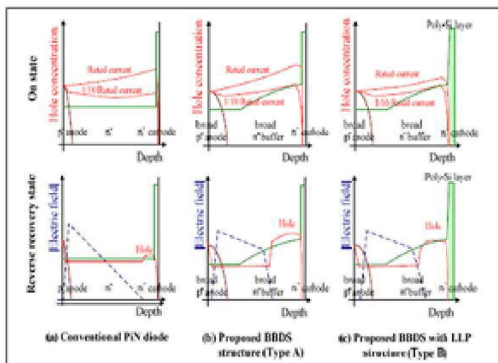
도면1c



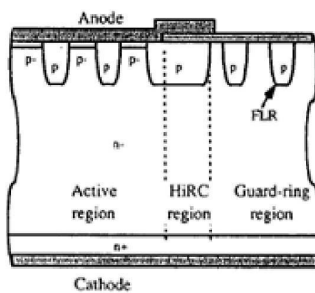
도면1d



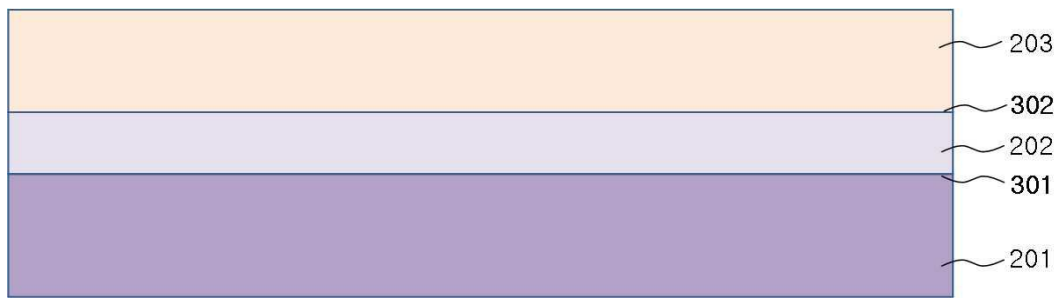
도면1e



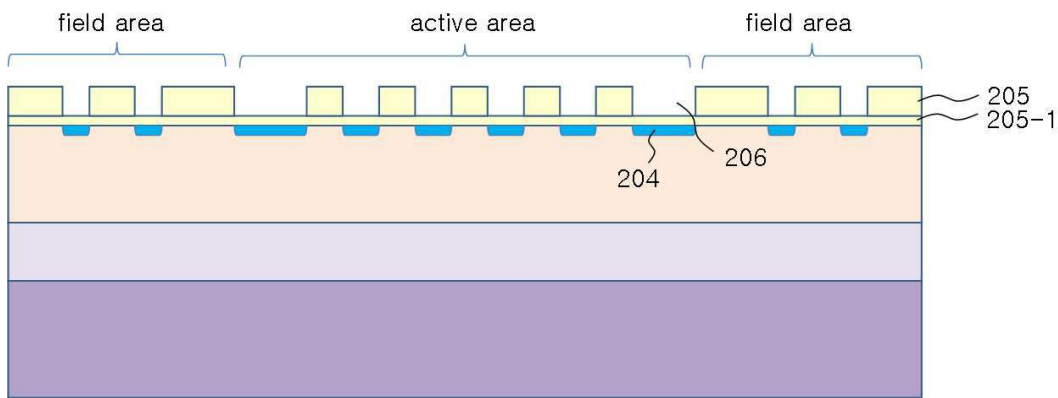
도면1f



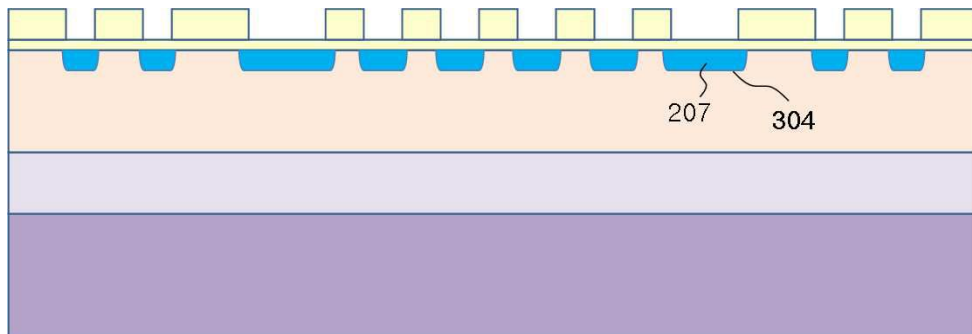
도면2a



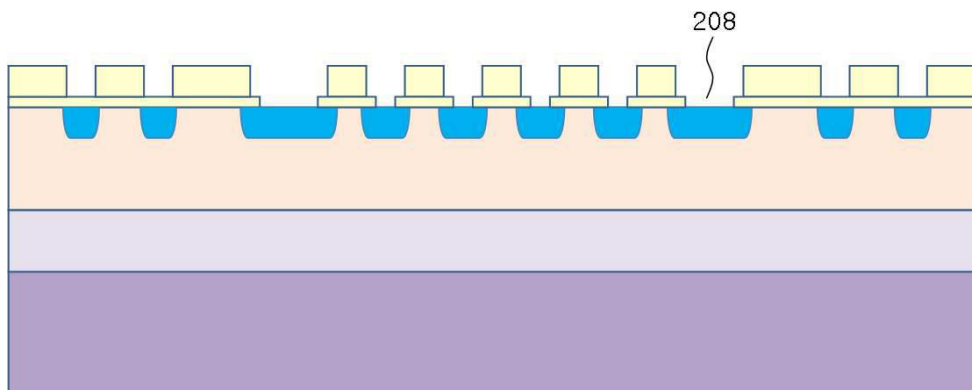
도면2b



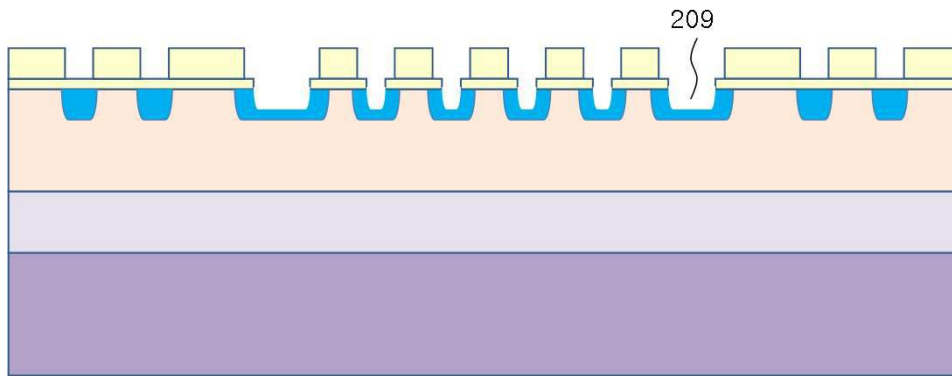
도면2c



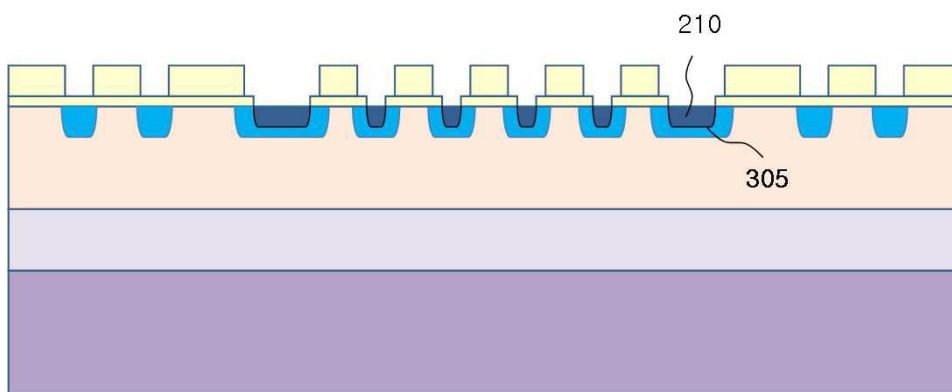
도면2d



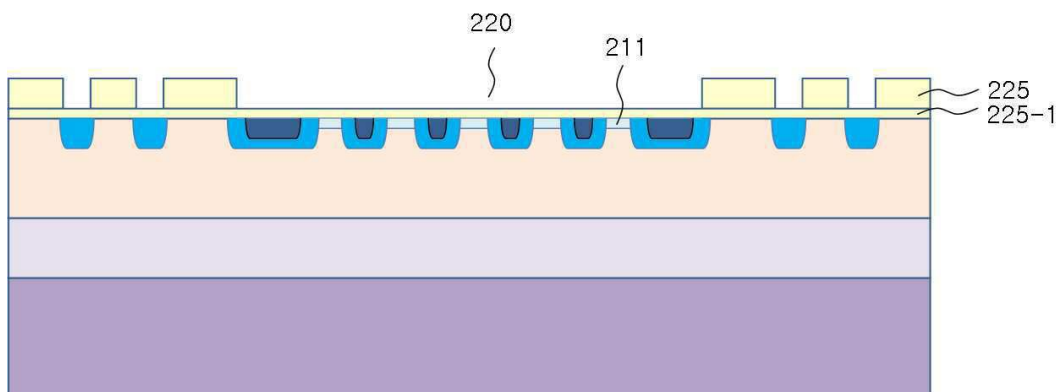
도면2e



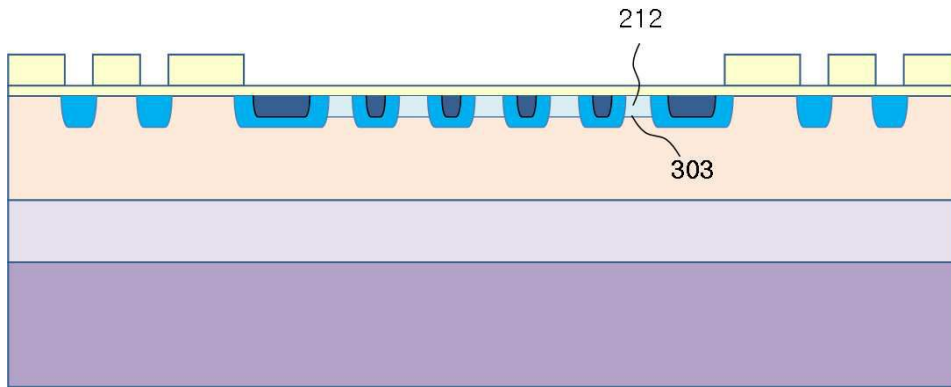
도면2f



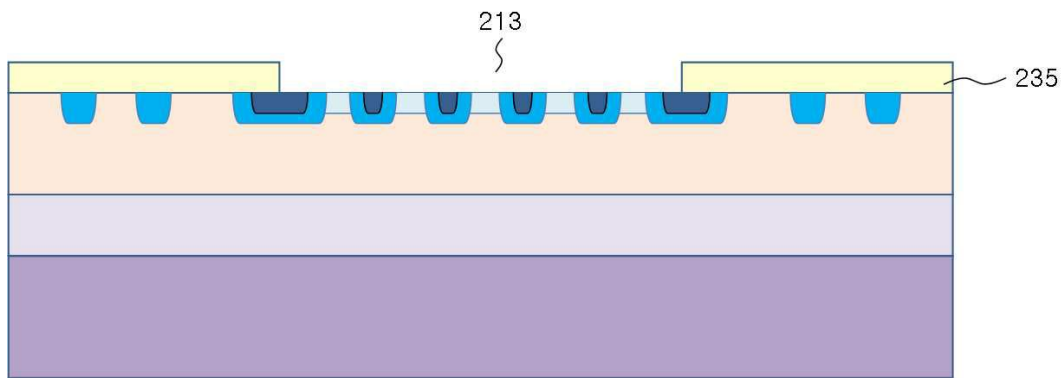
도면2g



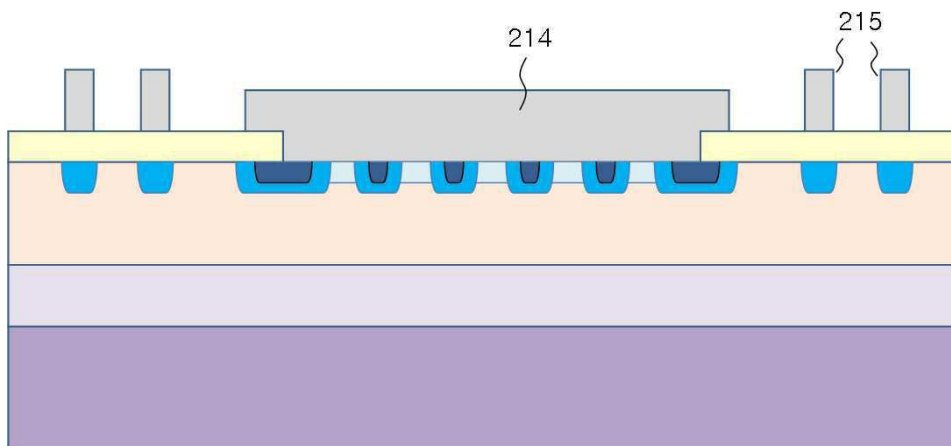
도면2h



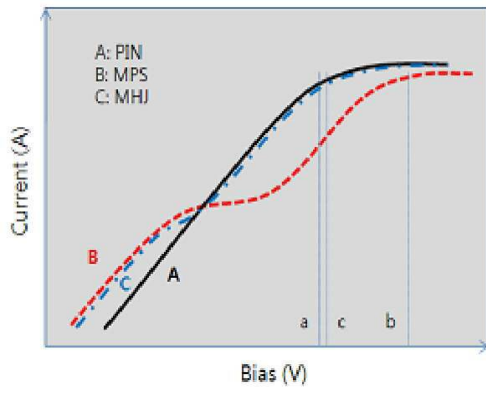
도면2i



도면2j



도면3a



도면3b

