



# (12)发明专利申请

(10)申请公布号 CN 107767824 A

(43)申请公布日 2018.03.06

(21)申请号 201710584618.0

(22)申请日 2017.07.18

(30)优先权数据

10-2016-0106906 2016.08.23 KR

(71)申请人 三星显示有限公司

地址 韩国京畿道龙仁市

(72)发明人 金东仁 朴真圭 李耀闲 崔基训  
洪铉锡

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 陈晓博 刘灿强

(51)Int.Cl.

G09G 3/36(2006.01)

G09G 3/3208(2016.01)

G09G 3/28(2013.01)

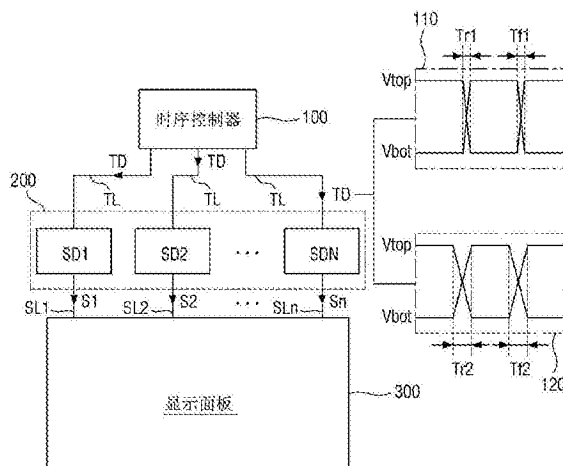
权利要求书2页 说明书10页 附图10页

(54)发明名称

显示装置及驱动显示装置的方法

(57)摘要

提供了一种显示装置,所述显示装置包括:时序控制器、驱动器和显示面板。时序控制器在有效时段期间输出具有第一上升时间的第一时钟信号并且在与有效时段相邻的空白时段期间输出具有第二上升时间的第二时钟信号。驱动器基于第一时钟信号和第二时钟信号生成数据信号并且输出数据信号。显示面板基于数据信号显示图像。第一上升时间比第二上升时间短。



1. 一种显示装置,所述显示装置包括:  
时序控制器,在有效时段期间输出具有第一上升时间的第一时钟信号并且在与所述有效时段相邻的空白时段期间输出具有第二上升时间的第二时钟信号;  
驱动器,基于所述第一时钟信号和所述第二时钟信号产生数据信号并输出所述数据信号;以及  
显示面板,基于所述数据信号显示图像,其中,所述第一上升时间比所述第二上升时间短。
2. 根据权利要求1所述的显示装置,其中,所述第一时钟信号的转换速率大于所述第二时钟信号的转换速率。
3. 根据权利要求1所述的显示装置,其中:  
所述第一时钟信号具有第一下降时间,  
所述第二时钟信号具有第二下降时间,  
所述第一下降时间比所述第二下降时间短。
4. 根据权利要求1所述的显示装置,其中:  
所述第一时钟信号具有第一最大电压和比所述第一最大电压低的第一最小电压,  
所述第二时钟信号具有第二最大电压和比所述第二最大电压低的第二最小电压,  
所述第一最大电压比所述第二最大电压低,  
所述第一最小电压比所述第二最小电压低。
5. 根据权利要求1所述的显示装置,其中,所述显示面板包括显示图像的显示区和在所述显示区外部的非显示区。
6. 根据权利要求5所述的显示装置,其中:  
所述显示区包括第1至第n像素行,n是2或更大的自然数,  
所述有效时段是向所述第1至第n像素行输入所述数据信号的垂直有效时段。
7. 根据权利要求5所述的显示装置,其中:  
所述显示区包括第1至第m像素列,m是2或更大的自然数,  
所述有效时段是向所述第1至第m像素列输入所述数据信号的水平有效时段。
8. 根据权利要求1所述的显示装置,其中,当所述有效时段被转换为所述空白时段时,所述时序控制器将改变所述第一上升时间以产生所述第二时钟信号。
9. 根据权利要求1所述的显示装置,其中:  
所述时序控制器包括与所述驱动器连接的第一输出和第二输出,  
所述第一输出在所述有效时段期间向所述驱动器提供所述第一时钟信号,  
所述第二输出在所述空白时段期间向所述驱动器提供所述第二时钟信号。
10. 一种显示装置,所述显示装置包括:  
显示面板,包括显示图像的显示区和在所述显示区外部的非显示区;  
驱动器,通过多条信号线与所述显示面板连接;以及  
时序控制器,在有效时段期间向所述驱动器提供第一时钟信号并在与所述有效时段相邻的空白时段期间向所述驱动器提供第二时钟信号,其中,所述驱动器在所述有效时段期间向所述信号线提供基于所述第一时钟信号和所述第二时钟信号产生的数据信号,其中,所述第一时钟信号的转换速率大于所述第二时钟信号的转换速率。

11. 根据权利要求10所述的显示装置,其中,所述第一时钟信号的上升时间比所述第二时钟信号的上升时间短。

12. 根据权利要求10所述的显示装置,其中,所述驱动器在所述空白时段期间向所述非显示区提供基于所述第一时钟信号和所述第二时钟信号产生的虚设数据信号。

13. 根据权利要求10所述的显示装置,其中:

所述显示区包括第1至第n像素行,n是2或更大的自然数,

所述有效时段是向所述第1至第n像素行输入所述数据信号的垂直有效时段。

14. 根据权利要求10所述的显示装置,其中:

所述显示区包括第1至第m像素列,m是2或更大的自然数,

所述有效时段是向所述第1至第m像素列输入所述数据信号的水平有效时段。

15. 根据权利要求10所述的显示装置,其中,当所述有效时段被转换为所述空白时段时,所述时序控制器将调整所述第一时钟信号的转换速率以产生所述第二时钟信号。

16. 根据权利要求10所述的显示装置,其中:

所述时序控制器包括与所述驱动器连接的第一输出和第二输出,

所述第一输出在所述有效时段期间向所述驱动器提供所述第一时钟信号,

所述第二输出在所述空白时段期间向所述驱动器提供所述第二时钟信号。

17. 根据权利要求10所述的显示装置,其中:

所述第一时钟信号具有第一最大电压和比所述第一最大电压低的第一最小电压,

所述第二时钟信号具有第二最大电压和比所述第二最大电压低的第二最小电压,

所述第一最大电压比所述第二最大电压低,

所述第一最小电压比所述第二最小电压低。

18. 用于驱动显示装置的方法,所述方法包括:

在输入显示图像的数据信号的有效时段期间向驱动器提供具有第一上升时间的第一时钟信号;

在与所述有效时段相邻的空白时段期间向所述驱动器提供具有第二上升时间的第二时钟信号,其中,所述第一上升时间比所述第二上升时间短。

19. 根据权利要求18所述的方法,其中,所述第一时钟信号的转换速率大于所述第二时钟信号的转换速率。

20. 根据权利要求18所述的方法,其中:

所述第一时钟信号具有第一最大电压和比所述第一最大电压低的第一最小电压,

所述第二时钟信号具有第二最大电压和比所述第二最大电压低的第二最小电压,

所述第一最大电压比所述第二最大电压低,

所述第一最小电压比所述第二最小电压低。

## 显示装置及驱动显示装置的方法

[0001] 于2016年8月23日提交的命名为“显示装置及驱动显示装置的方法”的第10-2016-0106906号韩国专利申请通过引用全部包含于此。

### 技术领域

[0002] 这里描述的一个或多个实施例涉及一种显示装置及一种用于驱动显示装置的方法。

### 背景技术

[0003] 已经开发出了各种类型的显示器。示例包括液晶显示器和有机发光显示器。液晶显示器包括在基底之间的液晶层,基底分别包括像素电极和公共电极。当电压施加到电极时,产生电场以控制液晶层中的液晶分子的取向。这进而控制用于显示图像的光发射。

[0004] 有机发光显示器使用基于有机层中的电子和空穴的复合而发光的有机发光材料来产生图像。有机发光显示器具有高响应速度、高亮度、宽视角和低功耗。

### 发明内容

[0005] 根据一个或多个实施例,一种显示装置包括:时序控制器,在有效时段期间输出具有第一上升时间的第一时钟信号并且在与有效时段相邻的空白时段期间输出具有第二上升时间的第二时钟信号;驱动器,基于第一时钟信号和第二时钟信号产生数据信号并输出数据信号;以及显示面板,基于数据信号显示图像,其中,第一上升时间比第二上升时间短。第一时钟信号的转换速率可以大于第二时钟信号的转换速率。

[0006] 第一时钟信号可以具有第一下降时间,第二时钟信号可以具有第二下降时间,第一下降时间可以比第二下降时间短。第一时钟信号可以具有第一最大电压和比第一最大电压低的第一最小电压,第二时钟信号可以具有第二最大电压和比第二最大电压低的第二最小电压,第一最大电压可以比第二最大电压低,第一最小电压可以比第二最小电压低。

[0007] 显示面板可以包括显示图像的显示区和在显示区外部的非显示区。显示区可以包括第1至第n像素行(n是2或更大的自然数),有效时段可以具有数据信号输入到第1至第n像素行的垂直有效时段。显示区可以包括第1至第n像素列(n是2或更大),有效时段可以包括数据信号输入到第1至第n像素列的水平有效时段。

[0008] 当有效时段被转换为空白时段时,时序控制器可以改变第一上升时间以产生第二时钟信号。时序控制器可以包括与驱动器连接的第一输出和第二输出,第一输出可以在有效时段期间向驱动器提供第一时钟信号,第二输出可以在空白时段期间向驱动器提供第二时钟信号。

[0009] 根据一个或多个其他实施例,一种显示装置包括:显示面板,包括显示图像的显示区和在显示区外部的非显示区;驱动器,通过多条信号线与显示面板连接;时序控制器,在有效时段期间向驱动器提供第一时钟信号并且在与有效时段相邻的空白时段期间向驱动器提供第二时钟信号,其中,驱动器在有效时段期间向信号线提供基于第一时钟信号和

第二时钟信号产生的数据信号,其中,第一时钟信号的转换速率大于第二时钟信号的转换速率。

[0010] 第一时钟信号的上升时间可以比第二时钟信号的上升时间短。驱动器可以在空白时段期间向非显示区提供基于第一时钟信号和第二时钟信号而产生的虚设数据信号。显示区可以包括第1至第n像素行(n是2或更大的自然数),有效时段可以是数据信号输入到第1至第n像素行的垂直有效时段。

[0011] 显示区可以包括第1至第n像素列(n是2或更大的自然数),有效时段可以是数据信号输入到第1至第n像素列的水平有效时段。当有效时段被转换为空白时段时,时序控制器可以调整第一时钟信号的转换速率以产生第二时钟信号。

[0012] 时序控制器可以包括与驱动器连接的第一输出和第二输出,第一输出可以在有效时段期间向驱动器提供第一时钟信号,第二输出可以在空白时段期间向驱动器提供第二时钟信号。第一时钟信号可以具有第一最大电压和比第一最大电压低的第一最小电压,第二时钟信号可以具有第二最大电压和比第二最大电压低的第二最小电压,第一最大电压可以比第二最大电压低,第一最小电压可以比第二最小电压低。

[0013] 根据一个或更多个其它实施例,一种用于驱动显示装置的方法包括:在输入显示图像的数据信号的有效时段期间向驱动器提供具有第一上升时间的第一时钟信号;在与有效时段相邻的空白时段期间向驱动器提供具有第二上升时间的第二时钟信号,其中,第一上升时间比第二上升时间短。第一时钟信号的转换速率可以大于第二时钟信号的转换速率。

[0014] 第一时钟信号可以具有第一最大电压和比第一最大电压低的第一最小电压,第二时钟信号可以具有第二最大电压和比第二最大电压低的第二最小电压,第一最大电压可以比第二最大电压低,第一最小电压可以比第二最小电压低。

## 附图说明

[0015] 通过参照附图详细描述示例性实施例,对于本领域技术人员来说特征将变得清楚,其中:

[0016] 图1示出了显示装置的实施例;

[0017] 图2示出了显示面板的实施例;

[0018] 图3示出了信号传输方法的实施例;

[0019] 图4示出了第一时钟信号的示例;

[0020] 图5示出了接收第一时钟信号的驱动器的实施例;

[0021] 图6示出了接收第二时钟信号的驱动器的实施例;

[0022] 图7A-图7B示出了显示装置的降噪效果的示例;

[0023] 图8至图10示出了第二时钟信号的附加示例;

[0024] 图11示出了信号传输方法的另一实施例;

[0025] 图12至图13示出了信号传输方法的另一实施例;

[0026] 图14至图15A-图15C示出了信号传输方法的其它实施例;以及

[0027] 图16示出了信号传输方法的另一实施例。

### 具体实施方式

[0028] 将参照附图描述示例实施例;然而,示例实施例可以以不同的形式实施,并且不应被解释为受限于这里阐述的实施例。相反,提供这些实施例以使本公开将是彻底和完整的,并且将把示例性实施方式传达给本领域技术人员。可以组合实施例(或其部分)以形成另外的实施例。

[0029] 在附图中,为了说明清楚起见,可以夸大层和区域的尺寸。还将理解的是,当层或元件被称作“在”另一层或基底“上”时,该层或元件可以直接在另一层或基底上,或者也可以存在中间层。此外,将理解的是,当层被称作“在”另一层“下面”时,该层可以直接在下面,并且也可以存在一个或更多个中间层。此外,还将理解的是,当层被称作“在”两个层“之间”时,该层可以是两个层之间的唯一层,或者也可以存在一个或更多个中间层。相同的附图标记在整个说明书中指示相同的元件。

[0030] 当元件被称作“连接”或“结合”到另一元件时,该元件可以直接连接或结合到另一元件,或者可以通过置于两者之间的一个或更多个中间元件非直接连接或结合到另一元件。另外,除非有不同的公开,否则当元件被称作“包括”组件时,是指该元件还可以包括另一组件而不是排除另一组件。

[0031] 图1示出了显示装置的实施例,显示装置可以是例如液晶显示装置、有机发光显示装置、场发射显示装置或等离子显示装置。

[0032] 参照图1,显示装置可以包括时序控制器100、驱动电路单元200和显示面板300。时序控制器100可以通过多条第一信号线TL提供传输数据TD。传输数据TD可以包括第一时钟信号110和第二时钟信号120。传输数据TD还可以包括用于与第一时钟信号110和第二时钟信号120一起控制驱动电路单元200的操作的控制信号。

[0033] 时序控制器100可以从外部接收原始视频信号(例如,RGB信号)、垂直同步信号Vsync和水平同步信号Hsync。时序控制器100可以基于从外部接收的信号产生传输数据TD,并且可以将产生的传输数据TD输出至驱动电路单元200。

[0034] 第一时钟信号110可以具有第一上升时间Tr1和第一下降时间Tf1。上升时间可以对应于在具有预定时段的时钟信号中电压电平从第一(例如,最小或者其它预定)电压上升至第二(例如,最大或者另一预定)电压所花费的时间。下降时间可以对应于在具有预定时段的时钟信号中电压电平从第二电压下降至第一电压所花费的时间。在一个实施例中,第一上升时间Tr1对应于第一时钟信号110从最小电压Vbot上升至最大电压Vtop所花费的时间。此外,第一时钟信号110可以包括显示数据DD。

[0035] 第二时钟信号120可以具有第二上升时间Tr2和第二下降时间Tf2。第一上升时间Tr1比第二上升时间Tr2短。例如,与第二时钟信号120的电压电平相比,第一时钟信号110的电压电平可以从最小电压Vbot快速地改变到最大电压Vtop。

[0036] 第一时钟信号110具有比第二时钟信号120更高的转换速率。转换速率可对应于脉冲波形在预定时间内增加到预定(例如,最大)值的程度。在一个实施例中,转换速率可以表示为波形在其增加到最大值时的斜率或倾斜度。例如,可以将转换速率确定为将上升电压除以上升时间而获得的值。

[0037] 例如,第一时钟信号110的转换速率可以表示为通过将从最小电压Vbot到最大电

压 $V_{top}$ 的电压变化除以第一上升时间 $Tr_1$ 而获得的值。例如,第二时钟信号120的转换速率可以表示为通过将最小电压 $V_{bot}$ 到最大电压 $V_{top}$ 的电压变化除以第二上升时间 $Tr_2$ 而获得的值。由于第一上升时间 $Tr_1$ 比第二上升时间 $Tr_2$ 短,所以第一时钟信号110的转换速率高于第二时钟信号120的转换速率。

[0038] 第一下降时间 $Tf_1$ 比第二下降时间 $Tf_2$ 短。例如,从最小电压 $V_{bot}$ 到最大电压 $V_{top}$ 的电压电平被改变,使得第一时钟信号110与第二时钟信号120相比是快速的。

[0039] 时序控制器100可以在有效时段期间向驱动电路单元200提供第一时钟信号110。时序控制器100可以在空白时段期间向驱动电路单元200提供第二时钟信号120。有效时段可以对应于以下时段,在该时段期间输入在对应的帧中显示图像的显示数据DD。空白时段可以对应于以下时段,在该时段期间不输入在对应的帧中显示图像的显示数据DD。例如,有效时段可以包括垂直有效时段VA和水平有效时段HA。空白时段可以包括垂直空白时段VB和水平空白时段HB。

[0040] 垂直有效时段VA和垂直空白时段VB在一帧中彼此相邻。此外,一个垂直有效时段VA可包括多个水平有效时段HA和多个水平空白时段HB。

[0041] 时序控制器100可以在垂直有效时段VA期间向驱动电路单元200提供第一时钟信号110,并且可以在与垂直有效时段VA相邻的垂直空白时段VB期间向驱动电路单元200提供第二时钟信号120。在实施例中,时序控制器100可以通过改变第一时钟信号110的第一上升时间 $Tr_1$ 的长度来产生具有比第一上升时间 $Tr_1$ 长的第二上升时间 $Tr_2$ 的第二时钟信号120。

[0042] 驱动电路单元200可以通过多条第一信号线TL与时序控制器100相连接。驱动电路单元200可以通过多条第二信号线SL1至SLn与显示面板300相连接。驱动电路单元200可以通过多条第二信号线SL1至SLn向显示面板300提供显示信号S1至Sn。

[0043] 在实施例中,例如,驱动电路单元200可以是向显示面板300提供数据信号的数据集成电路(IC)。数据信号可以是包括用于显示针对显示面板300的图像的显示数据DD的信号。第二信号线SL1至SLn可以是接收数据信号的数据线。显示信号S1至Sn可以是数据信号。驱动电路单元200可以包括多个源极驱动器SD1至SDn。源极驱动器SD1至SDn中的每个可以通过第一信号线TL以点对点的方式与时序控制器100连接。

[0044] 在另一实施例中,驱动电路单元200可以是向显示面板300提供多个扫描信号的扫描驱动单元。显示面板300包括多个像素单元。像素单元可以包括接收用于显示图像的数据信号的开关元件和通过开关元件的开关操作接收数据信号的像素电极。多个扫描信号可以是提供到开关元件的控制电极以控制开关操作的信号。第二信号线SL1至SLn可以是接收扫描信号的多条扫描线。此外,显示信号S1至Sn可以是扫描信号。在实施例中,驱动电路单元200可以包括移位寄存器。与图1不同,移位寄存器可以通过一条信号线与时序控制器100连接。

[0045] 假设驱动电路单元200是数据驱动单元并且从驱动电路单元200输出的显示信号S1至Sn是数据信号,描述至少一些实施例。

[0046] 显示面板300可以基于来自驱动电路单元200的显示信号S1至Sn而显示图像。例如,显示面板300可以是液晶显示面板、有机发光显示面板或等离子显示面板。图2示出了图1中的显示面板300的实施例。参照图1和图2,显示面板300可以包括显示区DA和非显示区NDA。显示区DA可以显示图像。显示区DA可以包括扫描线、数据线和像素单元。非显示区NDA

可以不显示图像。非显示区NDA可以包括虚设扫描线、虚设数据线和虚设像素单元。非显示区NDA可以不包括虚设扫描线、虚设数据线或虚设像素单元中的至少一种。非显示区NDA可以在显示区DA之外。在另一个实施例中,显示区和非显示区可以具有不同的配置。

[0047] 像素单元可以以1至n行(n是2或更大的自然数)和1至m列(m是2或更大的自然数)的矩阵排列。虚设像素单元可以以一行或更多行和一系列或更多列布置。

[0048] 1至n行中的像素单元可以沿着垂直有效区VAA布置。例如,在垂直有效时段VA期间提供的显示信号S1至Sn可以被提供至由沿着垂直有效区VAA布置的1至n行组成的像素单元。在垂直有效时段VA期间提供的显示信号S1至Sn可以是基于第一时钟信号110产生的信号。

[0049] 一行或更多行中的虚设像素单元可以沿着垂直空白区VBA布置。在垂直空白时段VB期间提供的显示信号S1至Sn可以被提供至沿垂直空白区VBA布置的一行或更多行中的虚设像素单元。可以基于第二时钟信号120产生在垂直空白时段VB期间提供的显示信号S1至Sn。

[0050] 1至m列中的像素单元可以沿着水平有效区HAA布置。在水平有效时段HA期间提供的显示信号S1至Sn可以被提供至由沿水平有效区HAA布置的1至m列组成的像素单元。可以基于第一时钟信号110产生在水平有效时段HA期间提供的显示信号S1至Sn。

[0051] 一系列或更多列中的虚设像素单元可以沿着水平空白区HBA布置。在水平空白时段HB期间提供的显示信号S1至Sn可以被提供至沿水平空白区HBA布置的一系列或更多列中的虚设像素单元。可以基于第二时钟信号120产生在水平空白时段HB期间提供的显示信号S1至Sn。

[0052] 图3至图6示出了与用于驱动显示装置的方法有关的实施例。图3示出了显示装置的信号传输方法的实施例。图4示出了图3中的第一时钟信号的实施例。图5示出了在垂直有效时段期间提供至驱动电路单元的第一时钟信号的示例。图6示出了在垂直空白时段期间提供至驱动电路单元的第二时钟信号的示例。在图3至图6中,将基于时序控制器与驱动电路单元中的一个源极驱动器之间的关系来描述信号传输方法。

[0053] 参照图3至图6,第一帧和第二帧中的每个帧可以包括垂直有效时段VA和垂直空白时段VB。第一帧和第二帧可以彼此相邻,例如,从某种意义上说在第一帧与第二帧之间没有相似的两个帧。第一帧的垂直空白时段VB可以在第一帧的垂直有效时段VA与第二帧的垂直有效时段VA之间。垂直有效时段VA和垂直空白时段VB可以在帧周期重复。

[0054] 时序控制器100可以从外部源接收垂直同步信号Vsync。垂直同步信号Vsync在一个帧周期传输。参照图3,垂直有效时段VA可以对应于从第一点到第二点的时段,其中,在第一点处,垂直同步信号Vsync从低电平转换为高电平,在第二点处,垂直同步信号Vsync从高电平再转换为低电平。垂直空白时段VB可以对应于从第一点到第二点的时段,其中,在第一点处,垂直同步信号Vsync从高电平转换为低电平,在第二点处,垂直同步信号Vsync从低电平再转换为高电平。

[0055] 时序控制器100可以在垂直有效时段VA和垂直空白时段VB期间向驱动电路单元200提供传输数据TD。时序控制器100可以在垂直有效时段VA期间提供传输数据TD的第一时钟信号110。参照图4,第一时钟信号110可以包括多个数据包110a和110b。数据包110a和110b可以被提供至相应帧中的多个像素行。



[0056] 数据包110a可以包括显示数据DD以及时钟码CC1和CC2。显示数据DD可以包括与像素单元的列数对应的多个数据位D1至Dn。时钟码CC1和CC2可以周期性地添加到显示数据DD。在一个实施例中,如图4所示,时钟码CC1和CC2可以包括第一位CC1和第二位CC2两个位。在一个实施例中,时钟码CC1和CC2也可以包括一个位。数据包的位的布置不限于图4所示的布置。例如,在一个实施例中,数据包110a可以包括虚设位,可以改变时钟码CC1和CC2及显示数据DD的布置。

[0057] 驱动电路单元200可以在第一帧的垂直有效时段VA期间向显示面板300的显示区DA中的多个像素单元提供基于第一时钟信号110产生的显示信号S1至Sn。

[0058] 时序控制器100可以在垂直空白时段VB期间向驱动电路单元200提供第二时钟信号120。第一时钟信号110的上升时间Tr1比第二时钟信号120的上升时间Tr2短。驱动电路单元200可以在第一帧的垂直空白时段VB期间向显示面板300的非显示区NDA中的多个虚设像素单元提供基于第二时钟信号120产生的显示信号S1至Sn。

[0059] 图5和图6示出了时序控制器100与源极驱动器SD1之间的关系示例。参照图5,时序控制器100可以在垂直有效时段VA期间通过第一信号线TL向源极驱动器SD1提供第一时钟信号110。例如,第一信号线TL可以是一对线。

[0060] 第一时钟信号110可以包括两个信号摆动,使得它们的相位在第一最大电压Vtop与第一最小电压Vbot之间基于参考电压r彼此对称。即使这两个信号具有对称的相位,它们也可以具有相同的周期W1和摆幅宽度SW1。因此,时序控制器100可以在垂直有效时段VA期间向与一对线对应的第一信号线TL提供具有两个信号的第一时钟信号110。第一时钟信号110可以具有第一上升时间Tr1和第一下降时间Tf1。

[0061] 参照图6,时序控制器100可以在垂直空白时段VB期间通过第一信号线TL向源极驱动器SD1提供第二时钟信号120。第二时钟信号120可以包括两个信号摆动,使得它们的相位在第一最大电压Vtop与第一最小电压Vbot之间基于参考电压r彼此对称。即使这两个信号具有对称的相位,它们也可以具有相同的周期W2和摆幅宽度SW2。因此,时序控制器100可以在垂直空白时段VB期间向与一对线对应的第一信号线TL提供具有两个信号的第二时钟信号120。第二时钟信号120可以具有第二上升时间Tr2和第二下降时间Tf2。

[0062] 在实施例中,第一时钟信号110和第二时钟信号120具有相同的周期W1和W2及相同的摆幅宽度SW1和SW2。第一上升时间Tr1比第二上升时间Tr2短。第一下降时间Tf1比第二下降时间Tf2短。因此,第一时钟信号110的转换速率高于第二时钟信号120的转换速率。结果,第一时钟信号110的第一上升沿re1的斜率大于第二时钟信号120的第二上升沿re2的斜率。此外,第一时钟信号110的第一下降沿fe1的斜率大于第二时钟信号120的第二下降沿fe2的斜率。

[0063] 图7A和7B示出了显示装置的降噪效果的示例。图7A示出了通过快速傅里叶变换(FFT)将第一时钟信号110转换到频域的结果的示例。图7B示出了通过快速傅里叶变换(FFT)将第二时钟信号120转换到频域的结果的示例。

[0064] 参照图7A,在第一时钟信号110中的特定频域10中,高频分量存在。参照图7B,在第二时钟信号120中的特定频域20中,高频分量被去除。因此,第二时钟信号120的RF噪声与第一时钟信号110的RF噪声相比得以减小。因此,与第一时钟信号110的RF噪声的减小程度相比,具有比第一时钟信号110低的转换速率的第二时钟信号120的RF噪声的减小程度可以得

到改善。

[0065] 时序控制器100可以在垂直空白时段VB期间通过向驱动电路单元200提供具有比第一时钟信号110低的转换速率的第二时钟信号120来防止信号完整性的劣化。因此,在显示装置的至少一个实施例中,将垂直有效时段VA和垂直空白时段VB分开,并向驱动电路单元200提供具有不同转换速率的时钟信号。在一个实施例中,时序控制器100可以在垂直有效时段VA期间向驱动电路单元200提供具有相对高转换速率的第一时钟信号110,时序控制器100可以在垂直空白时段VB期间向驱动电路单元200提供具有相对低的转换速率的第二时钟信号120。

[0066] 因此,根据实施例,显示装置可以在保持信号完整性的同时降低RF噪声。此外,显示装置可以通过在显示数据DD未输入到显示区DA中的垂直空白时段期间向驱动电路单元200提供具有相对低的转换速率的第二时钟信号120来降低功耗。

[0067] 图8至图10示出了在垂直空白时段期间提供至驱动电路单元的第二时钟信号的附加示例。参照图8,时序控制器100可以在垂直空白时段VB期间通过第一信号线TL向源极驱动器SD1提供第三时钟信号120a。第三时钟信号120a可以包括两个信号摆动,使得它们的相位在最大电压 $V_{top}'$ 与最小电压 $V_{bot}'$ 之间基于参考电压 $r$ 彼此对称。最大电压 $V_{top}'$ 的电压电平可以高于图5中的最大电压 $V_{top}$ 的电压电平。最小电压 $V_{bot}'$ 的电压电平可以低于图5中的最小电压 $V_{bot}$ 的电压电平。例如,从最小电压 $V_{bot}'$ 到最大电压 $V_{top}'$ 的电压电平的变化(或者从最大电压 $V_{top}'$ 到最小电压 $V_{bot}'$ 的电压电平的变化)大于图5中示出的从最小电压 $V_{bot}$ 到最大电压 $V_{top}$ 的电压电平的变化(或者从最大电压 $V_{top}$ 到最小电压 $V_{bot}$ 的电压电平的变化)。与第一时钟信号110的摆幅宽度 $SW1$ 相比,第三时钟信号120a的摆幅宽度 $SW3$ 可以相对大。然而,第三时钟信号120a的周期 $W3$ 可以等于第一时钟信号的周期 $W1$ ,第三时钟信号120a的第三上升时间 $Tr3$ 可以比第一时钟信号110的第一上升时间 $Tr1$ 长。

[0068] 第三时钟信号120a的转换速率可以低于第一时钟信号110的转换速率。因此,从最小电压 $V_{bot}'$ 到最大电压 $V_{top}'$ 的电压电平的变化以及第三上升时间 $Tr3$ 可以在另一个实施例中与图8不同,只要第三时钟信号120a的转换速率低于第一时钟信号110的转换速率即可。

[0069] 参照图5、图9和图10,时序控制器100可以调整第一时钟信号110的第一上升时间 $Tr1$ 或第一下降时间 $Tf1$ 中的至少一个,以产生第四时钟信号120b或第五时钟信号120c。参照图9,时序控制器100可以将第一时钟信号110的第一上升时间 $Tr1$ 改变为第四上升时间 $Tr4$ ,使得第一上升时间 $Tr1$ 的长度等于第四上升时间 $Tr4$ 的长度,但是第一时钟信号110的第一下降时间 $Tf1$ 的长度可以不改变。例如,时序控制器100可以在垂直空白时段VB期间产生第四时钟信号120b,在第四时钟信号120b中,第四上升沿 $re4$ 的斜率和第四下降沿 $fe4$ 的斜率彼此不同。第四时钟信号120b可以输出至驱动电路单元200。

[0070] 相反,时序控制器100可以将第一时钟信号110的第一下降时间 $Tf1$ 改变为第五下降时间 $Tf5$ ,使得第一下降时间 $Tf1$ 的长度等于第五下降时间 $Tf5$ 的长度,但是第一时钟信号110的第一上升时间 $Tr1$ 的长度可以不改变。参照图10,时序控制器100可以在垂直空白时段VB期间产生第五时钟信号120c,在第五时钟信号120c中,第五上升沿 $re5$ 的斜率和第五下降沿 $fe5$ 的斜率彼此不同。第五时钟信号120c可以输出至驱动电路单元200。

[0071] 时序控制器100可以改变第一时钟信号110的第一上升时间 $Tr1$ 的长度和第一下降

时间 $T_{f1}$ 的长度,并且可以产生时钟信号,在该时钟信号中,改变的第一上升时间 $Tr1$ 的长度和改变的第一下降时间 $Tf1$ 的长度彼此不同。

[0072] 图11示出了显示装置的信号传输方法的另一实施例。参照图11,时序控制器100可以在水平有效时段HA期间向驱动电路单元200提供第一时钟信号110。时序控制器100可以在与水平有效时段HA相邻的水平空白时段HB期间向驱动电路单元200提供第二时钟信号120。在实施例中,时序控制器100可以改变第一时钟信号110的第一上升时间 $Tr1$ 的长度或第一下降时间 $Tf1$ 的长度中的至少一个,以产生第二时钟信号120。

[0073] 在一个实施例中,第n帧中的垂直有效时段VA可以包括多个水平有效时段HA和多个水平空白时段HB。水平有效时段HA和水平空白时段HB可以对应于将显示面板300的一个像素行设置为周期的水平同步信号Hsync。将示例性地描述显示区DA中的第1至第n像素单元的第k像素行的情况。

[0074] 时序控制器100可以从外部接收水平同步信号Hsync。参照图11,水平有效时段HA可以从第一点到第二点的时段,水平同步信号Hsync在第一点处从高电平转换为低电平,水平同步信号Hsync在第二点处从低电平再转换为高电平。水平空白时段HB可以从第一点到第二点的时段,水平同步信号Hsync在第一点处从低电平转换为高电平,水平同步信号Hsync在第二点处从高电平再转换为低电平。

[0075] 时序控制器100可以在垂直有效时段VA和垂直空白时段VB期间向驱动电路单元200提供传输数据TD。然而,时序控制器100可以在垂直有效时段VA期间提供传输数据TD的第一时钟信号110。参照图4,第一时钟信号110可以包括多个数据包110a和110b。数据包110a和110b可以被提供至相应帧中的多个像素行。

[0076] 时序控制器100可以在水平有效时段HA期间向驱动电路单元200提供第一时钟信号110。时序控制器100可以在水平空白时段HB期间向驱动电路单元200提供第二时钟信号120。第一时钟信号110的上升时间 $Tr1$ 比第二时钟信号120的上升时间 $Tr2$ 短。第一时钟信号和第二时钟信号的周期和摆幅宽度可以彼此相等。因此,第一时钟信号110的转换速率可以高于第二时钟信号120的转换速率。

[0077] 在一个实施例中,水平有效时段HA和水平空白时段HB被分开,时序控制器100可以在水平有效时段HA期间向驱动电路单元200提供具有第一上升时间 $Tr1$ 的第一时钟信号110,时序控制器100可以在水平空白时段HB期间向驱动电路单元200提供(具有比第一上升时间 $Tr1$ 长的第二上升时间 $Tr2$ 的)第二时钟信号120。因此,显示装置可以在保持信号完整性的同时降低RF噪声。

[0078] 图12和图13示出了显示装置的信号传输方法的另一实施例。参照图12和图13,可以考虑所有垂直有效时段VA、垂直空白时段VB、水平有效时段HA和水平空白时段HB。

[0079] 例如,时序控制器100可以仅在垂直有效时段VA与水平有效时段HA重叠的时段期间向驱动电路单元200提供第一时钟信号110。例如,时序控制器100在与水平空白时段HB重叠的垂直有效时段VA期间向驱动电路单元200提供第二时钟信号120。因此,时序控制器100可以根据水平同步信号Hsync将一个垂直有效时段划分为水平有效时段HA和水平空白时段HB。在垂直有效时段VA与水平有效时段HA重叠的时段期间,时序控制器100可以向驱动电路单元200提供具有相对短的上升时间的第一时钟信号110。相反,在垂直有效时段VA与水平空白时段HB重叠的时段期间,时序控制器100可以向驱动电路单元200提供具有相对长的上

升时间的第二时钟信号120。

[0080] 图14至图15示出了显示装置中的时序控制器与驱动电路单元之间的信号传输方法的另一实施例。然而,将基于时序控制器100与驱动电路单元200中的一个源极驱动器之间的关系来描述信号传输方法。

[0081] 参照图14A,时序控制器100可以包括控制单元101和第一输出单元Tx1。控制单元101可以基于从外部接收的信号控制第一输出单元Tx1的输出。第一输出单元Tx1可以通过第一信号线TL与第一驱动器SD1连接。第一输出单元Tx1可以包括第一子输出单元STx1和第二子输出单元STx2。第一子输出单元STx1和第二子输出单元STx2可以将具有彼此不同的上升时间的时钟信号输出到第一信号线TL。

[0082] 第一子输出单元STx1可以输出具有第一上升时间Tr1和第一下降时间Tf1的第一时钟信号110。第二子输出单元STx2可以输出具有第二上升时间Tr2和第二下降时间Tf2的第二时钟信号120。第一上升时间Tr1比第二上升时间Tr2短。第一下降时间Tf1比第二下降时间Tf2短。因此,时序控制器100可以被构造为使得一个输出单元包括两个子输出单元,子输出单元分别输出具有彼此不同的上升时间(或下降时间)的时钟信号。

[0083] 参照图15A至图15C,时序控制器100可以包括控制单元101和第一输出单元Tx1。第一输出单元Tx1还可以包括第三子输出单元STx3,所述第三子输出单元STx3输出具有第六上升时间Tr6和第六下降时间Tf6的第六时钟信号130。第六上升时间Tr6比第一上升时间Tr1长并且比第二上升时间Tr2短。此外,第六下降时间Tf6比第一下降时间Tf1长并且比第二下降时间Tf2短。

[0084] 控制单元101可以控制来自第一子输出单元STx1、第二子输出单元STx2和第三子输出单元STx3中的一个的时钟信号的输出。例如,在图15A的情况下,控制单元101可以控制来自第一子输出单元STx1的第一时钟信号110的输出。在图15B的情况下,控制单元101可以控制来自第二子输出单元STx2的第六时钟信号130的输出。在图15C的情况下,控制单元101可以控制来自第三子输出单元STx3的第二时钟信号120的输出。因此,时序控制器100的第一输出单元Tx1还可以包括输出具有第六上升时间Tr6和第六下降时间Tf6的第六时钟信号130的第三子输出单元。

[0085] 时序控制器100可以通过产生具有彼此不同的上升时间的时钟信号的多个子输出单元向源极驱动器提供彼此不同的时钟信号。子输出单元的数量可以在另一实施例中与图15A至图15C中的数量不同。

[0086] 图16示出了显示装置中的时序控制器与驱动电路单元之间的信号传输方法的另一实施例。参照图16,时序控制器100可以包括控制单元101和第一输出单元至第n输出单元(Tx1至TxN,N是3或更大的自然数)。控制单元101可以控制第一输出单元Tx1至第n输出单元TxN的输出。此外,驱动电路单元200可以包括第一源极驱动器至第n源极驱动器SD1至SDN,N是3或更大的自然数。在实施例中,第一输出单元至第n输出单元Tx1至TxN可以分别与第一源极驱动器SD1至第n源极驱动器SDN一对一连接。第k输出单元(Txk,1<k<n)可以与第k驱动器SDK连接。

[0087] 参照图16,第k输出单元Txk可以位于第一输出单元Tx1与第n输出单元TxN之间。将示例性地描述第一输出单元Tx1和第n输出单元TxN。

[0088] 第一输出单元Tx1可以通过第一线L1与第一源极驱动器SD1连接。第k输出单元Txk

可以通过第k线Lk与第k源极驱动器SDk连接。第一线L1可以比第k线Lk长。因此,第一线L1本身的电阻可以大于第k线Lk本身的电阻。结果,与通过第k线Lk提供的信号相比,通过第一线L1提供的信号相对大地受到噪声的影响。

[0089] 因此,第一输出单元Tx1可以向第一源极驱动器SD1提供具有第二上升时间Tr2的第二时钟信号120。第k输出单元Txk可以向第k源极驱动器SDk提供具有第一上升时间Tr1的第一时钟信号110。第一上升时间Tr1比第二上升时间Tr2短。结果,与第一时钟信号110相比,第二时钟信号120抵抗噪声更强(例如,参考图7A和图7B)。在一个实施例中,第一时钟信号110的第一下降时间Tf1可以比第二时钟信号120的第二下降时间Tf2短。通过根据输出单元与源极驱动器之间的距离改变时钟信号的上升时间(或下降时间),时序控制器可以使由线路长度决定的电阻分量所引起的噪声影响减小或最小化。

[0090] 这里描述的方法、处理和/或操作可以通过将由计算机、处理器、控制器或其他信号处理设备执行的代码或指令来执行。计算机、处理器、控制器或其他信号处理设备可以是这里描述的那些,或除了这里描述的元件之外的一种。因为详细描述了形成所述方法的基础的算法(或者计算机、处理器、控制器或其他信号处理设备的操作),所以用于实施所述方法实施例的操作的代码或指令可以将计算机、处理器、控制器或其他信号处理设备转变为用于执行这里的方法的专用处理器。

[0091] 这里公开的实施例的控制器、驱动器、单元和其它处理特征可以以逻辑实现,例如,逻辑可以包括硬件、软件或者两者。当至少部分地以硬件实现时,控制器、驱动器、单元和其它处理特征可以是例如包括但不限于专用集成电路、现场可编程门阵列、逻辑门组合、片上系统、微处理器或其他类型的处理或控制电路的集成电路。

[0092] 当至少部分地以软件实现时,控制器、驱动器、单元和其它处理特征可包括例如用于存储将由例如计算机、处理器、微处理器、控制器或其他信号处理设备执行的代码或指令的存储器或其他存储设备。计算机、处理器、微处理器、控制器或其他信号处理设备可以是这里描述的那些,或除了这里描述的元件之外的一种。因为详细描述了形成所述方法的基础的算法(或者计算机、处理器、控制器或其他信号处理设备的操作),所以用于实施所述方法实施例的操作的代码或指令可以将计算机、处理器、控制器或其他信号处理设备转变为用于执行这里描述的方法的专用处理器。

[0093] 这里已经公开了示例实施例,虽然采用了特定术语,但仅以一般的和描述性的意义而非出于限制目的来使用和解释特定术语。在一些情形下,如到本申请的提交为止本领域普通技术人员将清楚,除非另外指出,否则结合具体实施例描述的特征、特性和/或元件可以单独使用或者与结合其它实施例描述的特征、特性和/或元件组合使用。因此,本领域的技术人员将理解,在不脱离在权利要求中阐述的本发明的精神和范围的情况下,可以做出形式和细节方面的各种变化。

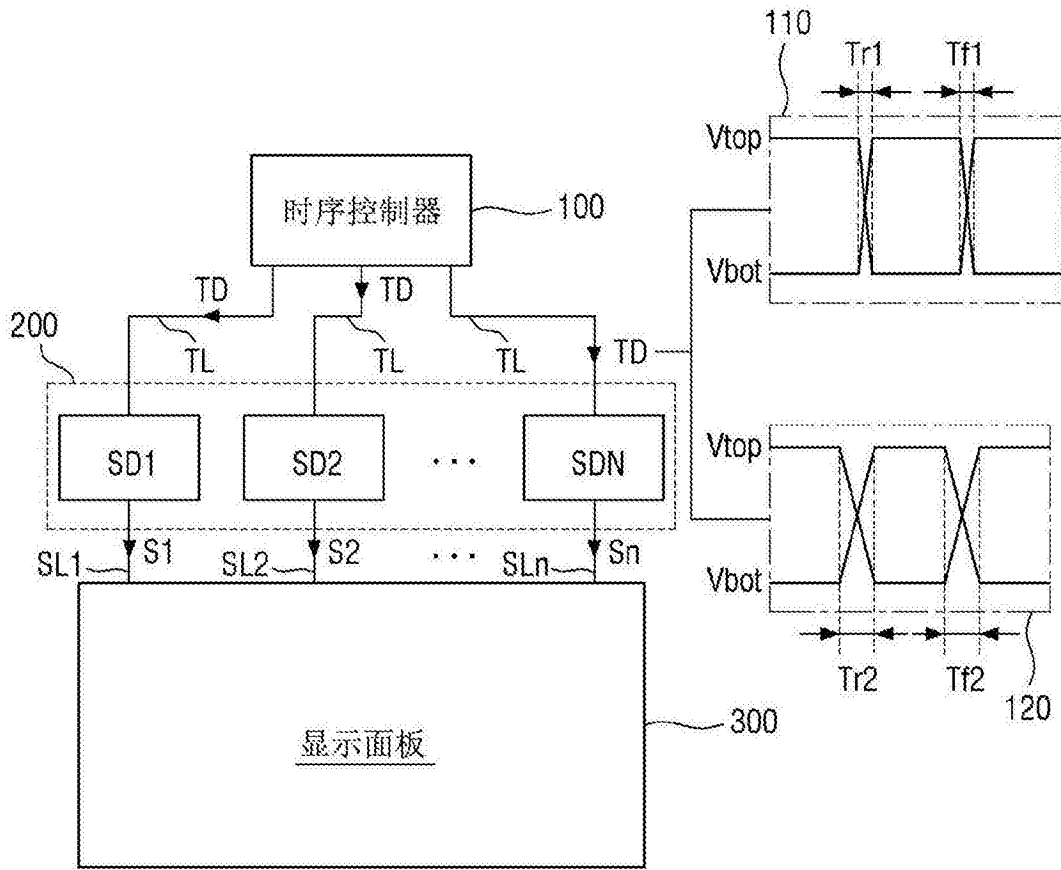


图1

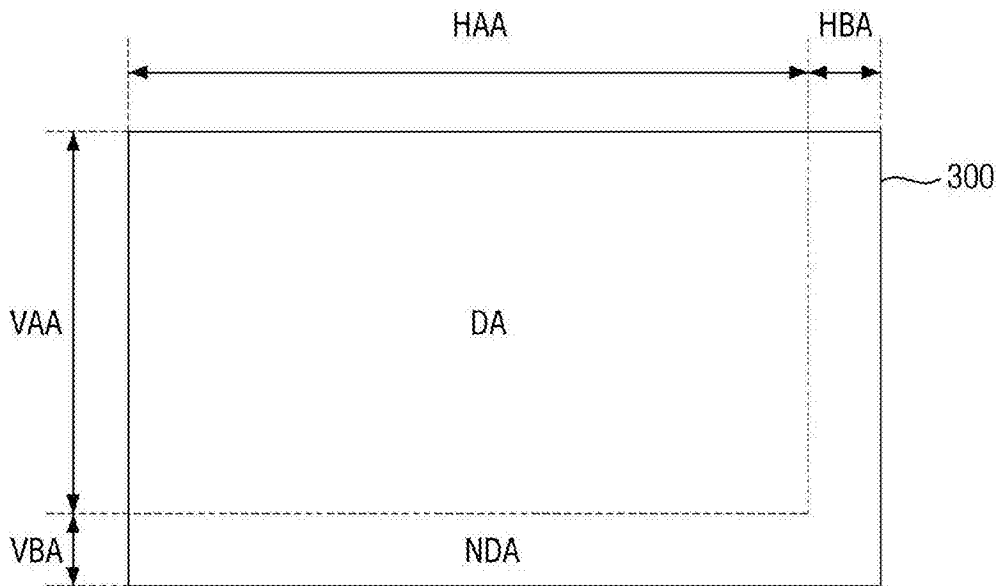


图2

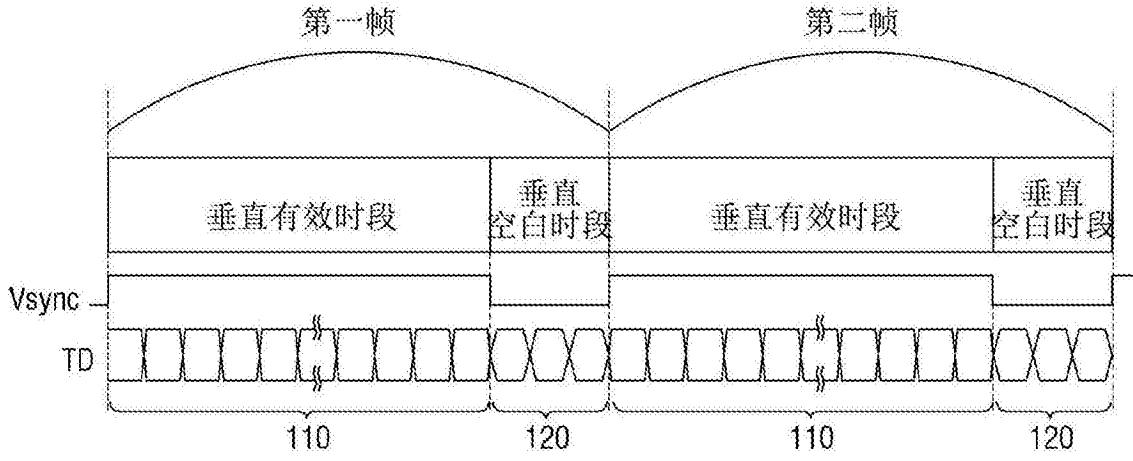


图3

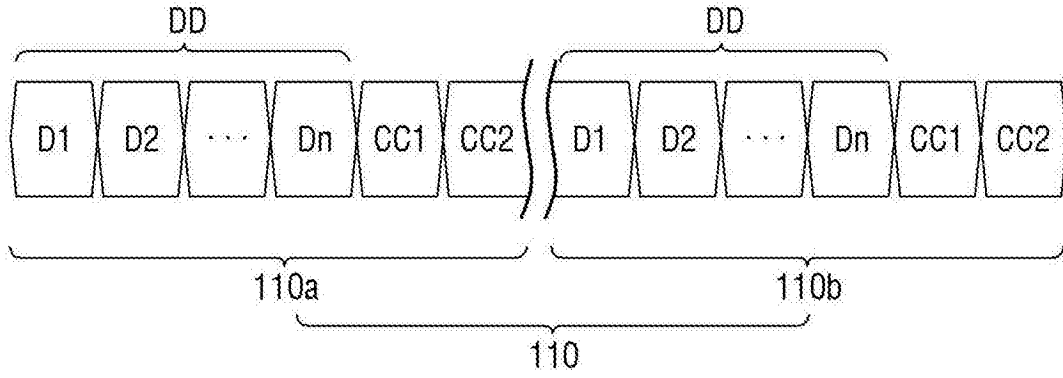


图4

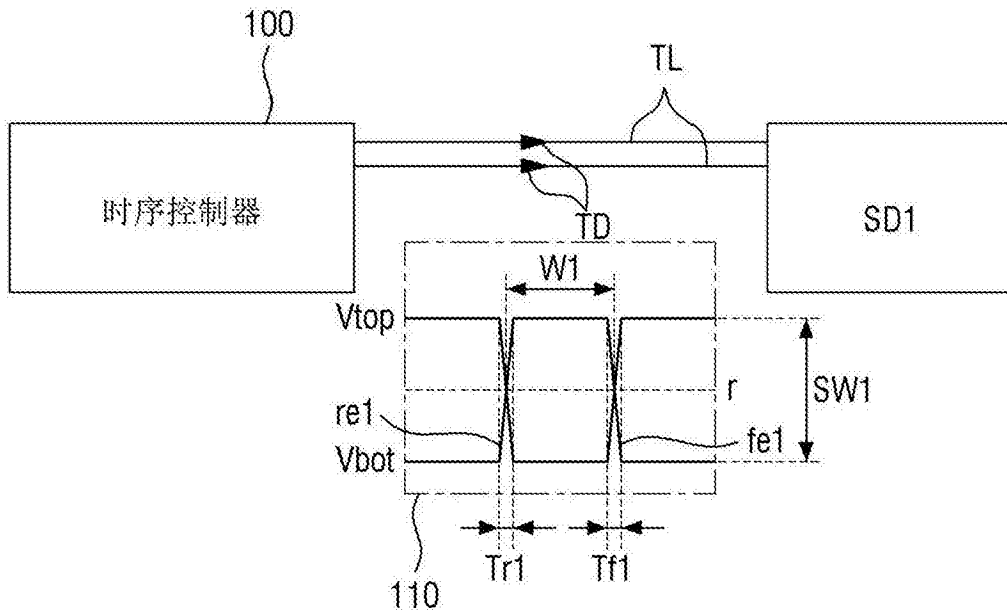


图5

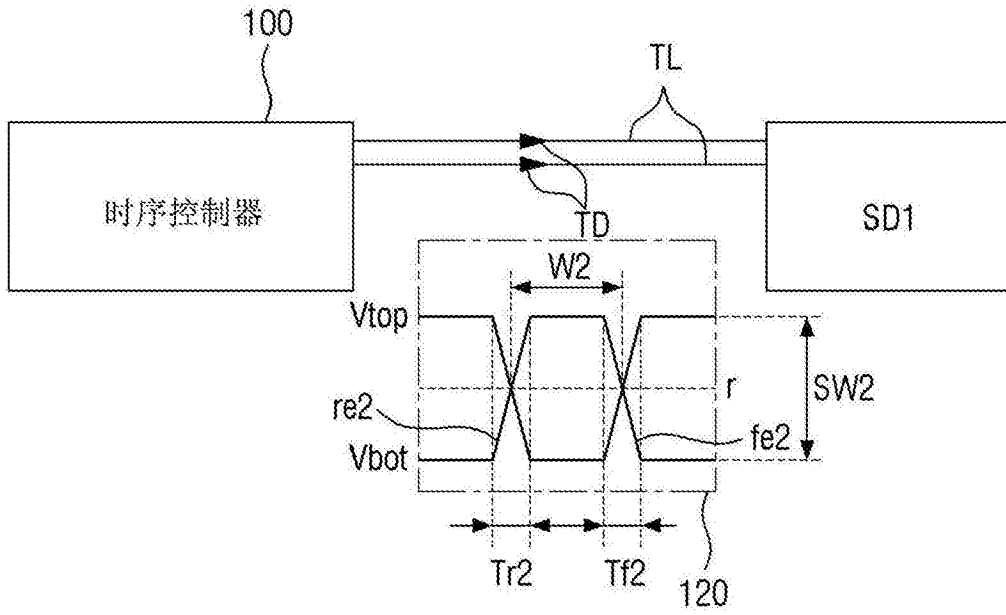


图6

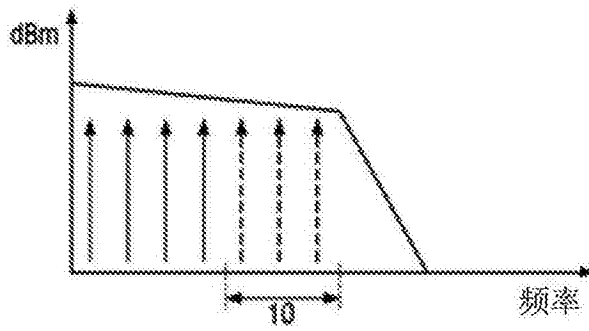


图7A

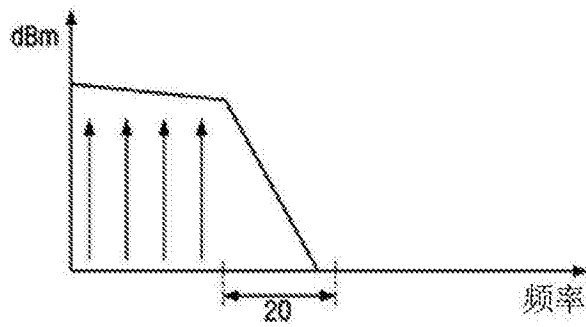


图7B



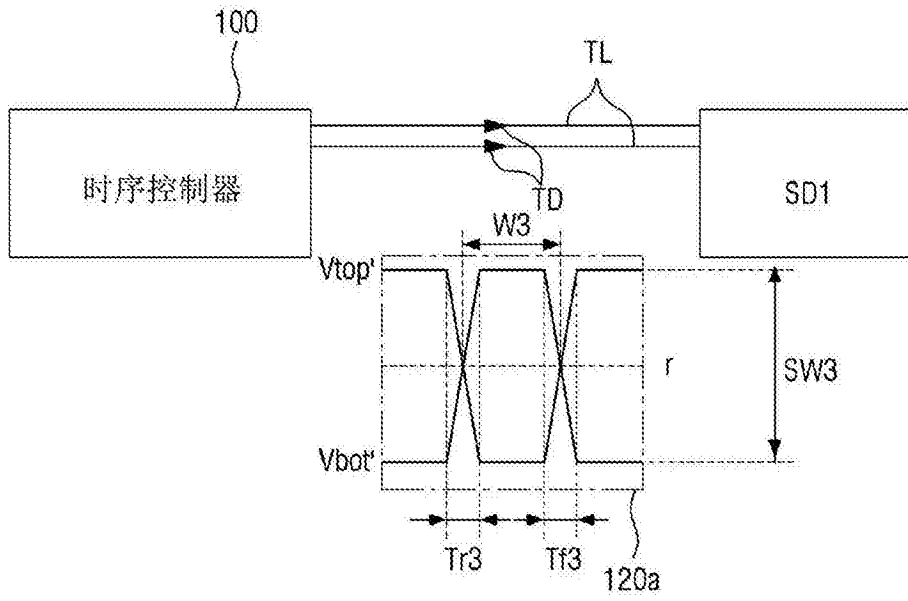


图8

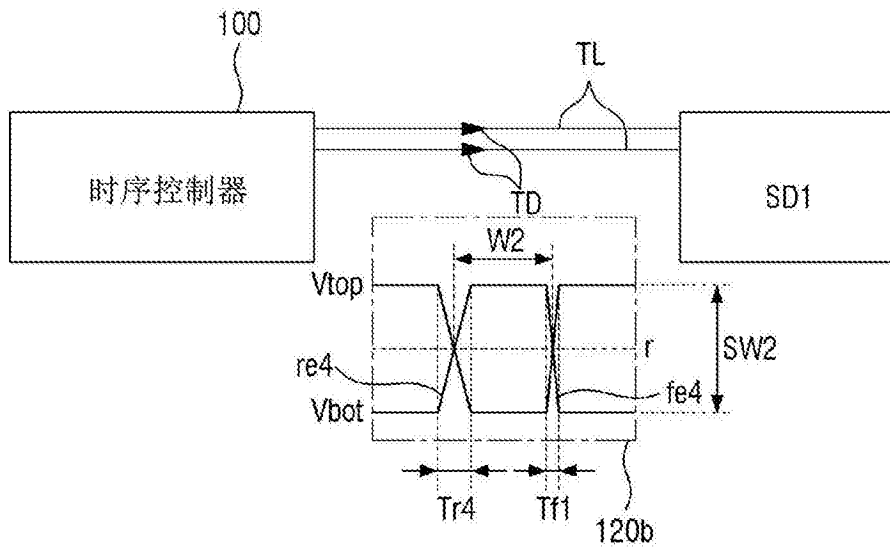


图9

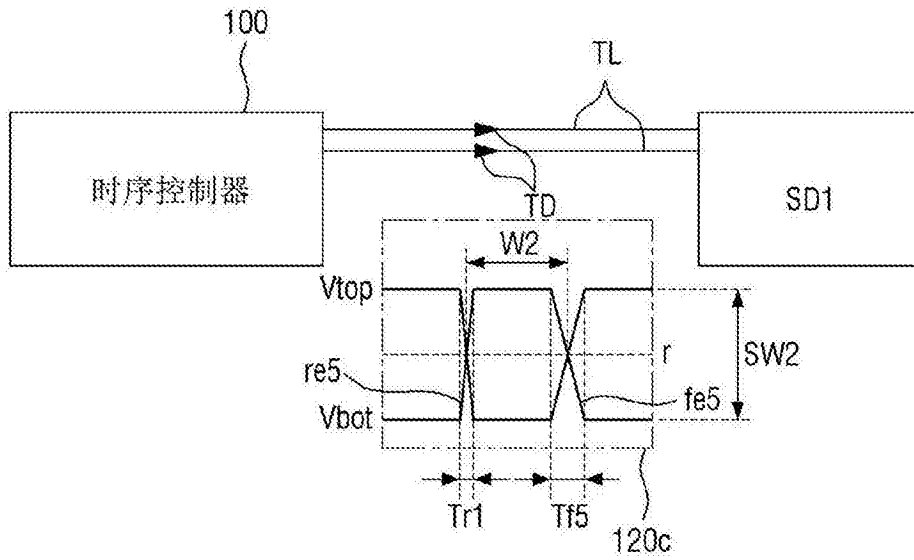


图10

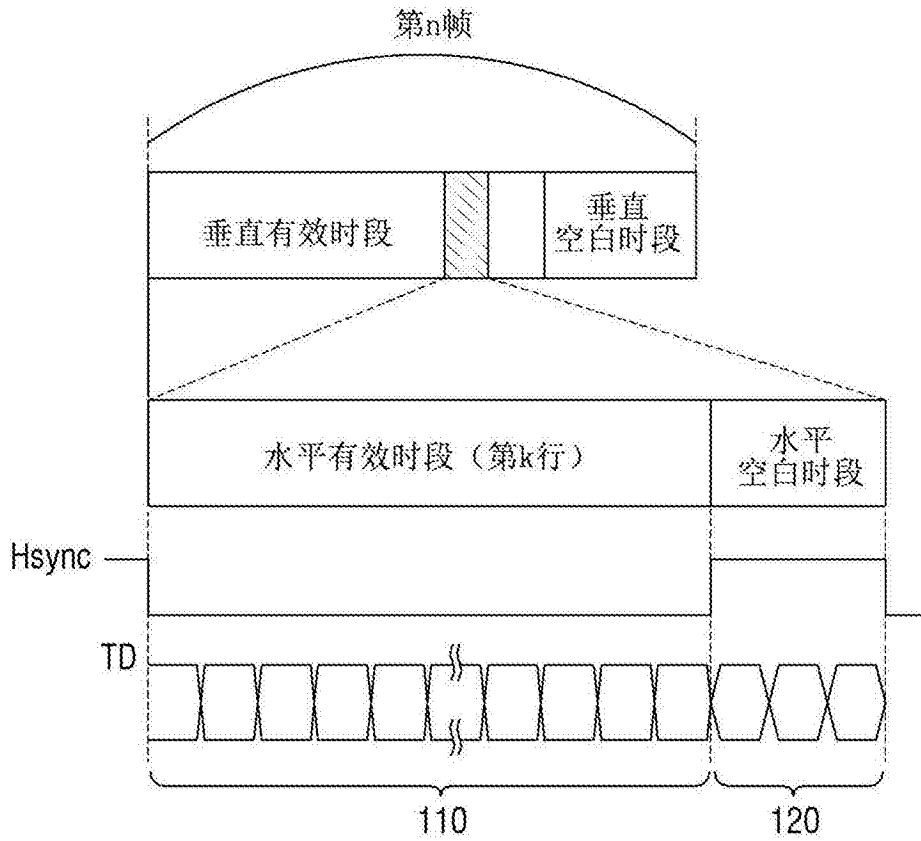


图11

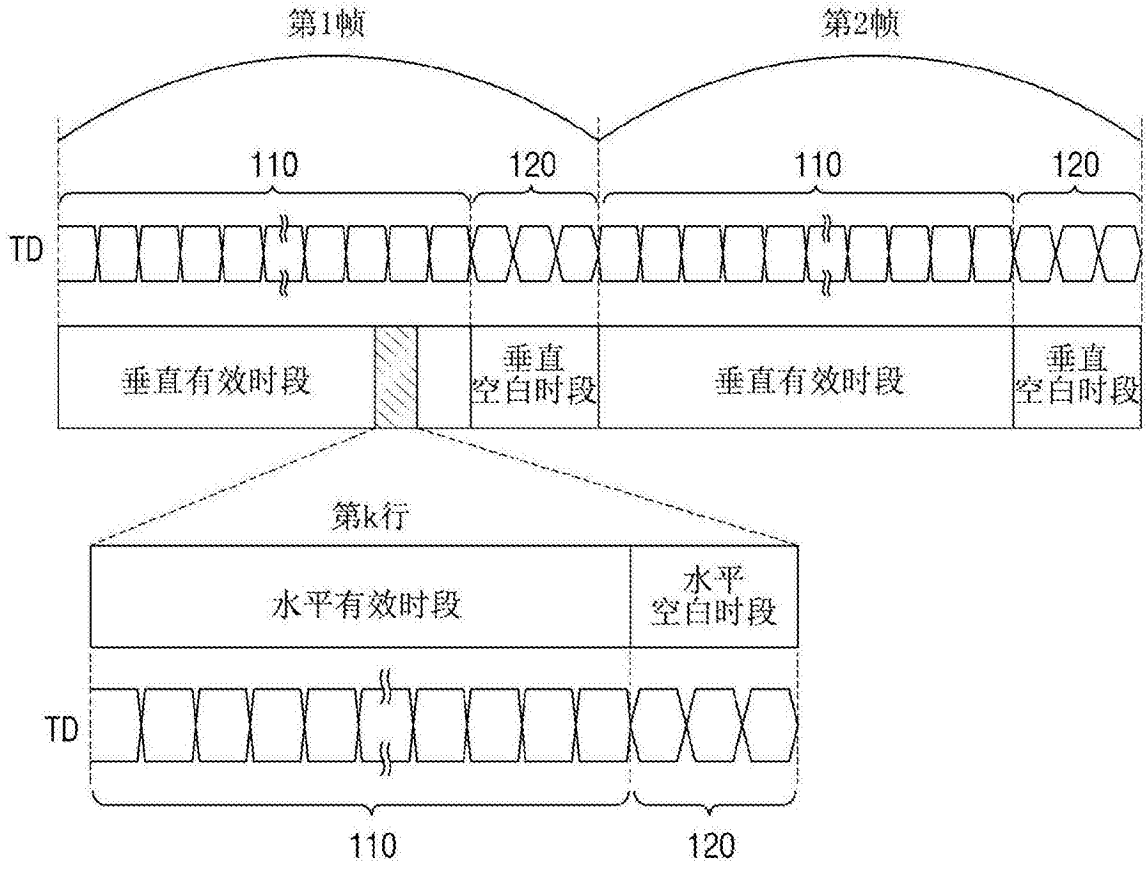


图12

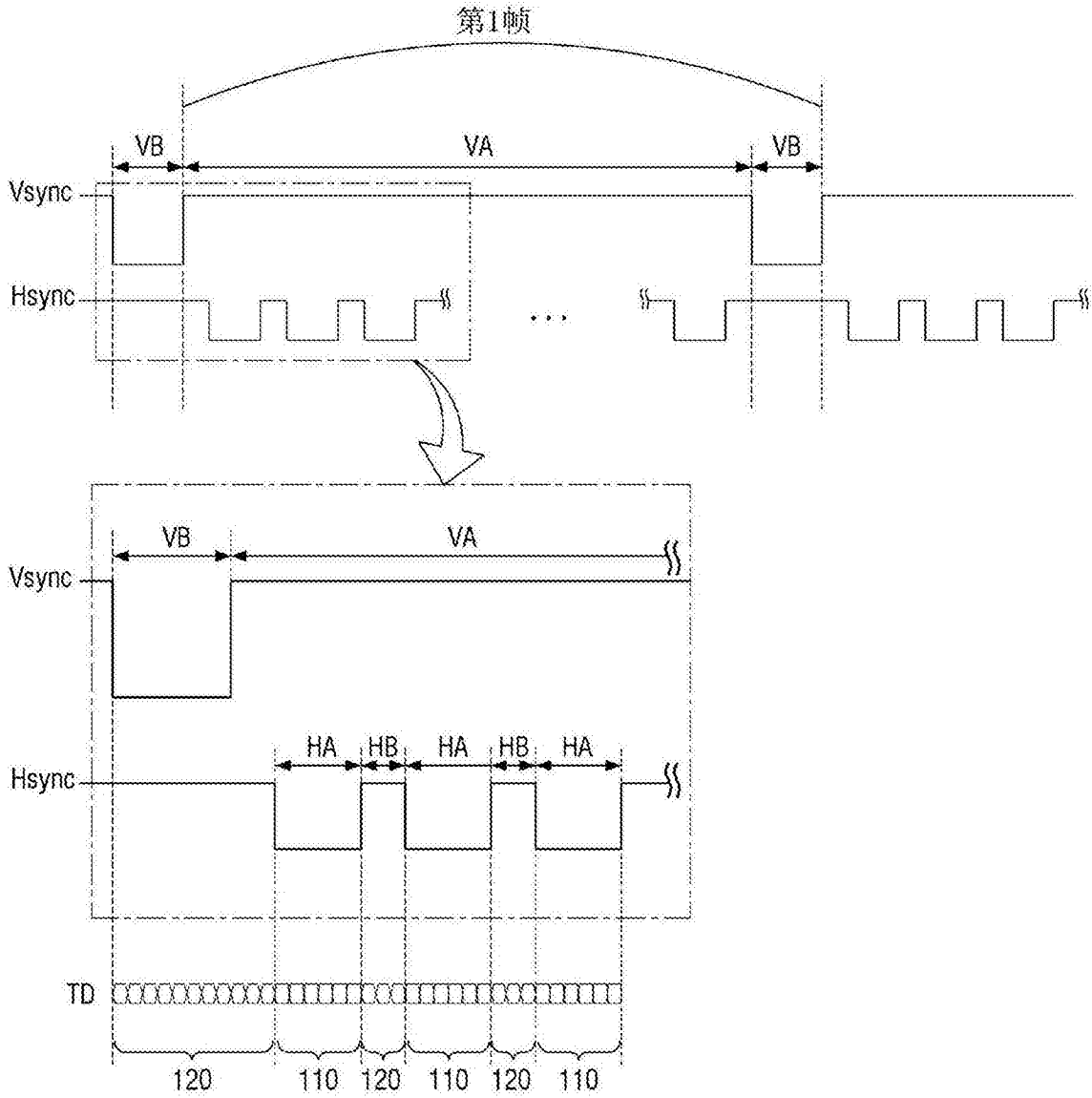


图13

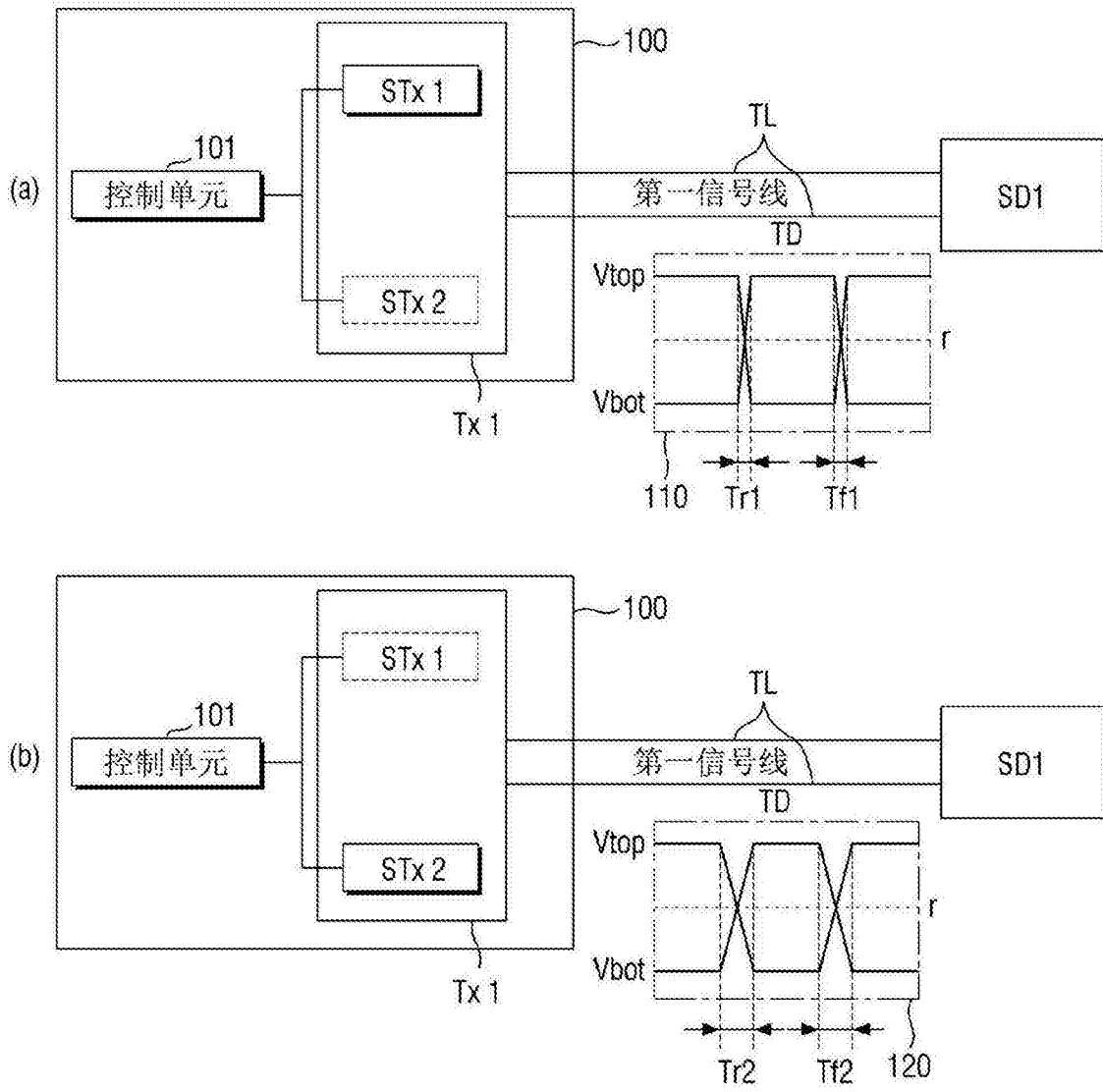


图14

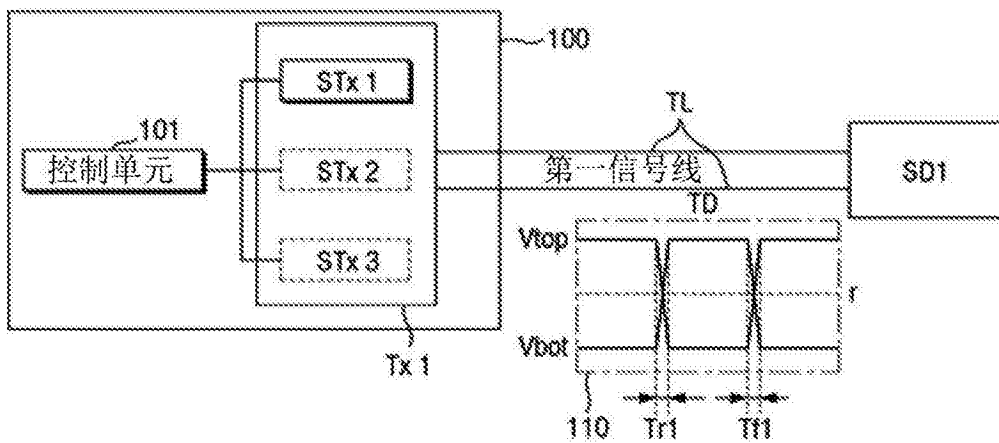


图15A

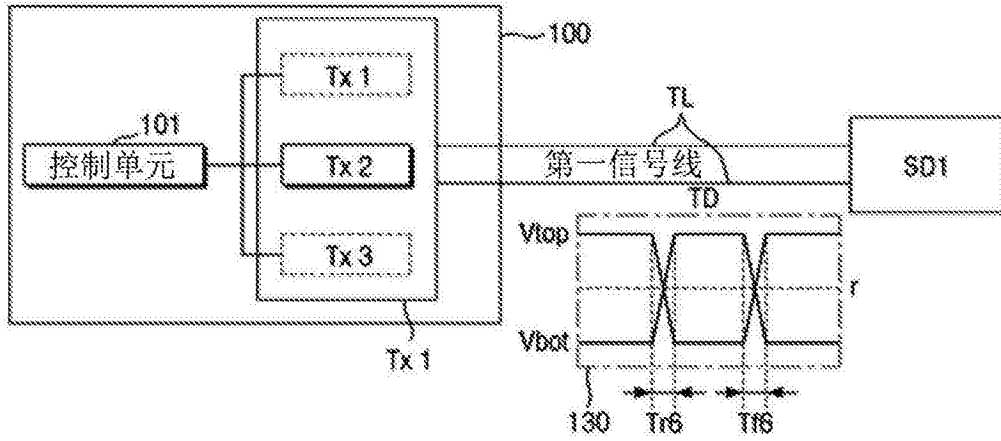


图15B

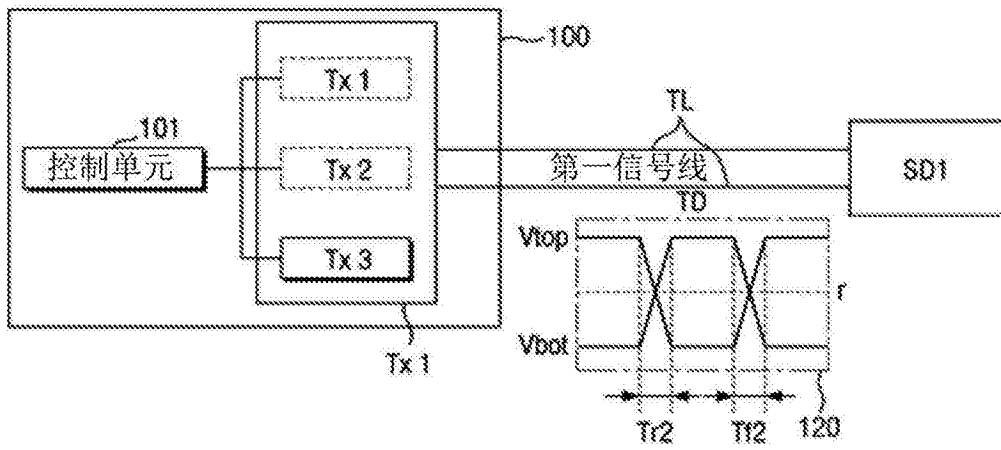


图15C

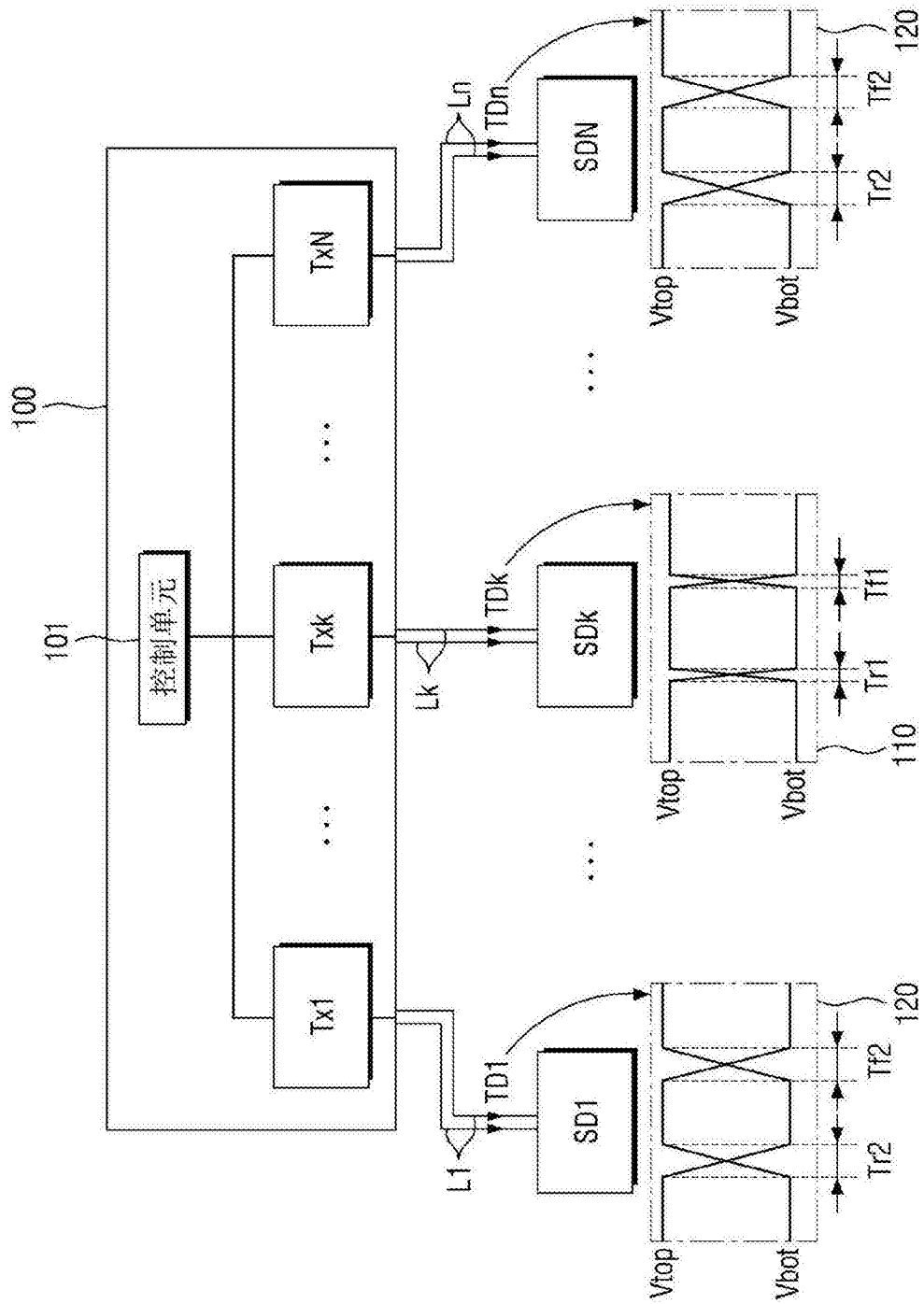


图16