



(12) 发明专利

(10) 授权公告号 CN 112805837 B

(45) 授权公告日 2022. 04. 12

(21) 申请号 201880098167.2

(72) 发明人 李伟

(22) 申请日 2018.09.30

(74) 专利代理机构 广州三环专利商标代理有限公司 44202

(65) 同一申请的已公布的文献号
申请公布号 CN 112805837 A

代理人 熊永强 李稷芳

(43) 申请公布日 2021.05.14

(51) Int.Cl.

H01L 29/66 (2006.01)

(85) PCT国际申请进入国家阶段日
2021.03.26

(56) 对比文件

CN 101405868 A, 2009.04.08

(86) PCT国际申请的申请数据
PCT/CN2018/109179 2018.09.30

CN 102592997 A, 2012.07.18

US 2009085163 A1, 2009.04.02

(87) PCT国际申请的公布数据
W02020/062275 ZH 2020.04.02

审查员 周文龙

(73) 专利权人 华为技术有限公司
地址 518129 广东省深圳市龙岗区坂田华为总部办公楼

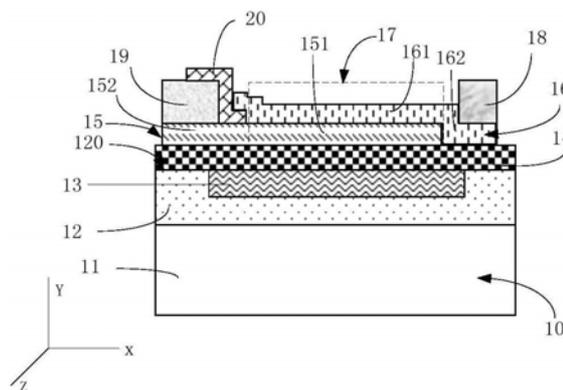
权利要求书1页 说明书11页 附图7页

(54) 发明名称

栅控二极管及芯片

(57) 摘要

本申请实施例提供一种栅控二极管,其包括衬底、层叠于衬底上的栅极、栅极绝缘层、第一二维半导体层、第二二维半导体层、源极和与源极间隔设置的漏极;栅极嵌设于衬底的表面,栅极绝缘层覆盖衬底设有栅极的表面;第一二维半导体层层叠于栅极绝缘层上,第二二维半导体层部分层叠于栅极绝缘层上,另一部分层叠第一二维半导体层上,第二二维半导体层与第一二维半导体层层叠的部分形成异质结,异质结在基底的正投影位于栅极在基底层正投影内;源极与第二二维半导体层电导通且与第一二维半导体层绝缘,漏极与第一二维半导体层电导通与第二二维半导体层绝缘,栅控二极管的导电通路为由源极经异质结至漏极,或者由漏极经异质结至源极。



1. 一种栅控二极管,其特征在于,包括衬底、层叠于所述衬底上的栅极、栅极绝缘层、第一二维半导体层、第二二维半导体层、源极和与所述源极间隔设置的漏极;所述衬底包括基底和层叠于基底表面上的氧化物保护层;

所述栅极嵌设于所述氧化物保护层的表面,所述栅极绝缘层覆盖所述衬底设有栅极的表面;

所述第一二维半导体层为双极性导电材料形成,所述第一二维半导体层层叠于所述栅极绝缘层上,所述第二二维半导体层部分层叠于所述栅极绝缘层上,另一部分层叠所述第一二维半导体层上,所述第二二维半导体层与第一二维半导体层层叠的部分形成异质结,所述异质结在所述基底的正投影位于所述栅极在所述基底的正投影内;

所述源极与所述第二二维半导体层电导通且与所述第一二维半导体层绝缘,所述漏极与所述第一二维半导体层电导通与所述第二二维半导体层绝缘,所述栅控二极管的导电通路为由所述源极经异质结至所述漏极,或者由所述漏极经所述异质结至所述源极。

2. 如权利要求1所述的栅控二极管,其特征在于,所述栅极绝缘层的材料为 HfO_2 、 Al_2O_3 、 ZrO_2 、 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 、 HfLaO 、 Y_2O_3 中的一种。

3. 如权利要求1所述的栅控二极管,其特征在于,所述栅极绝缘层的厚度为2nm-50nm。

4. 如权利要求1-3任一项所述的栅控二极管,其特征在于,所述第二二维半导体层为中掺杂p型或n二维半导体材料制成。

5. 如权利要求1-3任一项所述的栅控二极管,其特征在于,所述第一二维半导体层的材料为二硒化钨,所述第二二维半导体层的材料为二硒化锡。

6. 如权利要求1-3任一项所述的栅控二极管,其特征在于,所述第一二维半导体层包括第一部分和连接第一部分的第二部分,所述第二二维半导体层包括第三部分和连接第三部分的第四部分,所述第三部分层叠于所述第一部分上形成异质结,所述源极位于所述第四部分的表面,所述漏极位于所述第二部分的表面。

7. 如权利要求6所述的栅控二极管,其特征在于,所述栅控二极管还包括隔离层,所述隔离层位于所述漏极与所述第二二维半导体层构成所述异质结部分的端部之间。

8. 如权利要求7所述的栅控二极管,其特征在于,所述隔离层的材料为绝缘氧化物。

9. 如权利要求1-3任一项所述的栅控二极管,其特征在于,所述栅极朝向所述栅极绝缘层的一侧凸出所述氧化物保护层的表面或者与所述氧化物保护层的表面平齐。

10. 如权利要求1-3任一项所述的栅控二极管,其特征在于,所述栅极包括与所述氧化物保护层连接的底面、邻近所述漏极的第一端面 and 邻近所述源极的第二端面,所述第一端面和第二端面连接所述底面的相对两端;

所述漏极包括第一侧面,所述源极包括与所述第一侧面间隔相对的第二侧面,所述第一侧面与第一端面共面,所述第二侧面与第二端面共面或者具有有效距离。

11. 如权利要求1-3任一项所述的栅控二极管,其特征在于,所述基底的材料为硅,所述氧化物保护层的材料为二氧化硅。

12. 一种芯片,其特征在于,包括电路及应用于所述电路的如权利要求1-11任一项所述的栅控二极管。

栅控二极管及芯片

技术领域

[0001] 本发明涉及电子通信技术领域,尤其涉及半导体器件,进一步的涉及栅控二极管以及具有所述栅控二极管的芯片。

背景技术

[0002] 常见的半导体器件如二极管被广泛应用于整流、检波、限幅、稳压等电路中,属于一种具有两个电极的器件。传统的晶体二极管是一个由p型半导体和n型半导体形成的p-n结,在其界面处两侧形成了空间电荷层,并且建有自建电场,当不存在外加电压时,因为p-n结两边载流子浓度差引起的扩散电流和自建电场引起的漂移电流相等而处于电平衡状态。当产生正向电压偏置时,外界电场与二极管自建电场的互相抑消作用使载流子的扩散电流增加引起了正向电流。当产生反向电压偏置时,外界电场与自建电场进一步加强,形成在一定反向电压范围中与反向偏置电压值无关的反向饱和电流(不导通)。如此就使一个独立的二极管只允许电流由单一方向(正向或者反向)流过,所以,二极管在电路中应用的灵活度比较低。

发明内容

[0003] 本申请实施例提供一种可以调控导通方向的半导体器件,以提高半导体器件的应用灵活性能。

[0004] 第一方面,本申请提供了一种栅控二极管,其包括衬底、层叠于所述衬底上的栅极、栅极绝缘层、第一二维半导体层、第二二维半导体层、源极和与所述源极间隔设置的漏极;

[0005] 所述栅极嵌设于所述衬底的表面,所述栅极绝缘层覆盖所述衬底设有栅极的表面;

[0006] 所述第一二维半导体层为双极性导电材料形成,所述第一二维半导体层层叠于所述栅极绝缘层上,所述第二二维半导体层部分层叠于所述栅极绝缘层上,另一部分层叠于所述第一二维半导体层上,所述第二二维半导体层与第一二维半导体层层叠的部分形成异质结,所述异质结在所述基底的正投影位于所述栅极在所述基底的正投影内;

[0007] 所述源极与所述第二二维半导体层电导通且与所述第一二维半导体层绝缘,所述漏极与所述第一二维半导体层电导通与所述第二二维半导体层绝缘,所述栅控二极管的导电通路为由所述源极经异质结至所述漏极,或者由所述漏极经所述异质结至所述源极。

[0008] 本申请的栅控二极管采用二维半导体形成异质结,源极和漏极位于所述异质结两侧且栅极凹设于基底内,栅极与源极漏极之间的寄生电容减小,同时漏极连接的二维半导体层具有双极性导电,并且栅极绝缘层采用 HfO_2 、 Al_2O_3 、 ZrO_2 、 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 、 HfLaO 、 Y_2O_3 中的一种,厚度较薄,本实施例中,只有10nm,以使栅极有足够的栅电容,可以通过栅极电压来控制所述栅控二极管的导电通路的双向性,以使所述二极管包括正向导通与反向导通可调性,相较于现有技术的单一方向性的二极管具有较高的应用灵活性能。

[0009] 一种实施方式中,所述栅极远离所述氧化物保护层的一侧凸出所述氧化物保护层的表面或者与所述氧化物保护层的该表面平齐。本实施例中,所述栅极远离所述氧化物保护层的一侧的表面与所述氧化物保护层的表面平齐,以保证所述栅极绝缘层具有较平整度,在第一二维半导体层和第二二维半导体层制作过程中不容易出现破裂和褶皱而影响器件性能。

[0010] 其中,所述第一二维半导体层的材料为二硒化钨,所述第二二维半导体层的材料为二硒化锡,但是不限于列举出的这两种二维半导体材料。

[0011] 所述第一二维半导体层包括第一部分和连接第一部分的第二部分,所述第二二维半导体层包括第三部分和连接第三部分的第四部分,所述第三部分层叠于所述第一部分上形成异质结,所述源极位于所述第四部分的表面,所述漏极位于所述第二部分的表面。

[0012] 一种实施方式中,所述栅控二极管还包括隔离层,所述隔离层位于所述漏极与所述第二二维半导体层构成所述异质结部分的端部之间。所述隔离层的材料为绝缘氧化物,所述隔离层实现漏极与第二二维半导体层的隔离。

[0013] 一种实施方式中,在竖直方向上,所述源极位于所述异质结正上方,此时介入电阻相对较小,会获得更大的电流。

[0014] 一种实施方式中,所述栅极包括与所述氧化物保护层连接的底面、邻近所述漏极的第一端面 and 邻近所述源极的第二端面,所述第一端面和第二端面连接所述底面的相对两端;

[0015] 所述漏极包括第一侧面,所述源极包括与所述第一侧面间隔相对的第二侧面,所述第一侧面与第一端面共面,所述第二侧面与第二端面共面或者具有有效距离;即漏极、源极位于异质结相对两侧,可以避免所述漏极、源极与所述栅极之间的重叠部分,减小所述漏极与栅极之间的寄生电容,进而保证导通性能。

[0016] 第二方面,本申请提供一种芯片,包括电路及应用于所述电路的所述的栅控二极管。所述芯片为RF能量采集芯片

[0017] 第三方面,本申请提供一种栅控二极管的制作方法,所述方法包括:

[0018] 步骤1,在基底的氧化物保护层的表面形成凹部,并在所述凹部内形成栅极。本步骤中,具体包括,采用光刻工艺使用光刻胶在所述氧化物保护层上定义栅极区域,并以光刻胶做掩膜将氧化物保护层表面上除栅极区域以外的部分遮挡。

[0019] 采用反应离子刻蚀方式蚀刻位于所述栅极区域的氧化物保护层,以在所述衬底形成凹部。

[0020] 采用蒸镀方式在所述凹部内形成栅极,其中,所述栅极将所述凹部填满。

[0021] 去掉光刻胶。以实现将栅极嵌设在氧化物保护层上,减小与源漏极支架内的寄生电容。

[0022] 步骤2,在所述氧化物保护层的表面形成栅极绝缘层,以使所述栅极绝缘层覆盖所述栅极,用于保护栅极和隔离异质结与氧化物保护层。所述栅极绝缘层材料为 HfO_2 、 Al_2O_3 、 ZrO_2 、 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 、 HfLaO 、 Y_2O_3 中的一种。

[0023] 步骤3,在栅极绝缘层上形成沟道层和漏极,所述沟道层包括第一二维半导体层、第二二维半导体层及第一二维半导体层和第二二维半导体层形成的异质结,所述漏极位于所述第一二维半导体层上并与第二二维半导体层绝缘;其中,所述第一二维半导体层的材

料为二硒化钨,所述第二二维半导体层的材料为二硒化锡。

[0024] 本实施例中,在所述栅极绝缘层上形成沟道层的步骤,包括:

[0025] 在所述栅极绝缘层的表面形成第一二维半导体层和位于第一二维半导体层表面一侧的漏极;

[0026] 采用光刻工艺使用光刻胶在所述第一二维半导体层及漏极构成的层结构上定义隔离层区域,并以光刻胶做掩膜将位于所述隔离层区域以外的部分所述第一二维半导体层及部分漏极遮挡;

[0027] 采用沉积的方式在所述光刻胶及所述隔离层区域上形成绝缘氧化物层,

[0028] 去掉覆盖有绝缘氧化物层的所述光刻胶以在所述隔离层区域形成隔离层,所述隔离层覆盖部分所述漏极及所述漏极与第一二维半导体层的连接位置;其中,所述隔离层的材料为SiO₂或Al₂O₃。

[0029] 在所述栅极绝缘层的表面和所述第一二维半导体层上形成第二二维半导体层,所述第一二维半导体层和第二二维半导体层重叠的部分为异质结,且第二二维半导体层连接所述隔离层远离所述漏极的一侧。

[0030] 本申请的栅控二极管的制作方法中,在制作第二二维半导体层之前先形成隔离层,由于隔离层的存在,可以避免在第二二维半导体材料层采用刻蚀方式制作图案过程中对所述第一二维半导体层与漏极连接的部分造成误伤而破坏其性能;同时,所述隔离层可以隔离所述漏极与所述第二二维半导体层,防止两者之间导通。

[0031] 步骤4,在所述沟槽层上形成与所述漏极间隔相对的源极,其中,所述源极经异质结至所述漏极实现第一导通方向,由所述漏极经所述异质结至所述源极实现第二导通方向。所述源极为金属材料通过图案化工艺形成。

[0032] 一种实施方式中,在基底的氧化物保护层的表面形成凹部,并在所述凹部内形成栅极的步骤中,还包括,对所述栅极进行平整化,使所述栅极露出所述凹部的表面与所述氧化物保护层的表面平齐,保证后续沟道层制作过程中的质量。

[0033] 本申请所述的栅控二极管中,源极和漏极位于所述异质结两侧且栅极凹设于基底内,栅极与源极漏极之间的寄生电容减小,同时采用非二氧化硅材料的栅极绝缘层以及包含双向导电性的二维氧化物层,可以通过栅极电压来控制第一二维材料的导通极性,进而所述栅控二极管的导电通路的双向性,实现导通方向和开启电压的调控,以提高二极管的应用灵活性能,且可以实现小信号整流,以降低小信号整流电路的复杂度。

附图说明

[0034] 图1a是本申请实施例提供的栅控二极管的截面示意图;

[0035] 图1b是图1a所示栅控二极管的俯视图;

[0036] 图2a和图2b分别是图1a所示的栅控二极管在形成所述第一二维半导体层后的截面示意图和俯视图;

[0037] 图3是图1a所示的栅控二极管在形成所述漏极后的截面示意图;

[0038] 图4a和图4b分别是图1a所示的栅控二极管形成隔离层后的截面图和俯视图;

[0039] 图5a和图5b分别是图1a所示的栅控二极管形成第二二维半导体层后的截面图和俯视图;

[0040] 图6为栅控二极管的另一实施例的截面示意图,与图1a不同在于栅极与源极和漏极是否有重叠部分;

[0041] 图7a、图7b是图1a、图6所示的栅控二极管正向工作原理图;

[0042] 图8a、图8b是图1a、图6所示的栅控二极管反向工作原理图;

[0043] 图9a、图9b是图1a、图6所示的栅控二极管通过栅压控制正向二极管和反向二极管工作开启电压线图;

[0044] 图10是本申请提供的栅控二极管制作方法流程图;

[0045] 图11-图12、图13a、图13b、图14a、图14b是本申请的栅控二极管制作方法在制作过程中对应多个步骤的结构示意图。

具体实施方式

[0046] 下面将结合本发明实施方式中的附图,对本发明实施方式中的技术方案进行清楚、完整地描述。

[0047] 本申请保护一种栅控二极管,其应用于整流、稳压等电路中,并通过栅压控制开启电压的大小。以下请参阅图1a和图1b,本实施例中,以左右方向为X轴方向,垂直于所述栅控二极管厚度(衬底表面)的方向为Y轴方向。沿着X轴方向,即是栅极13、第一二维半导体层15和所述第二二维半导体层16的长度方向,所述栅极13、第一二维半导体层15和所述第二二维半导体层16的宽度方向为Z轴方向。

[0048] 所述栅控二极管包括衬底10、层叠于所述衬底10的表面的氧化物保护层12、栅极13、栅极绝缘层14、第一二维半导体层15、第二二维半导体层16以及源极18和漏极19,所述源极18与所述漏极19间隔设置。所述栅极13嵌设于所述衬底10的表面上,所述栅极绝缘层14覆盖所述衬底10设有所述栅极13的表面。本实施例中,所述栅极绝缘层14由具有高介电常数材料形成。

[0049] 所述第一二维半导体层15由双极性导电材料形成,所述第一二维半导体层15层叠于所述栅极绝缘层14上,所述第二二维半导体层16部分层叠于所述栅极绝缘层14上,另一部分层叠于部分所述第一二维半导体层15上,所述第二二维半导体层16与第一二维半导体层15层叠部分形成异质结17,所述异质结17在所述基底11的正投影位于所述栅极13在所述基底11层的正投影内。所述异质结是由两层以上不同的半导体材料层叠相接触的界面区域。

[0050] 所述源极18与第二二维半导体层16电导通并与所述第一二维半导体层15绝缘,所述漏极19与所述第一二维半导体层15电导通并与所述第二二维半导体层16绝缘,所述栅控二极管的导电通路为由所述源极18经异质结17至所述漏极19,或者由所述漏极19经所述异质结17至所述源极18。

[0051] 需要说明的是,本实施例中,所述栅控二极管各个功能层为规则结构,功能层的厚度是均匀设置的,并且可以保证高的工作效率,这种设计符合现有的芯片、电子设备等小型化、轻薄化发展趋势。由于源极18和漏极19间隔设置且无连接的可能,获取截面时只要截取到异质结、源极和漏极,既可以截取到所述栅控二极管的实现栅压控制的各个功能层结构,而当所述这些各个功能层为非均匀的情况下,但各个功能层的电性连接关系是不会改变的,只要符合本实施例截取的截面的层结构和配合关系,均可以解决本申请解决的技术问

题及实现本申请的技术效果。各个功能层包括衬底、栅极、栅极绝缘层、异质结、源极和漏极,以及本申请第二实施例的隔离层。比如,源极18和漏极19为圆柱形或者其它非规则形状,但其功能均是和异质结配合供电子流动,源极18与第二二维半导体层16电连接且与第一二维半导体层15绝缘,而漏极19与第一二维半导体层15电连接而与第二二维半导体层16绝缘,所述第一二维半导体层15和第二二维半导体层16永远不能与栅极13接触。所以本实施例中以截面和俯视图作为参照示意图进行说明。

[0052] 本申请实施例,所述的栅控二极管采用二维半导体形成异质结,所述第一二维半导体层15的材料为二硒化钨,为双极性导电材料,所述第二二维半导体层16的材料为二硒化锡等重掺杂P型或N型离子的二维半导体材料。其中与漏极19连接的第一二维半导体层15具有双极性导电,并且异质结17与栅极13之间只有栅极绝缘层14间隔,栅极绝缘层14采用具有高介电常数的材料形成,以使栅极有足够的栅电容可以去控制第一二维半导体层15的导通极性,进而实现所述栅控二极管的导电通路的双向性,即由所述源极18经异质结17至所述漏极19(反向)的导通,或者由所述漏极19经所述异质结17至所述源极18(正向)的导通,以使所述二极管具有正向导通与反向导通的特性,相较于现有技术的单一方向性的二极管具有较高的灵活性。同时,可以通过控制栅极电压来控制二极管正向导通或反向导通的开启电压,当开启电压小时可减小整流时信号电压的损耗,进而减小工作电压的耗损。其中,当栅极13控制第一二维半导体层15让其变成p型掺杂的时候,由于第二二维半导体层16为重掺杂的p型或者n型,两者的异质结为pn+型,或者n+p型,空穴浓度较大实现导电,为正向二极管;当栅极控制第一二维半导体层15让其变成n型掺杂的时候,自有电子浓度较高而导电,两者的异质结为nn+结,就为反向二极管,所以只要控制第一二维半导体层15的掺杂离子类型即可实现正向导通或者反向导通。

[0053] 具体的,所述衬底10由石英、蓝宝石等绝缘的材料形成,或者所述衬底10包括基底11和层叠于所述基底11表面的氧化物保护层12,所述基底11为硅材料制成,所述氧化物保护层12由二氧化硅材料制成。而本实施例中,所述衬底10包括基底11和氧化物保护层12,所述氧化物保护层12覆盖所述基底11用于形成栅控二极管的整个表面,以与所述基底构成具有氧化物的衬底结构,以保证载流子的传输。所述栅极绝缘层14采用具有高介电常数的 HfO_2 、 Al_2O_3 、 ZrO_2 、 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 、 HfLaO 、 Y_2O_3 中的一种;所述栅极13、源极18和漏极19均由导电金属材料制成。

[0054] 本实施例中,所述氧化物保护层12包括与所述基底11连接的第一表面(图未标)和与所述第一表面相对设置的第二表面120,第一表面朝向所述基底11并与基底11连接。所述栅极13嵌设于所述氧化物保护层12的第二表面120。具体的,在所述氧化物保护层12的第二表面120上凹设凹部,所述栅极13形成于所述凹部内并填满所述凹部。所述氧化物保护层12为层结构,本实施例中,所述凹部为矩形凹槽,用于容纳所述栅极13,当然,所述凹部也可以是其它形状的凹槽。

[0055] 本实施例中,所述栅极13为规则的矩形层状,所述栅极13的表面凸出所述氧化物保护层12的表面120或者与所述氧化物保护层12的所述表面120平齐。本实施例中,所述栅极13的表面与所述氧化物保护层12的表面120平齐,可以保证氧化物半导体层11与栅极13的平整性,以保证所述栅极绝缘层14具有较高的平整度,在第一二维半导体层15和第二二维半导体层16的制作过程中不容易出现破裂和褶皱而影响所述栅控二极管的性能。

[0056] 所述栅极绝缘层14覆盖所述衬底10设有所述栅极13的表面。具体的,所述栅极绝缘层14覆盖氧化物保护层12的第二表面120,用于栅极13与层叠于栅极13上的其他层结构绝缘。本实施例中,所述栅极绝缘层14覆盖氧化物保护层12的整个第二表面120,(参见图2b)可以直接通过将基底11放进ALD腔室利用原子层沉积技术进行生长而形成,从而不需要光刻工艺,简化了加工步骤。栅极绝缘层14采用高介电常数的材料制成而非二氧化硅,且厚度可以用原子层沉积技术做到较薄,提高了栅电容,使得栅极能有效控制具有双极性导电性能的第一二维半导体层15的导通极性,从而控制二极管的导电通路的双向性。进一步的,所述栅极绝缘层14的厚度位于2nm-50nm之间,只要实现栅极13能很好的控制第一二维半导体层15即可,因为不同氧化物的介电常数不同,用不同的氧化物做栅极绝缘层14所需的厚度也不一样,也和应用场景的工作电压有关,如果工作电压高,则需要加大这个厚度以承受较高的工作电压,类似地,如果工作电压小,也可以减小这个厚度,这样在小的工作电压下也能有效调控所述栅控二极管。

[0057] 请参阅图2a、图2b,在X轴方向上,所述第一二维半导体层15包括第一部分151和与第一部分151连接的第二部分152,所述第一部分151与所述第二部分152为同一工艺步骤形成的同一层结构。

[0058] 本实施例中,所述第一二维半导体层15为规则矩形层状且第一部分151和第二部分152厚度均匀,其形成于所述栅极绝缘层14的表面140上;所述第一部分151和所述第二部分152的正投影完全位于所述栅极13内并与所述栅极13部分重叠,所述第一二维半导体层15的宽度小于等于所述栅极13的宽度,所述第一部分151的长度小于所述栅极13的长度。所述第一二维半导体层15为不规则的情况下,所述长度和宽度是指该两个维度的最大尺寸。在所述第一二维半导体层15形成后即形成漏极19后才去做异质结17。故本实施例中,先介绍漏极19和隔离层20在提供所述第二二维半导体层16与异质结的实施例。

[0059] 参阅图3,本实施例中,所述漏极19是通过金属层覆盖所述第一二维半导体层15和栅极绝缘层14的表面,然后通过涂层及光刻工艺形成于所述第一二维半导体层15的第二部分152的表面上远离第一部分151的一侧。本实施例的漏极19为厚度均匀的长条形并包括朝向所述源极18的第一侧面191。所述漏极19的长度方向为所述栅极13的宽度方向也就是Z轴方向,本实施例中漏极19的长度大于第一二维半导体15的宽度。在其他实施方式中,所述漏极的形状不限于长条形,但要覆盖所述第一二维半导体层15且不超过所述栅极绝缘层14的边缘,以保证导电效率。漏极19厚度可以为阶梯分布,可以覆盖所述第二部分152的端部并与栅极绝缘层14的表面连接,但必须与栅极13绝缘。实际上,为了减少二极管器件的体积,所述漏极19形成于所述第二部分152的表面即可。需要说明的是,所述第一二维半导体层15的第一部分151和漏极19之间具有所述第二部分152的部分区域Q,为了栅极13对所述第一二维半导体层15达到最大有效控制,所述部分区域Q的正投影位于所述栅极13内。所述漏极19与所述第三部分161远离第四部分162的端部间隔且绝缘设置,本实施例中,是通过隔离层实现,具体参见下文描述。

[0060] 进一步的,请参阅图1a、图4a和图4b,所述栅控二极管还包括设于所述第一二维半导体层15上的隔离层20,所述隔离层20位于所述漏极19与所述第二二维半导体层16之间。在Z轴方向上所述隔离层20的宽度小于或等于所述漏极19的长度并大于或等于所述第三部分161的宽度,以保证可以有效隔离所述漏极19与所述第二二维半导体层16。在Z轴方向上,

所述隔离层20的宽度小于所述漏极19的长度,可以节省加工材料。所述隔离层20通过光掩膜和涂布工艺在所述第一二维半导体层15的第二部分152上形成。然后再通过光刻工艺形成所述第二二维半导体层16的基础材料层,通过蚀刻工艺去除与所述漏极19连接的多余的二维半导体层的基础材料层才形成所述的与漏极绝缘的第二二维半导体层16。所述隔离层20的材料为 SiO_2 或 Al_2O_3 。具体的,通过膜层转移工艺(生长在其它基底(比如硅基底、蓝宝石基底等)上),然后转移至已制备好有栅极绝缘层的基底上或者在栅极绝缘层上直接生长第一二维半导体材料层之后通过图案化工艺得到具有预设图案的第一二维半导体层15。然后通过涂布或者沉积金属层以及图案化工艺在所述第一二维半导体层15上形成所述漏极19。由于栅极的平整性,所述第一二维材料层平铺在所述栅极绝缘层14上,在形成所述第一二维半导体材料层的过程中材料不容易出现破裂和褶皱而影响器件性能。

[0061] 请参阅图5a、图5b,所述第二二维半导体层16包括沿着X轴方向依次连接第三部分161、第四部分162及延伸部分163。所述第三部分161与所述第四部分162及延伸部分163为同一工艺步骤形成的同一层结构。所述第二二维半导体层16在Y轴方向视角看,为规则矩形层状,所述第三部分161形成于所述第一部分151的表面上并覆盖所述第一部分151,并且与所述第一部分151形成所述异质结17,所述异质结17的正投影完全位于所述栅极13内。其中,所述第三部分161和所述第一部分151在栅极13的正投影完全重合。可以理解为在X轴方向上,所述第三部分161的长度等于所述第一部分151的长度,Y轴方向上所述第三部分161的宽度等于所述第一部分151的宽度。当然,所述第三部分161可以大于所述第一部分151的宽度尺寸。所述第三部分161的正投影完全位于所述栅极13内并与所述栅极13部分重叠,即所述第二二维半导体层16的宽度小于或等于所述栅极13的宽度,所述第三部分161的长度小于所述栅极13的长度。所述第三部分161层叠于所述栅极绝缘层14的表面140上并覆盖所述第一部分151的端部。第三部分161和第四部分162的厚度是均匀的且相同,第四部分162只是在覆盖第一部分151的端部至栅极绝缘层14时产生台阶落差的位置厚度较大。

[0062] 所述延伸部分163位于所述第二部分162的部分区域Q上,所述隔离层20位于所述漏极19与延伸部分163之间,且所述隔离层20相对两表面分别连接所述漏极19与所述延伸部分163,将漏极19与第二二维半导体层16绝缘,防止漏极19与第二二维半导体层16电导通。具体的,所述隔离层20的一端伸出第二二维半导体层16的延伸部分163并覆盖部分所述漏极19,另一端位于所述延伸部分163与所述第一部分151之间。所述隔离层20可以在蚀刻所述第二二维半导体层16的基础材料层时保护漏极19和第一二维半导体层15不被蚀刻到,达到保护的效果;同时,隔离层20实现绝缘效果。

[0063] 在其它实施方式中,所述第一二维半导体层15和第二二维半导体层16非规则情况下或者非矩形情况下,只要保证异质结17的正投影是一定位于所述栅极13内即可,进而保证栅极13电压对第一二维半导体层15的有效控制。基于二硒化锡和双极性导电性能的二硒化钨形成的异质结可以通过调控栅极电压来实现所述栅控二极管的正向导通和反向导通的控制,并且二硒化锡和二硒化钨形成的异质结无晶格失配不会导致界面缺陷,在制备异质结二极管的工艺上比较简单,且异质结17能更好的抑制所述栅控二极管的反向电流,获得更大的整流比。

[0064] 请参阅图1a和图1b,所述源极18与所述漏极19间隔设置。所述源极18位于所述第二二维半导体层16的第四部分162的表面远离第三部分161的一侧,所述源极18与所述漏极19

的形成工艺相同。本实施例的源极18为厚度均匀的长条形,源极18的长度方向为所述栅极13的宽度方向,并且源极18的长度大于第二二维半导体16的宽度。在其他实施方式中,所述源极18的形状不限于长条形,但要覆盖所述第二二维半导体16且不超过所述栅极绝缘层14的边缘,以保证导电效率。源极18厚度可以为阶梯分布,可以覆盖所述第四部分162的端部并与栅极绝缘层14的表面连接,但必须与栅极13绝缘。实际上,为了减少二极管器件的体积及厚度,所述源极18形成于所述第四部分162的表面即可。进一步的,所述第四部分162的表面上远离第三部分161的一侧设有凹槽,所述源极18形成于所述凹槽内。本实施例中,所述源极18的正投影部分与所述栅极13一小部分重叠。在其他实施方式中,所述源极18可以层叠于构成所述异质结17的所述第三部分161上并与所述漏极19间隔一定距离且该距离不影响二极管的导电率,此时接入电阻相对较小,可以获得更大的电流。

[0065] 本实施例中,如图1a所示,所述源极18和漏极19位于异质结17的相对两侧,而栅极13嵌入氧化物保护层12内并非源极和漏极之间与源极和漏极相对,栅极13的相对两侧(沿着X轴方向方向看)与源极18、漏极19完全错开,避免栅极13与源极18和漏极19在X轴方向方向上存在更大的交叠区域(平行板电容器原理),而产生更大交叠寄生电容,减小本申请的栅极13与源极18、漏极19交叠面积,因而寄生电容会小很多以实现减小栅极13相对两侧与源极18、漏极19间的寄生电容,提升导电率的目的,进而在高频应用时信号损失较小,有利于提高器件的高频特性。

[0066] 请参阅图6,在另一种实施例中,所述栅极13包括与所述氧化物保护层12连接的底面130、第一端面131和第二端面132,所述第一端面131和第二端面132连接所述底面130的位于X轴方向上的相对两端。所述漏极19包括朝向所述源极18的第一侧面191,所述源极18包括与所述第一侧面191间隔相对的第二侧面181,沿着Y轴方向,所述第一侧面191与第一端面131共面或者具有有效距离(实现栅极对源漏极控制的距离),所述第二侧面181与第二端面132面共面或者具有有效距离。本实施例中,所述第一侧面191与第一端面131共面,所述第二侧面181与第二端面132面共面,从而可以减小所述漏极19、源极18与所述栅极13之间的在Y轴方向上的交叠区域,更好的减小所述源极18、漏极19与栅极13之间的寄生电容,进而保证有足够的控制电压。

[0067] 本实施例中,所述栅控二极管的导电通路包括正向导通通路和反向导通通路,所述正向导通通路是指由所述漏极19经异质结17至所述源极18,导通电流由漏极19经异质结17的第二二维半导体层16到第一二维半导体层15后至所述源极18。反向导通通路是指由所述源极18经所述异质结17至所述漏极19,导通电流由源极18经异质结17的第一二维半导体层到第二二维半导体层后至所述漏极19。

[0068] 具体的,参见图7a、图7b,为二极管正向工作原理图。当 $V_g - V_T < 0$ 时,如图所示,栅压对第一二维半导体层15进行p型静电掺杂,与n型导电的第二二维半导体层16构成pn结二极管,当 $V_d > 0$ 时,载流子为扩散输运,电子由源极18注入第二二维半导体层16,然后跨越势垒(异质结)进入第一二维半导体层15并被漏极19搜集,空穴从漏极19注入第一二维半导体层15,然后跨越结区势垒并被源极18搜集,即完成正向导通。当 $V_d < 0$,pn结处于反偏状态,结区势垒宽度较大,阻止了载流子的运动,表现为高阻(不导通)的状态。其中, V_g 为栅压, V_T 为阈值电压, V_d 为漏极所加偏压。

[0069] 当正向导通时,随着 $V_g - V_T$ 的减小,漏极19与第一二维半导体层15之间的势垒宽度

减小,空穴更易注入第一二维半导体层15,因此开启电压降低,如图9a正向二极管的I-V特性曲线所示,正向二极管的开启电压随栅压可调节,且随栅压的减小而减小,当栅压从-4V降至-5V时,开启电压从约0.8V降至0.3V。

[0070] 参见图8a、图8b,为二极管反向工作原理图,当 $V_g - V_T > 0$,且 $V_d < 0$ 时,其对应的能带对应关系原理图8b所示,栅压对第一二维半导体层15进行n型掺杂,多数载流子电子由漏极19注入第一二维半导体层15,经第二二维半导体层16后进入源极18,二极管为导通状态,即反向导通。当 $V_g - V_T > 0$,且 $V_d > 0$ 时,图8a所示,多数载流子由源极18注入后遇到第二二维半导体层16-第一二维半导体层15界面处(异质结)的势垒较高,载流子难以越过势垒,产生的电流很小,少子可以经漏极19注入,但少子的数量较少,产生的电流也很小,二极管为高阻(不导通)状态。二极管具有更小的结电容,降低点压,因此可应用于高频信号的整流。

[0071] 当 $V_g - V_T > 0$,且 $V_d < 0$ 时,二极管反向导通时,随着 $V_g - V_T$ 的增大,漏极与第二二维半导体层16之间的势垒宽度变窄,电子更易经隧穿由漏极注入第一二维半导体层15,开启电压降低。图9b为反向二极管的I-V特性曲线,反向二极管的开启电压可由栅压进行调节,从图9b中可看出,随栅压增加,反向二极管的开启电压降低,当栅压从-3V增加至3V时,开启电压从约-1V降至约-0.2V。本申请所述栅控二极管的导电通路的以正向二极管和反向二极管工作时,其开启电压随栅极电压可控,可以获得低至0.2V的开启电压,实现小信号整流,以降低小信号整流电路的复杂度。

[0072] 本申请还保护一种芯片,所述芯片可以是集成芯片,其包括电路及应用于所述电路的所述栅控二极管。所述芯片为RF芯片或者用于存储器的芯片。所述芯片为RF芯片时,所述栅控二极管应用于所述芯片的能量采集电路中作为小信号的整流性二极管对RF信号进行整流。所述栅控二极管还可以用于存储器的芯片,主要是用于非易失性的磁性随机存储器、阻变式存储器及相变存储器的选通电路中。所述芯片采用了所述栅控二极管,可以实现电流的导通方向的更换,提高了芯片的工作性能。

[0073] 请参阅图10,本申请实施还保护一种栅控二极管的制作方法,可以用于制作上述栅控二极管。所述方法包括:

[0074] 步骤S1,在基底11的氧化物保护层12的表面120形成凹部,并在所述凹部内形成栅极13。

[0075] 具体的如图11,包括,第一步,采用光刻工艺使用光刻胶在所述氧化物保护层12上定义栅极区域,并以光刻胶做掩膜将氧化物保护层表面上除栅极区域以外的部分遮挡;

[0076] 第二步,采用反应离子刻蚀方式蚀刻位于所述栅极区域的氧化物保护层,以在所述氧化物保护层12形成凹部;

[0077] 第三步,采用蒸镀方式在所述凹部内形成栅极13,其中,所述栅极13将所述凹部填满;

[0078] 第四步,去掉光刻胶。

[0079] 本实施例中,所述氧化物保护层12的材料为二氧化硅,所述基底的材料为硅,所述栅极为Ti或Au材料制成。当然,所述基底和氧化物保护层可以用石英或者蓝宝石等绝缘材料替代。

[0080] 本步骤中,还包括,对所述栅极13进行平整化,使所述栅极13露出所述凹部的表面与所述氧化物保护层12的表面120平齐。

[0081] 步骤S2,如图12,采用原子层沉积工艺在所述氧化物保护层12的表面形成栅极绝缘层14,以使所述栅极绝缘层14覆盖所述栅极13。

[0082] 具体的是将图11所示的基底放进ALD腔室利用原子层沉积技术进行栅极绝缘层生长,栅极绝缘层采用具有高介电常数的 HfO_2 、 Al_2O_3 、 ZrO_2 、 $\text{Hf}_x\text{Zr}_{1-x}\text{O}_2$ 、 HfLaO 、 Y_2O_3 中的一种,而非二氧化硅,且厚度可以用原子层沉积技术做到较薄,提高了栅电容,使得栅极能有效控制第一二维材料的导通极性。本实施例中,所述栅极绝缘层的厚度为10nm,

[0083] 如图3、图1a,步骤S3,在栅极绝缘层14上形成沟道层和漏极19,所述沟道层包括第一二维半导体层15、第二二维半导体层16及第一二维半导体层15和第二二维半导体层16形成的异质结17;所述漏极19位于所述第一二维半导体层15上并与第二二维半导体层16绝缘。

[0084] 本实施例中,所述第一二维半导体层的材料为具有双极性导电的二硒化钨,所述第二二维半导体层的材料为二硒化锡。本实施例中,漏极19是在第一二维半导体层15形成后,第二二维半导体层16形成之前完成的,具体如下所述。

[0085] 本步骤具体包括:如图3,在所述栅极绝缘层14的表面形成第一二维半导体层15和位于第一二维半导体层15表面一侧的漏极19。本步骤中,通过膜层转移工艺(生长在其它基底上(比如硅基底、蓝宝石基底等),然后转移至已制备好有栅极绝缘层的基底上)或者在栅极绝缘层上直接生长第一二维半导体材料层之后通过图案化工艺得到具有预设图案的第一二维半导体层15。然后通过涂布或者沉积金属层以及图案化工艺在所述第一二维半导体层15上形成所述漏极19。由于栅极的平整性,所述第一二维材料层则平铺在所述栅极绝缘层14上,在形成所述第一第二材料层的过程中材料不容易出现破裂和褶皱而影响器件性能。

[0086] 参阅图13a和图13b,采用光刻工艺使用光刻胶B在所述第一二维半导体层15及漏极19构成的层结构上定义隔离层区域A,并以光刻胶B做掩膜将位于所述隔离层区域A以外的部分所述第一二维半导体层15及部分漏极19遮挡;

[0087] 采用沉积的方式在所述光刻胶B及所述隔离层区域A域上形成绝缘氧化物层C。

[0088] 如图4a和图4b,去掉覆盖有绝缘氧化物层C的所述光刻胶B以在所述隔离层区域A形成隔离层20,所述隔离层覆盖部分所述漏极19及所述漏极19与第一二维半导体层15的连接位置。所述隔离层20可以将漏极与后续形成的第二二维半导体层16绝缘,同时,本步骤更适合在大面积制作二极管时,对漏极和第一二维半导体层15的保护。

[0089] 图14a和图14b以及图6,在所述栅极绝缘层14的表面和所述第一二维半导体层15上形成第二二维半导体层16及异质结17,所述第一二维半导体层15和第二二维半导体层16重叠的部分为异质结17,且第二二维半导体层16连接所述隔离层远离所述漏极19的一侧。具体包括:先在所述漏极19、隔离层20、第一二维半导体层15以及未被遮挡的栅极绝缘层上形成第二二维半导体材料层D;第二二维半导体材料层通过膜层转移工艺(生长在其它基底上(比如硅基底、蓝宝石基底等),然后转移至已制备好有第一二维半导体层15的基底上)或者在第一二维半导体层15上直接生长。然后通过图案化工艺使采用光刻胶E为掩模板蚀刻第二二维半导体材料层D形成具有预设图案的第二二维半导体层16,并且所述第一二维半导体层15和第二二维半导体层16重叠的部分为异质结17。所述第一二维半导体层15和第二二维半导体层16形成沟道层。

[0090] 在此步骤中,在第二二维半导体材料层D刻蚀过程中,可以通过隔离层20保护漏极19和漏极19与第二二维半导体材料层D端部之间的所述第一二维半导体层15,避免漏极19与第二二维半导体材料层D的端部之间的空隙过大(影响导通性能)或者过小(损坏漏极),进而避免对第一二维半导体层15造成误伤而破坏其性能;同时第二二维半导体层16将第一二维半导体层15覆盖以实现完全隔离源极与第一二维半导体层15。

[0091] 再次参阅图1a,步骤S4,在所述沟道层上形成与所述漏极19间隔相对的源极18,其中,所述源极18经异质结17至所述漏极19实现第一导通方向,由所述漏极19经所述异质结17至所述源极18实现第二导通方向。

[0092] 所述源极18可以位于所述第二二维半导体层16的表面上远离漏极19的端部,也可以位于异质结上方。本实施例中,所述第二二维半导体层16与所述漏极相对的一侧设有凹槽,所述源极18位于凹槽内,以减小整个二极管的层结构的段差,所述源极和漏极位于异质结两侧,减小与栅极之间的寄生电容。结合图7a至图9b,所述第一导通方向即为正向导通,二极管为正向二极管,所述第二导通方向为反向导通,二极管为反向二极管。

[0093] 本申请实施例所述的栅控二极管的制作方法,可以大批量同时制作二极管,实际上,所述衬底上包括数个栅控二极管区域;每一个栅控二极管区域用于形成一个栅控二极管,所述数个栅控二极管的每一相同功能的层在形成时,都是采用同一工艺步骤同时形成。比如,在形成隔离层时,数个栅控二极管的隔离层是通过大面积的形成隔离材料层再统一图案化形成,如此可以减少加工工艺步骤,节省成本。

[0094] 以上是本发明实施例的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明实施例原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也视为本发明实施例的保护范围。

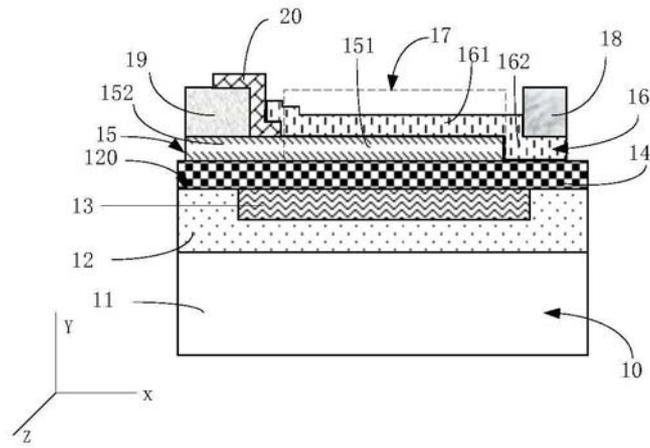


图1a

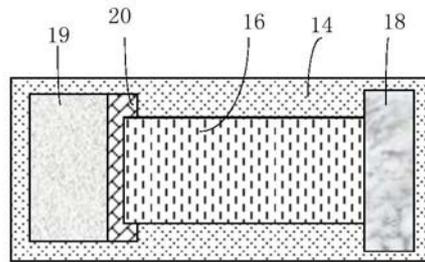


图1b

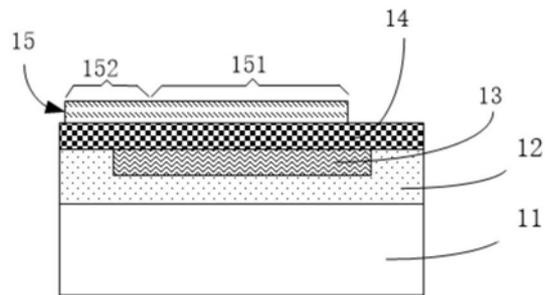


图2a

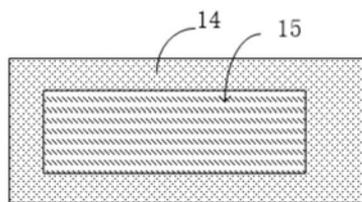


图2b

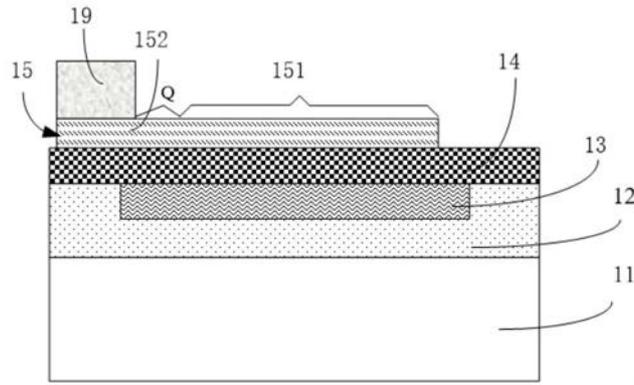


图3

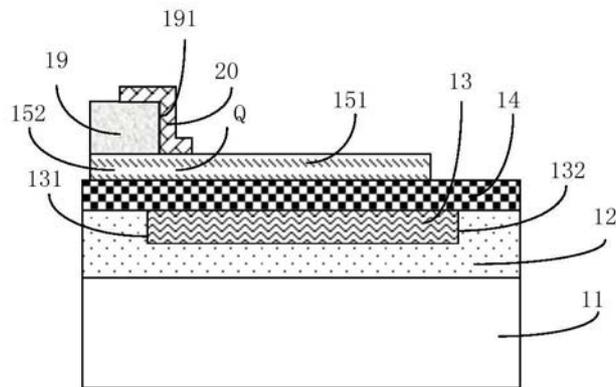


图4a

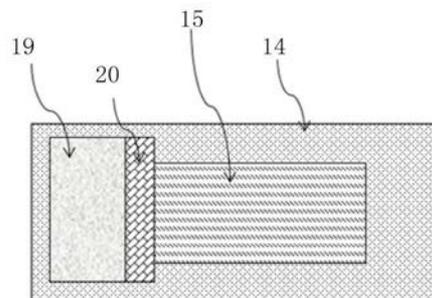


图4b

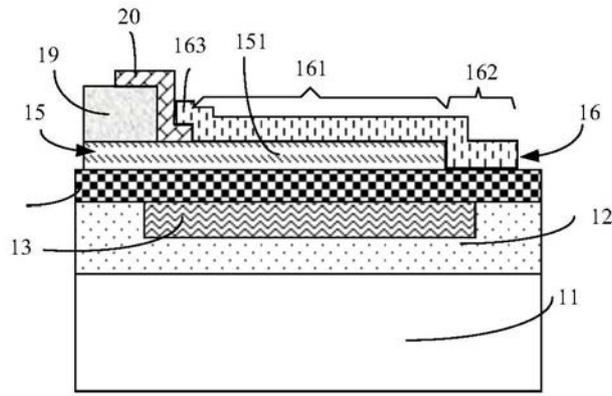


图5a

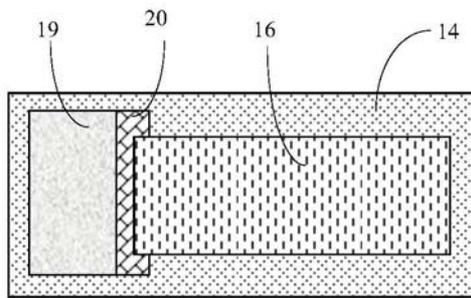


图5b

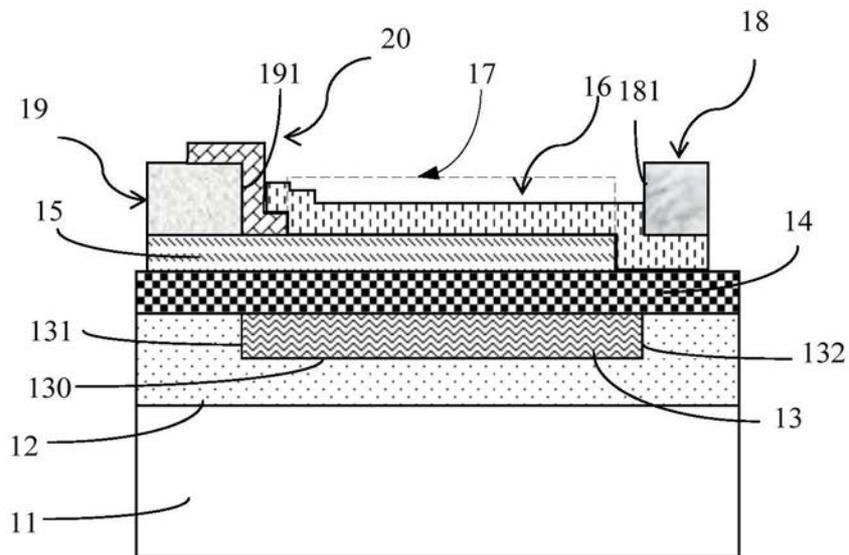


图6

$$V_g - V_T < 0, V_d > 0$$

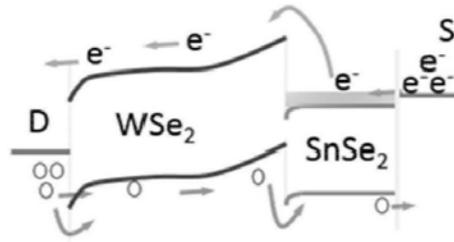


图7a

$$V_g - V_T < 0, V_d < 0$$

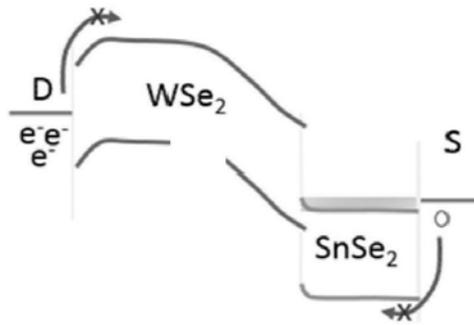


图7b

$$V_g - V_T > 0, V_d > 0$$

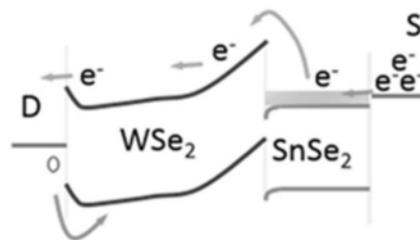


图8a

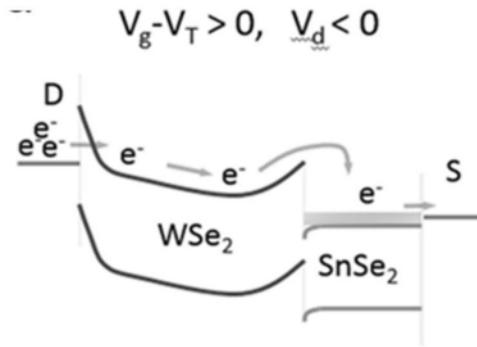


图8b

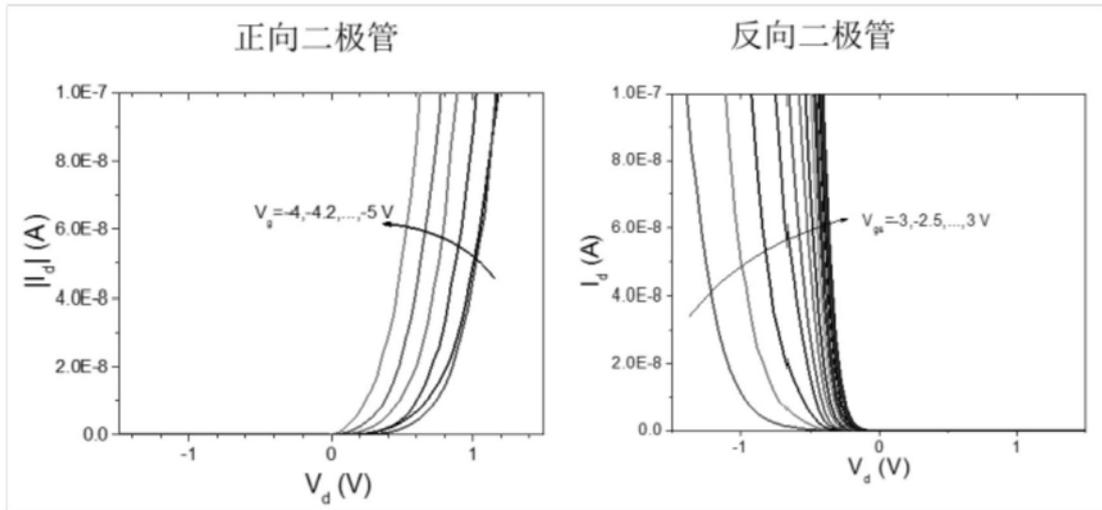


图9a

图9b

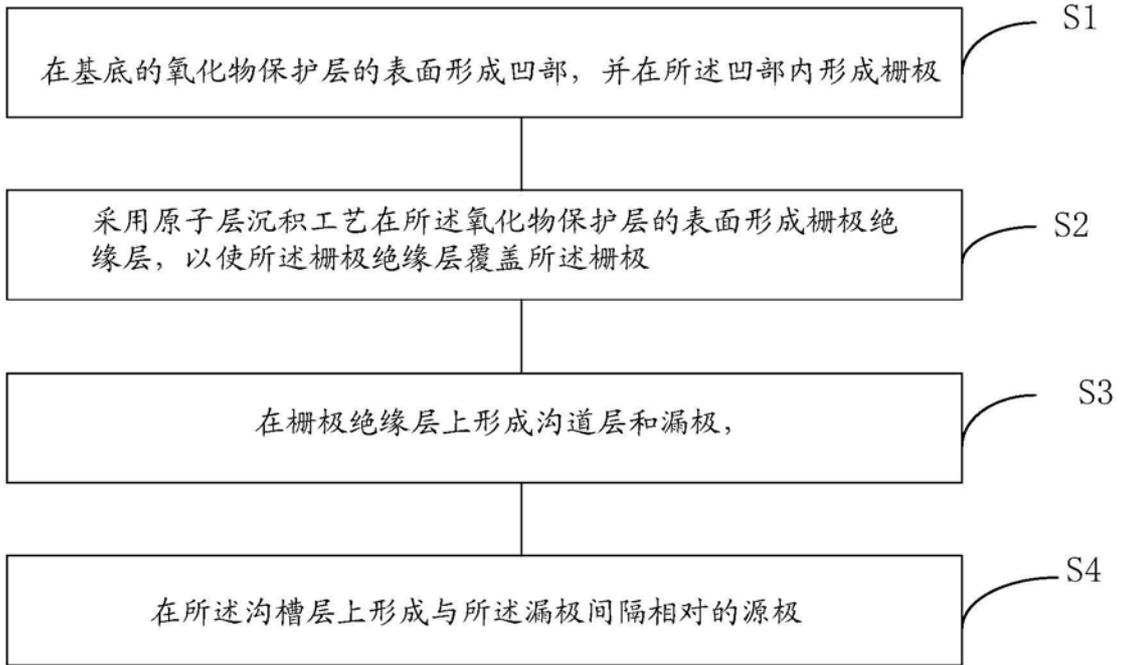


图10

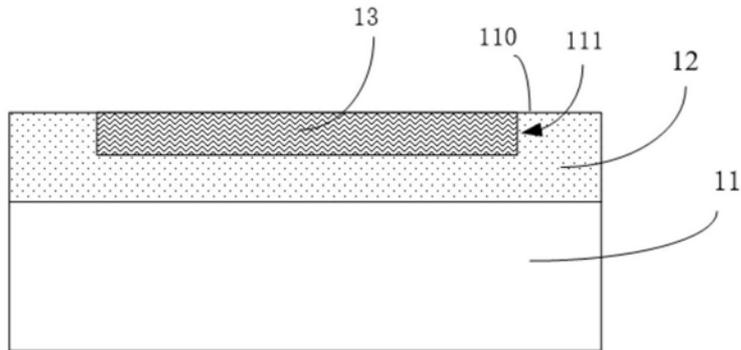


图11

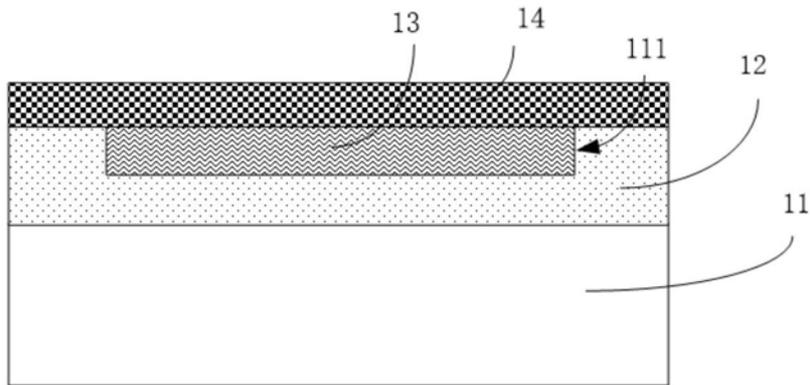


图12

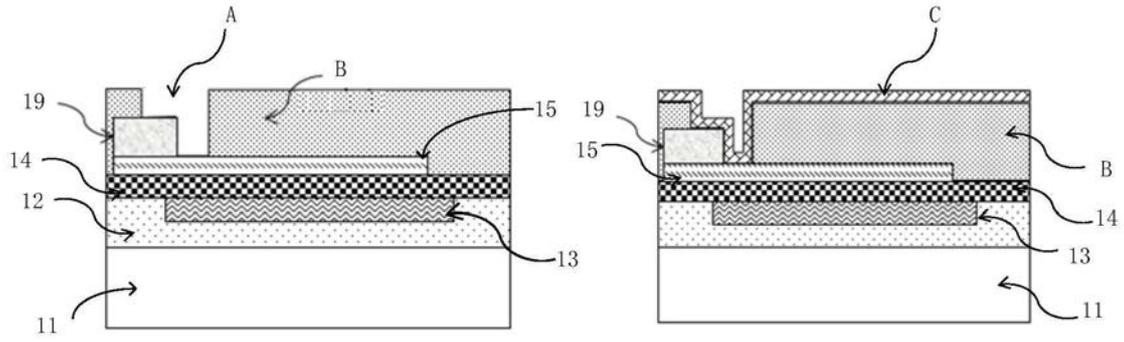


图13a

图13b

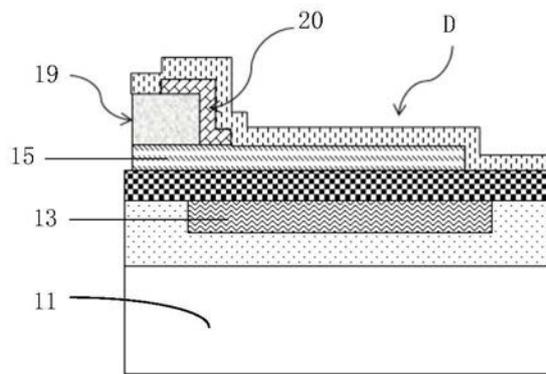


图14a

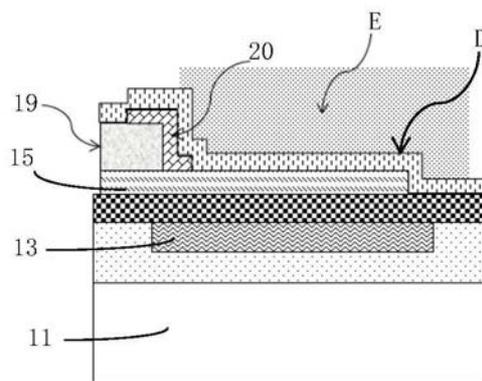


图14b