

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-49684
(P2006-49684A)

(43) 公開日 平成18年2月16日(2006.2.16)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/027 (2006.01)	HO 1 L 21/30 5 2 2 Z	5 F O 3 2
HO 1 L 29/78 (2006.01)	HO 1 L 21/30 5 0 6 A	5 F O 4 6
HO 1 L 27/06 (2006.01)	HO 1 L 29/78 3 0 1 R	5 F O 4 8
HO 1 L 21/8249 (2006.01)	HO 1 L 27/06 3 2 1 C	5 F 1 4 0
HO 1 L 21/76 (2006.01)	HO 1 L 21/76 L	

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号	特願2004-230637 (P2004-230637)	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成16年8月6日(2004.8.6)	(74) 代理人	100111383 弁理士 芝野 正雅
		(72) 発明者	奥田 文雄 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		(72) 発明者	小内 聡 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		Fターム(参考)	5F032 AA34 AA35 BA01 CA01 CA17 CA18 DA02 DA12 DA23 DA24 DA33 5F046 EA30 EB01 EB07

最終頁に続く

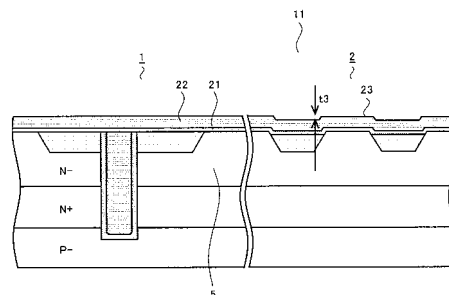
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 従来の半導体装置の製造方法では、素子形成領域の平坦性を維持しつつ、遮光性の膜に対するアライメントマークを形成することが困難であるという問題があった。

【解決手段】 本発明の半導体装置の製造方法では、エピタキシャル層5表面から溝部9を形成する。溝部9をNSG膜で埋設し、CMP法により研磨することで、エピタキシャル層5表面を平坦面とすることができる。そして、スクライプライン領域2では、第1の段差部10の一部を露出するように、NSG膜11の一部を除去する。この工程により、多結晶シリコン膜22に対し、第2の段差部23を形成することができ、該第2の段差部23をアライメントマークとして利用することができる。

【選択図】 図12



【特許請求の範囲】

【請求項 1】

半導体層表面に、所望の領域に開口部が設けられた第 1 の絶縁膜を形成し、該開口部を介して前記半導体層に溝を形成し、前記半導体層に第 1 の段差部を形成する工程と、

前記溝を埋設するように第 2 の絶縁膜を形成した後、前記第 1 の絶縁膜をストッパー膜として前記第 2 の絶縁膜を研磨する工程と

前記第 1 の絶縁膜を除去した後、前記第 1 の段差部の一部が露出するように前記第 2 の絶縁膜の一部を除去する工程と、

前記半導体層上面にシリコン膜または金属膜を堆積し、前記露出した第 1 の段差部上方の前記シリコン膜または前記金属膜に形成される第 2 の段差部をアライメントマークとして用い、前記シリコン膜または前記金属膜を選択的に除去する工程とを有することを特徴とする半導体装置の製造方法。

10

【請求項 2】

前記第 1 の段差部が前記半導体層表面から 300 ~ 1000 露出するように、前記第 2 の絶縁膜をエッチングにより除去することを特徴とする半導体装置の製造方法。

【請求項 3】

前記第 1 の段差部を前記半導体層のスクライプライン領域に形成し、該スクライプライン領域に形成された前記第 2 の絶縁膜を除去することを特徴とする請求項 1 または請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記第 2 の絶縁膜を研磨する工程では、CMP 法を用いることを特徴とする請求項 1 に記載の半導体装置の製造方法。

20

【請求項 5】

前記スクライプライン領域により区画される前記半導体層では、前記溝を利用して分離領域を形成することを特徴とする請求項 3 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、露光工程で使用する好適なアライメントマークを製造するための半導体装置の製造方法に関する。

30

【背景技術】

【0002】

従来のアライメントマークの製造方法では、SOI (Silicon On Insulator) 基板を用い、該 SOI 基板に半導体素子等の電気回路部分とアライメントマーク領域とを形成する。アライメントマーク領域では、SOI 基板の最表面に位置する半導体薄膜層において、残されたシリコン部分から成る凸部の周辺を埋め込むように、酸化シリコン部分を形成する。尚、酸化シリコン部分は、半導体薄膜層下面の絶縁層と一体に形成されている。そして、凸部及び酸化シリコン部分が形成される領域の上面には、絶縁層から成る保護層を形成する。後工程において、凸部上面にシリコン結晶あるいはシリサイド化合物が形成されることを防止する。保護層及び酸化シリコン部分は、位置合わせ時の光に対して良好な透光性を有し、この製造方法により形成されたアライメントマークは、良好な視認性を有しているものがあった (例えば、特許文献 1 参照。)

40

【0003】

従来の半導体装置の製造方法では、LOCOS (Local Oxidation of Silicon) 法に替えて、STI (Shallow Trench Isolation) 法を用い、半導体層表面の平坦性及び微細化を実現する。具体的には、該 STI 法により形成した溝を絶縁膜により埋設し、該絶縁膜上面からトレンチを形成する。そして、該トレンチ側壁に熱酸化膜 (SiO_2) を形成する。その後、CVD (Chemical Vapor Deposition) 法により、CVD 酸化膜 (CVD- SiO_2) でトレンチ内を埋設し、分離領域を形成するものがあった (例えば、特許文献 2 参照

50

。)。

【特許文献1】特開2001-307999号公報(第5-8頁、第1-3図)

【特許文献2】特開平09-8119号公報(第7-9頁、第2-10図)

【発明の開示】

【発明が解決しようとする課題】

【0004】

上述したように、アライメントマーク領域では、活性領域における分離領域を形成する際に、LOCOS法を用いていた。SOI基板の最表面に位置する半導体薄膜層にシリコン部分からなる凸部を形成する。そして、該凸部の周辺を酸化シリコン部分で埋め込み、アライメントマークを形成していた。つまり、従来の製造方法では、電気回路部及びアライメントマーク領域においても、半導体薄膜層表面に凹凸が形成されていた。特に、電気回路部の分離領域では、該表面の凹凸により、分離領域上面に受動素子を形成し難いという問題があった。また、分離領域における凹部上面では、配線層が断線し易いという問題があった。

10

【0005】

また、従来の半導体装置の製造方法では、半導体層表面の平坦性を実現するために、分離領域を形成する際に、LOCOS法に替えてSTI法を用いていた。その後、例えば、CMP(Chemical Mechanical Polishing)法により、半導体層表面に一様に平坦面を形成していた。そして、この製造方法では、アライメントマーク領域上面も平坦面となっていた。そのため、例えば、アライメントマークの上面にシリコン膜等の遮光性の膜が堆積した場合には、シリコン部分とシリコン酸化部分との段差を用い、光検出用としてのアライメントマークの利用が出来なくなってしまうという問題があった。

20

【課題を解決するための手段】

【0006】

本発明は、上述した各事情に鑑みて成されたものであり、本発明の半導体装置の製造方法では、半導体層表面に、所望の領域に開口部が設けられた第1の絶縁膜を形成し、該開口部を介して前記半導体層に溝を形成し、前記半導体層に第1の段差部を形成する工程と、前記溝を埋設するように第2の絶縁膜を形成した後、前記第1の絶縁膜をストッパー膜として前記第2の絶縁膜を研磨する工程と前記第1の絶縁膜を除去した後、前記第1の段差部の一部が露出するように前記第2の絶縁膜の一部を除去する工程と、前記半導体層上面にシリコン膜または金属膜を堆積し、前記露出した第1の段差部上方の前記シリコン膜または前記金属膜に形成される第2の段差部をアライメントマークとして用い、前記シリコン膜または前記金属膜を選択的に除去する工程とを有することを特徴とする。従って、本発明の半導体装置の製造方法では、半導体層表面の平坦性を維持しつつ、アライメントマークを形成する領域では、アライメントマーク用の段差部を形成することができる。

30

【0007】

また、本発明の半導体装置の製造方法では、前記第1の段差部が前記半導体層表面から300~1000露出するように、前記第2の絶縁膜をエッチングにより除去することを特徴とする。従って、本発明の半導体装置の製造方法では、アライメントマークを形成する領域の半導体層表面に、300~1000の段差部を形成する。そのことで、半導体層上面にシリコン膜等の遮光性の膜を形成した場合でも、該シリコン膜等に形成された新たな段差部をアライメントマークとして用いることができる。

40

【0008】

また、本発明の半導体装置の製造方法では、前記第2の絶縁膜を研磨する工程では、CMP法を用いることを特徴とする。従って、本発明の半導体装置の製造方法では、STI法による溝を絶縁膜で埋設した後、CMP法により該絶縁膜を研磨し、半導体層表面を平坦面とする。そのことで、素子形成領域では、分離領域上面に容量素子等の受動素子を形成できる。また、分離領域上面の配線層の断線を防ぐことができる。

【発明の効果】

50

【0009】

本発明では、半導体層表面の平坦性を実現するために、LOCOS法に替えてSTI法を用いる。STI法による溝を絶縁膜で埋設した後に、CMP法により該絶縁膜を研磨し、半導体層表面に平坦面を形成する。そして、アライメントマーク領域では、該絶縁膜の一部を除去し、アライメントマーク用の段差部を形成する。そのことで、素子形成領域では、半導体層表面の平坦性を維持することができる。一方、アライメントマーク領域では、アライメントマーク用の段差部を形成することができる。

【0010】

また、本発明では、アライメントマーク領域に、半導体層表面から、例えば、300～1000の段差部を形成する。そのことで、半導体層上面にシリコン膜等の遮光性の膜を形成した場合でも、該段差部を介して該シリコン膜等に形成された新たな段差部をアライメントマークとして用いることができる。

10

【0011】

また、本発明では、STI法及びCMP法を用いることで、特に、素子形成領域の分離領域での平坦性を実現できる。そのことで、素子形成領域では、分離領域上面に容量素子等の受動素子を形成できる。また、分離領域上面の配線層の断線を防ぐことができる。

【発明を実施するための最良の形態】

【0012】

以下に、本発明の一実施の形態である半導体装置の製造方法について、図1～図12を参照し、詳細に説明する。そして、図1～図9、図11及び図12は、本発明の半導体装置の製造方法を説明するための断面図である。図10は、本発明の半導体装置の製造方法において、アライメントマークが形成されたスクライプライン領域を説明するための平面図である。

20

【0013】

尚、図1～図9、図11及び図12における断面図では、単結晶シリコン基板の左半に素子形成領域1を示し、該基板の右半にアライメントマークを形成するスクライプライン領域2を示す。また、その図では、素子形成領域1には、分離領域のみが示されているが、その他の領域には、バイポーラトランジスタ、Nチャネル型MOSトランジスタ、Pチャネル型のMOSトランジスタ等の様々な素子が形成されている。

【0014】

図1に示す如く、P型の単結晶シリコン基板3を準備する。基板3表面を熱酸化して全面にシリコン酸化膜を形成する。その後、公知のフォトリソグラフィ技術を用い、N型の埋込拡散層4を形成する。

30

【0015】

次に、基板3をエピタキシャル成長装置のサセプタ上に配置する。そして、例えば、1200程度の高温を与えると共に反応管内にSiHCl₃ガスとH₂ガスを導入する。そのことにより、基板3上にエピタキシャル層5を成長させる。その後、エピタキシャル層5表面に熱酸化法によりシリコン酸化膜6を形成し、シリコン酸化膜6上面にシリコン窒化膜7を堆積する。尚、本実施の形態でのシリコン酸化膜6及びシリコン窒化膜7は本発明の「第1の絶縁膜」に対応するが、本発明の「第1の絶縁膜」はSTI法に利用できる膜であれば良い。また、本実施の形態での基板3及びエピタキシャル層5が本発明の「半導体層」に対応する。そして、本実施の形態では、基板上に1層のエピタキシャル層が形成されている場合を示すが、この場合に限定するものではない。例えば、本発明の「半導体層」としては、基板のみの場合でも良く、基板上面に複数のエピタキシャル層が積層されている場合でも良い。また、基板は、N型の単結晶シリコン基板、化合物半導体基板でも良い。

40

【0016】

図2に示す如く、公知のフォトリソグラフィ技術により、溝部9を形成する部分に開口部が設けられたフォトレジスト8を選択マスクとして形成する。そして、ドライエッチングにより、シリコン酸化膜6、シリコン窒化膜7を除去した後、更に、エピタキシャル層

50

5を5000程度除去する。エピタキシャル層5には、その表面から溝部9が形成される。

【0017】

ここで、スクライプライン領域2では、溝部9を利用し、エピタキシャル層5表面に対しての段差t1を有する、第1の段差部10が形成される。そして、後工程において、溝部9には、NSG(Non-Doped-Silicate Glass)膜11(図3参照)が埋設される。この構造により、第1の段差部10は第1のアライメントマークとして利用され、例えば、NPNトランジスタのコレクタ領域等の拡散領域を形成する際に用いられる。この場合には、第1のアライメントマークの上面には、遮光性の多結晶シリコン膜(PolySi)等が形成されていない。そのため、第1のアライメントマークは、エピタキシャル層とNSG膜とへのレーザー光の反射の差を利用し、レジストマスクのパターニングする際に用いられる。

10

【0018】

尚、本実施の形態での溝部9が本発明の「溝」に対応するが、本発明の「溝」は、例えば、エピタキシャル層5表面に対して窪んだ形状であれば良く、任意の製造方法により形成されても良い。

【0019】

図3に示す如く、フォトレジスト8を除去した後、エピタキシャル層5上面に、高密度プラズマCVD法により、NSG膜11を堆積する。このとき、溝部9を埋設するように、NSG膜11を、例えば、6000程度堆積する。

20

【0020】

次に、NSG膜11の上面に、減圧CVD法により、約800の温度条件下で、HTO(High Temperature Oxide)膜12を堆積する。このとき、HTO膜12を、その膜厚が3000~5000の範囲内で堆積する。そして、HTO膜12は、NSG膜11よりも段差被覆性に優れた膜である。一方、NSG膜11は、HTO膜12よりも埋め込み特性に優れており、上述したように、溝部9を埋設する工程に用いられる。

【0021】

尚、本実施の形態でのNSG膜11及びHTO膜12が本発明の「第2の絶縁膜」に対応するが、本発明の「第2の絶縁膜」は溝部9を埋め込む膜であれば良い。また、本発明の「第2の絶縁膜」としては、少なくともNSG膜11のみでも良い。

30

【0022】

図4に示す如く、素子形成領域1では、公知のフォトリソグラフィ技術により、HTO膜12上面に、分離領域用のトレンチ15(図5参照)を形成する部分に開口部が設けられたフォトレジスト13を選択マスクとして形成する。その後、ドライエッチングにより、NSG膜11及びHTO膜12を選択的に除去し、トレンチ15形成領域のNSG膜11及びHTO膜12に開口部14を形成する。

【0023】

図5に示す如く、素子形成領域1では、フォトレジスト13を除去した後、NSG膜11及びHTO膜12をハードマスクとして、ドライエッチングにより、トレンチ15を形成する。そして、トレンチ15は、例えば、6 μ m程度の深さとなるように形成される。尚、トレンチ15を形成する工程時に、HTO膜12もその表面から除去され、トレンチ15形成後には、HTO膜12の膜厚も薄くなる。ここで、HTO膜12の膜厚を上述した範囲内で堆積するのは、HTO膜12の膜厚が3000よりも薄い場合には、エッチング不良の問題が発生することもあるからである。一方、HTO膜12の膜厚が5000よりも厚い場合には、NSG膜11及びHTO膜12をパターニングするのが困難となることもあるからである。

40

【0024】

図6に示す如く、トレンチ15内部及びHTO膜12の上面に、減圧CVD法により、約800の温度条件下で、HTO膜16を堆積する。HTO膜16は3000程度堆

50

積され、トレンチ15の内壁からトレンチ15の一部が埋設される。その後、HTO膜16上面に、CVD法により、多結晶シリコン膜17を堆積する。多結晶シリコン膜17は8000程度堆積され、トレンチ15内部は多結晶シリコン膜17により完全に埋設される。

【0025】

本実施の形態では、トレンチ15をHTO膜16で埋設する工程の前に、トレンチ15の内壁に熱酸化法によりシリコン酸化膜を形成する工程を省略している。当該シリコン酸化膜を形成する工程の省略により、基板3自体が、熱酸化法による熱環境下に置かれることはなく、例えば、溝部9やトレンチ15のコーナー部から結晶欠陥が発生することを大幅に低減することができる。

10

【0026】

図7に示す如く、シリコン窒化膜7をストッパー膜として用い、CMP法により、NSG膜11、HTO膜12、16及び多結晶シリコン膜17を研磨し、少なくともその一部を除去する。そして、この工程により、溝部9はNSG膜11で埋設され、トレンチ15はHTO膜16及び多結晶シリコン膜17で埋設された構造が得られる。

【0027】

図8に示す如く、シリコン窒化膜7を約160のリン酸により除去した後、シリコン酸化膜6を希釈フッ酸(HF)により除去する。このとき、シリコン酸化膜6を除去する際に、NSG膜11の一部も除去され、分離領域では、実質、平坦面18が形成される。ここで、本実施の形態でいう分離領域の平坦面18とは、溝部9を埋設するNSG膜11とトレンチ15を埋設するHTO膜16及び多結晶シリコン膜17とで形成される面をいう。

20

【0028】

尚、本実施の形態では、1回のCMP工程により、溝部9に埋設されたNSG膜11とトレンチ15に埋設された多結晶シリコン膜17とを研磨し、除去することができる。つまり、溝部9をNSG膜11で埋設した後に1回目のCMP法を用いた工程を行い、トレンチ15をHTO膜16及び多結晶シリコン膜17で埋設した後に2回目のCMP法を用いた工程を行う場合と比較して、製造プロセスを簡略化することができる。また、高価なCMP法を用いた工程を1回とすることができるので、製造コストを低減することができる。

30

【0029】

また、本実施の形態では、トレンチ15を多結晶シリコン膜17で埋設する前に、HTO膜16を埋設している。そして、多結晶シリコン膜17を堆積する量を低減することで、多結晶シリコン膜17がエピタキシャル層5等上面に堆積する膜厚も低減することができる。そのことで、CMP法を用いた工程により、多結晶シリコン膜17を研磨する量も低減でき、高価なCMP法を用いた工程時間を短縮することができる。

【0030】

図9に示す如く、スクライプライン領域2では、第1の段差部10と溝部9を埋設したNSG膜11とにより、実質、平坦面19が形成されている。上述したように、第1の段差部10は第1のアライメントマークとして利用される。尚、平坦面19は、平坦面18と同様に、CMP工程により形成された面である。そして、平坦面19には、CMP法の後に、シリコン窒化膜7及びシリコン酸化膜6を除去する際に、その表面に形成される凹凸も含まれるものとする。

40

【0031】

しかしながら、素子形成領域1に、MOSトランジスタのゲート電極、NPNトランジスタのエミッタ取り出し電極等を形成する際には、エピタキシャル層5全面に多結晶シリコン膜を堆積する。その後、該多結晶シリコン膜を選択的に除去するが、多結晶シリコン膜は遮光性の膜であり、第1のアライメントマークを利用することができなくなるという問題があった。

【0032】

50

そこで、本実施の形態では、第1の段差部10の一部がNSG膜11から露出するように、NSG膜11をウェットエッチングで除去する。そして、第1の段差部10の表面からNSG膜11を、例えば、300～1000程度除去する。このとき、図10に示すように、公知のフォトリソグラフィ技術により、スクライプライン領域2の第1のアライメントマークが形成された領域に開口部が設けられたフォトレジスト20を選択マスクとして形成する。

【0033】

図11に示す如く、フォトレジスト20を選択マスクとして、ウェットエッチングにより、NSG膜11を、例えば、300～1000程度除去する。その後、フォトレジスト20を除去する。この工程により、スクライプライン領域2では、エピタキシャル層5表面から、例えば、300～1000程度の段差t2が形成される。つまり、第1の段差部10の一部が、その表面から、例えば、300～1000程度露出する。一方、素子形成領域1では、CMP法により形成した平坦面を維持することができる。

10

【0034】

図12に示す如く、例えば、素子形成領域1にMOSトランジスタのゲート電極等を形成する工程を説明する。まず、ゲート酸化膜を形成するため、CVD法により、エピタキシャル層5上面にシリコン酸化膜21を堆積する。その後、シリコン酸化膜21上面に、CVD法により、多結晶シリコン膜22を堆積する。

【0035】

このとき、スクライプライン領域2では、素子形成領域1と同様に、シリコン酸化膜21及び多結晶シリコン膜22が堆積される。そして、NSG膜11を除去して形成された段差t2により、第1の段差部10の上方の多結晶シリコン膜22には、段差t3が形成される。つまり、スクライプライン領域2には、多結晶シリコン膜22表面に対して段差t3を有する、第2の段差部23が形成される。そして、第2の段差部23は第2のアライメントマークとして用いられ、例えば、レーザー光が第2のアライメントマークに照射され、位置計測が行われる。

20

【0036】

その後、シリコン酸化膜21及び多結晶シリコン膜22は、MOSトランジスタのゲート電極等の領域を残して、選択的に除去される。このとき、第2のアライメントマークは、多結晶シリコン膜22等を除去するレジストマスクをパターニングする際に用いられる。尚、第1の段差部10の一部を露出させるために、NSG膜11を例えば、300～1000程度除去したが、この場合に限定するものではない。例えば、多結晶シリコン膜22等の遮光性の膜に、新たなアライメントマークを形成する際に段差部が形成できる程度の段差を有していれば良い。

30

【0037】

上述したように、本実施の形態では、第1の段差部10上面に多結晶シリコン膜22を堆積し、多結晶シリコン膜22に新たなアライメントマークを形成する場合について説明したが、この場合に限定するものではない。例えば、配線層に用いる金属膜やNPNトランジスタ等の電極を形成するアモルファスシリコン膜等のように、第1のアライメントマーク上面に遮光性の膜を堆積した場合にも用いることができる。

40

【0038】

また、本実施の形態では、素子形成領域1において、分離領域上面の平坦性を実現し、分離領域上面に層間絶縁層、配線層を形成することで、分離領域上面での配線層の断線を防ぐことができる。また、分離領域上面の平坦性により、容量素子等の受動素子を配置することもできる。

【0039】

尚、上述した本実施の形態では、溝部を埋設する膜としてNSG膜を用いる場合について説明したが、この場合に限定するものではなく、その他の絶縁膜を用いる場合でも良い。

【0040】

50

また、溝部を埋設するNSG膜上面に堆積する膜として、HTO膜を用いる場合について説明したが、この場合に限定するものでなく、被覆性が良く、トレンチ形成時のハードマスクとして機能する膜であれば、その他の膜を用いる場合でも良い。例えば、減圧CVD法、または、常圧CVD法により堆積されたシリコン酸化膜(SiO₂)、TEOS(Tetra-Ethyl-Ortho-Silicate)膜、または、シリコン窒化膜でも良い。また、塗布法により形成されたSOG(Spin On Glass)膜でも良い。

【0041】

また、本実施の形態では、アライメントマークに対し、レーザー光を照射し、照射光の回折、散乱を利用する場合について説明したがこの場合に限定するものではない。例えば、アライメントマークを画像処理用のマークとして用いる場合でもよい。そして、アライメントマークの形状は、使用用途に応じて任意の形状とすることができる。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

10

【図面の簡単な説明】

【0042】

【図1】本発明の実施の形態における半導体装置の製造方法を説明する断面図である。

【図2】本発明の実施の形態における半導体装置の製造方法を説明する断面図である。

【図3】本発明の実施の形態における半導体装置の製造方法を説明する断面図である。

【図4】本発明の実施の形態における半導体装置の製造方法を説明する断面図である。

【図5】本発明の実施の形態における半導体装置の製造方法を説明する断面図である。

20

【図6】本発明の実施の形態における半導体装置の製造方法を説明する断面図である。

【図7】本発明の実施の形態における半導体装置の製造方法を説明する断面図である。

【図8】本発明の実施の形態における半導体装置の製造方法を説明する断面図である。

【図9】本発明の実施の形態における半導体装置の製造方法を説明する断面図である。

【図10】本発明の実施の形態における半導体装置の製造方法を説明する平面図である。

【図11】本発明の実施の形態における半導体装置の製造方法を説明する断面図である。

【図12】本発明の実施の形態における半導体装置の製造方法を説明する断面図である。

【符号の説明】

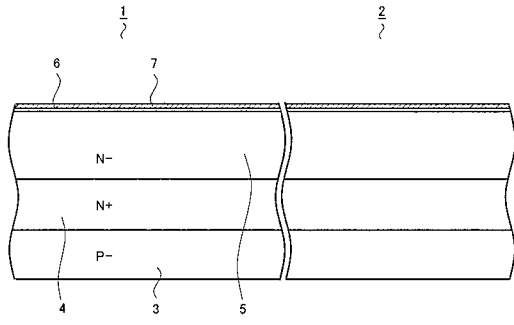
【0043】

- 1 素子形成領域
- 2 スクライプライン領域
- 3 P型の単結晶シリコン基板
- 5 N型のエピタキシャル層
- 6 シリコン酸化膜
- 7 シリコン窒化膜
- 9 溝部
- 10 第1の段差部
- 11 NSG膜
- 12 HTO膜
- 17 多結晶シリコン膜
- 19 平坦面
- 21 シリコン酸化膜
- 22 多結晶シリコン膜
- 23 第2の段差部

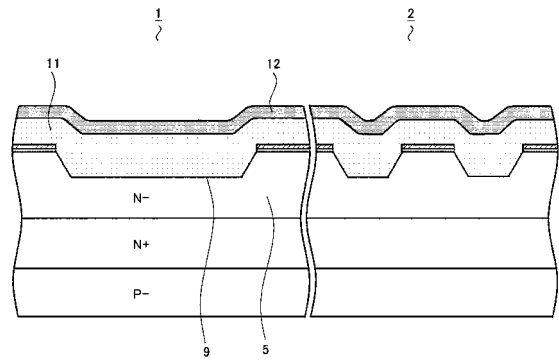
30

40

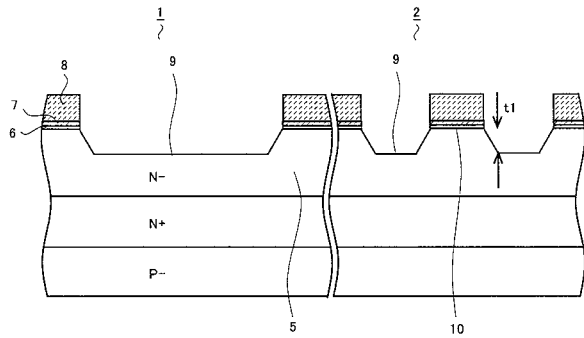
【図 1】



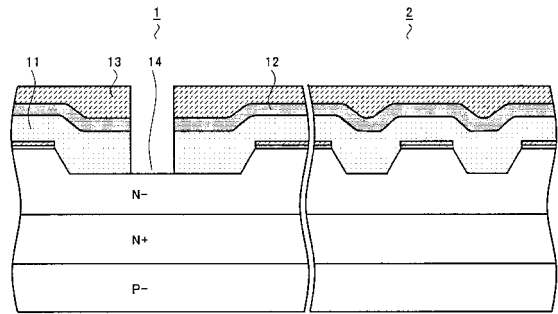
【図 3】



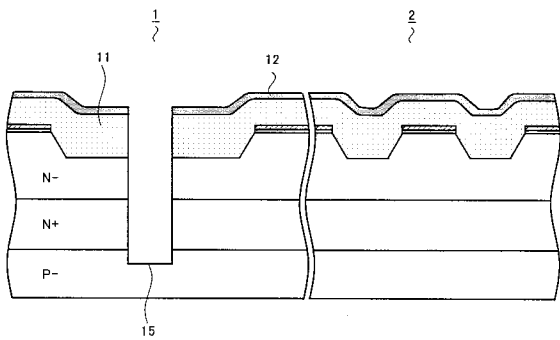
【図 2】



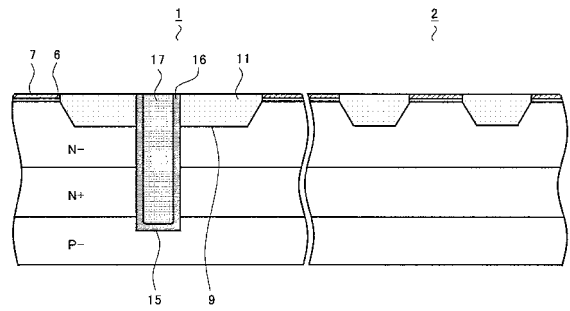
【図 4】



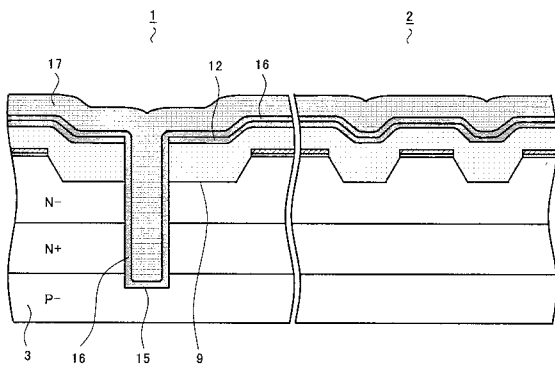
【図 5】



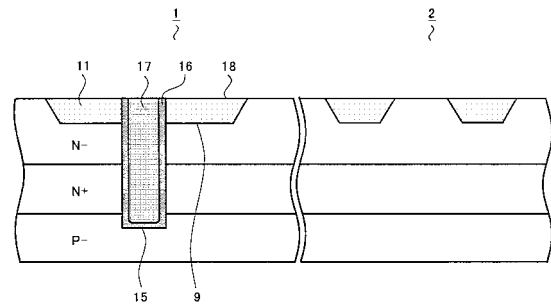
【図 7】



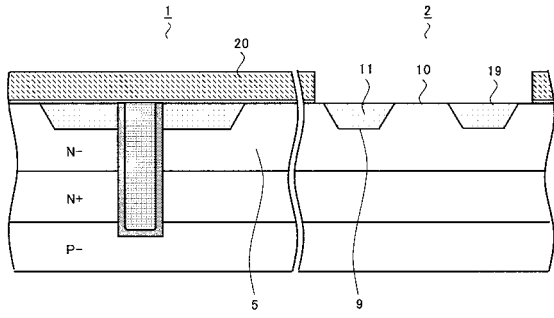
【図 6】



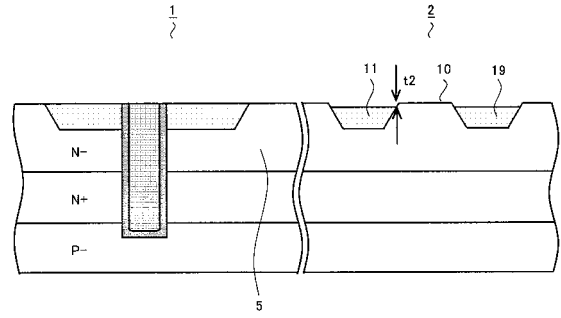
【図 8】



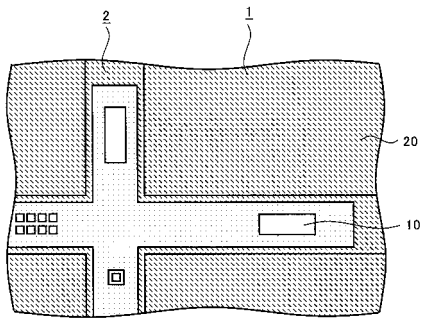
【図 9】



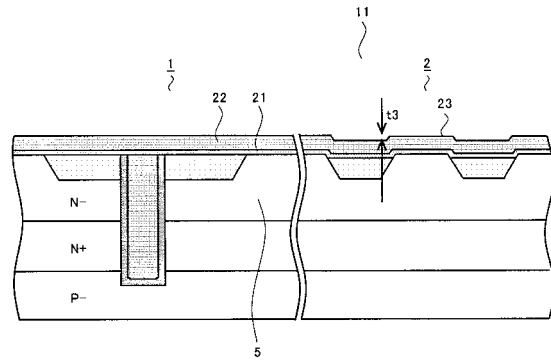
【図 11】



【図 10】



【図 12】



フロントページの続き

Fターム(参考) 5F048 AC07 BA01 BA02 BA07 BA12 BB05 BG13 BG14 CA03 CA07
CA14
5F140 AA00 AB07 BF04 CB04 CE07 CE12