

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02013/137044

発行日 平成27年8月3日 (2015.8.3)

(43) 国際公開日 平成25年9月19日 (2013.9.19)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H05K 3/46 (2006.01)</b>	H05K 3/46	4E351
<b>H05K 1/16 (2006.01)</b>	H05K 1/16	5E316
	H05K 3/46	N

審査請求 有 予備審査請求 有 (全 27 頁)

出願番号 特願2014-504799 (P2014-504799)	(71) 出願人 598015084
(21) 国際出願番号 PCT/JP2013/055846	学校法人福岡大学
(22) 国際出願日 平成25年3月4日 (2013.3.4)	福岡県福岡市城南区七隈8丁目19番1号
(31) 優先権主張番号 特願2012-60957 (P2012-60957)	(71) 出願人 000003089
(32) 優先日 平成24年3月16日 (2012.3.16)	東光株式会社
(33) 優先権主張国 日本国 (JP)	埼玉県鶴ヶ島市大字五味ヶ谷18番地
	(74) 代理人 100099634
	弁理士 平井 安雄
	(72) 発明者 友景 肇
	福岡県福岡市城南区七隈八丁目19番1号
	学校法人福岡大学内
	(72) 発明者 中西 圭一
	埼玉県鶴ヶ島市五味ヶ谷18番地 東光株式会社内

最終頁に続く

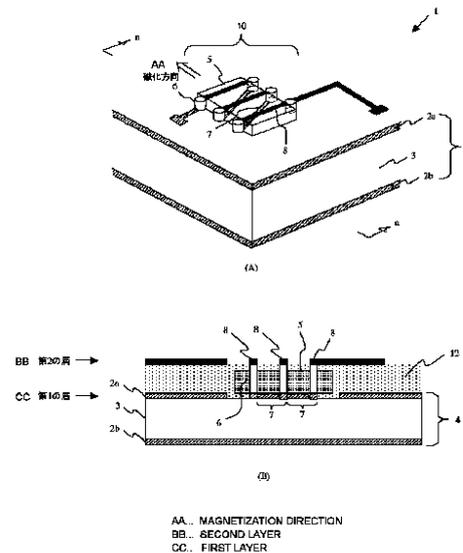
(54) 【発明の名称】 インダクタ内蔵基板製造方法及びインダクタ内蔵基板及びそれを用いた電源モジュール

(57) 【要約】

基板を製造する製造過程で基板に内蔵するインダクタを併せて作り込むことで、インダクタ内蔵基板を効率よく製造することができるインダクタ内蔵基板製造方法を提供する。

コア基板 4 の表面に帯状の複数の第 1 コイル配線 7 のパターンを形成する工程と、形成された帯状の第 1 コイル配線 7 のパターンにおける少なくとも端部 1 1 以外の領域に磁性体 5 を装着する工程と、磁性体 5 を樹脂で埋め込む工程と、帯状の第 1 コイル配線 7 の端部 1 1 と上層の第 2 コイル配線 8 とを接続するためのビア 6 を形成する工程と、形成されたビア 6 をめっきする工程と、めっき工程で形成された上層の金属薄膜に、第 1 コイル配線 7 とビア 6 とを介してコイル状に接続するように、帯状の複数の第 2 コイル配線 8 を形成する工程とを含む。

選択図 図 1



**【特許請求の範囲】****【請求項 1】**

コア基板の表面に帯状の複数の配線パターンを形成する第 1 配線工程と、  
前記第 1 配線工程で形成された帯状の配線パターンにおける少なくとも端部を除く領域に磁性体を装着する磁性体装着工程と、  
前記磁性体を絶縁材で埋め込む埋込工程と、  
帯状の前記配線パターンの端部と上層に形成される配線パターンとを接続するためのビア穴を形成するビア穴形成工程と、  
前記ビア穴形成工程で形成されたビア穴に導電性材料を充填する充填工程と、  
前記充填工程で形成されたビアと接続され、基板の積層方向に対して垂直な方向に磁化するコイルとして配線が形成されるように、前記充填工程で形成された上層の金属薄膜に帯状の複数の配線パターンを形成する第 2 配線工程とを含むことを特徴とするインダクタ内蔵基板製造方法。

10

**【請求項 2】**

請求項 1 に記載のインダクタ内蔵基板製造方法において、  
前記帯状の配線パターン及び前記ビアの形成が、同様のめっき処理で行われることを特徴とするインダクタ内蔵基板製造方法。

**【請求項 3】**

コア基板の表面に形成された帯状の複数の第 1 配線パターンと、当該第 1 配線パターンの少なくとも端部を除く領域に装着される磁性体と、前記第 1 配線パターンと前記磁性体とをモールドする絶縁材と、当該絶縁材の上面に形成される帯状の複数の第 2 配線パターンとを備え、前記第 1 配線パターンと前記第 2 配線パターンとが、前記基板の積層方向に対して垂直な方向に磁化するコイルとして配線が形成されるようにビアで接続されていることを特徴とするインダクタ内蔵基板。

20

**【請求項 4】**

請求項 3 に記載のインダクタ内蔵基板において、  
前記請求項 1 又は 2 に記載のインダクタ内蔵基板製造方法により製造されたインダクタ内蔵基板。

**【請求項 5】**

請求項 3 又は 4 に記載のインダクタ内蔵基板において、  
複数の前記インダクタが並列して配置され、それぞれの前記インダクタにおけるコイルの配線が連続して直列接続されており、相隣る前記インダクタの磁化方向が、夫々逆方向となっていることを特徴とするインダクタ内蔵基板。

30

**【請求項 6】**

請求項 5 に記載のインダクタ内蔵基板において、  
2つの前記磁性体が並列して配置され、当該各磁性体の外側の側面に沿って形成される複数の第 1 ビアと、前記磁性体の内側の側面に沿って形成される前記各磁性体に共通の第 2 ビアとを有し、

前記第 1 配線パターン、第 2 配線パターン、第 1 ビア及び第 2 ビアとで形成される前記コイルが、前記各磁性体に一又は複数ターンごとに交互に巻回されるように前記第 1 配線パターン、第 2 配線パターン、第 1 ビア及び第 2 ビアが形成されていることを特徴とするインダクタ内蔵基板。

40

**【請求項 7】**

請求項 3 又は 4 に記載のインダクタ内蔵基板において、  
前記磁性体が閉ループ状であり、前記第 1 配線パターン、前記第 2 配線パターン及びビアが、前記磁性体を巻回するコイルとして形成されていることを特徴とするインダクタ内蔵基板。

**【請求項 8】**

請求項 3 ないし 7 のいずれかに記載のインダクタ内蔵基板を用いた電源モジュールであって、

50

前記インダクタの上部に当該インダクタと直列に接続されるDC/DCコンバータが搭載されており、前記インダクタの後段部分に、出力部とキャパシタとが並列に接続されており、前記DC/DCコンバータと前記キャパシタとが前記インダクタの磁性体を挟んで対向して配設されていることを特徴とする電源モジュール。

【請求項9】

コア基板に磁性体を埋め込む磁性体埋込工程と、  
前記磁性体が埋め込まれた前記コア基材の表面及び裏面に配線層を形成する配線層形成工程と、

表面及び裏面の前記配線層を接続するためのビア穴を形成するビア穴形成工程と、

前記ビア穴形成工程で形成されたビア穴に導電性材料を充填する充填工程と、

前記充填工程で形成されたビア、並びに、前記コア基材の表面に形成された配線層及び裏面に形成された配線層が、基板の積層方向に対して垂直な方向に磁化するコイルとなるように、前記表面及び裏面の配線層の配線パターンを形成する配線工程とを含むことを特徴とするインダクタ内蔵基板製造方法。

10

【請求項10】

請求項9に記載のインダクタ内蔵基板製造方法において、

前記配線工程により形成された配線パターンの表面及び裏面に再度配線層を形成する第2の配線層形成工程を含み、

前記第2の配線層形成工程、並びに、前記ビア穴形成工程、前記充填工程及び前記配線工程を1又は複数回繰り返して、前記コイルの巻回数を複数回に形成することを特徴とするインダクタ内蔵基板製造方法。

20

【請求項11】

コア基板の表面及び裏面に帯状の複数の配線パターンを形成する第1配線工程と、

前記第1配線工程で形成された前記コア基板の表面及び裏面における帯状の配線パターンの少なくとも端部を除く領域に磁性体を装着する磁性体装着工程と、

前記磁性体を絶縁材で埋め込む埋込工程と、

帯状の前記配線パターンの端部と、各配線パターンの上層に形成される配線パターンとを接続するためのビア穴を形成するビア穴形成工程と、

前記ビア穴形成工程で形成されたビア穴に導電性材料を充填する充填工程と、

前記充填工程で形成されたビアと接続され、前記コア基板を挟んで表面及び裏面のそれぞれに、基板の積層方向に対して垂直な方向に磁化するコイルとして配線が形成されるように、前記充填工程で形成された上層の金属薄膜に帯状の複数の配線パターンを形成する第2配線工程とを含むことを特徴とするインダクタ内蔵基板製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インダクタが内蔵された基板及びその製造方法及びそれを用いた電源モジュールに関する。

【背景技術】

【0002】

近年、電子機器の急速な微細化に伴い、電子機器で使用する素子も微細化が求められる。電子機器で使用する素子として、例えばインダクタがある。インダクタは共振回路やフィルタ回路を構成しており、特に電源モジュールなどで使用される際には大きい許容電流のインダクタが必要となるため、素子自体が大型化してしまうという問題がある。

40

【0003】

このような問題に関連して、インダクタについて、例えば特許文献1ないし3に示すような技術が開示されている。特許文献1ないし3に示す技術は、インダクタ内蔵型多層基板であって、表裏面、もしくはコア層の間に配置された信号の配線層や、グランド層や電源層等からなる複数の配線基板層と、インダクタを内蔵する単層もしくは複数のコア層から構成され、インダクタは、薄い磁性体に、導体を巻線した構造のヘリカル型インダクタ

50

であるインダクタ内蔵型多層基板であり、単層又は多層の積層磁性体を、金属薄膜の配線パターンとスルーホールとで巻回するようにコイルを形成してインダクタ素子を製造することが開示されている。

【0004】

また、インダクタを積層基板内部に内蔵する具体的な製造方法としては、以下の3種類の方法が開示されている。1つ目は、予め電子部品を配置する位置に貫通孔を開け利用する方法、2つ目は、予め部品を配置する位置に半貫通孔を開け、部品を配置し、圧着することで、樹脂の移動量を少なくした方法、3つ目は、部品を下部の基板に接続し、その上に基板を載せそのまま圧着する方法である。いずれの技術も、部品として製造されたインダクタを基板の製造工程の中で埋め込んで内蔵することで、インダクタ内蔵基板を製造する。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2004-319875号公報

【特許文献2】特開2004-363162号公報

【特許文献3】特開2005-101175号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、上記各特許文献に記載の技術は、インダクタを製造する工程と基板を製造する工程とが夫々個別の独立した工程であるため、製造効率が悪くなってしまふ。また、インダクタを製造する工程と基板を製造する工程とが独立しているため、基板における配線の抵抗、容量等の特性と、インダクタにおける配線の抵抗、容量等の特性とが異なってしまう可能性が高く、インダクタの接続部分等で不具合が発生し基板の精度が悪くなってしまふ。

20

【0007】

本発明は、基板を製造する製造過程で基板に内蔵するインダクタを併せて作り込むことで、インダクタ内蔵基板を非常に効率よく製造することができると共に、配線の特性が共通化されている高精度なインダクタ内蔵基板及びその製造方法を提供する。

30

【課題を解決するための手段】

【0008】

本発明に係るインダクタ内蔵基板製造方法は、コア基板の表面に帯状の複数の配線パターンを形成する第1配線工程と、前記第1配線工程で形成された帯状の配線パターンにおける少なくとも端部を除く領域に磁性体を装着する磁性体装着工程と、前記磁性体を絶縁材で埋め込む埋込工程と、帯状の前記配線パターンの端部と上層に形成される配線パターンとを接続するためのビア穴を形成するビア穴形成工程と、前記ビア穴形成工程で形成されたビア穴に導電性材料を充填する充填工程と、前記充填工程で形成されたビアと接続され、基板の積層方向に対して垂直な方向に磁化するコイルとして配線が形成されるように、前記充填工程で形成された上層の金属薄膜に帯状の複数の配線パターンを形成する第2配線工程とを含むものである。

40

【0009】

このように、本発明に係るインダクタ内蔵基板製造方法においては、通常の基板製造工程の中で、磁性体をコアとするインダクタが作り込まれるため、インダクタが内蔵された基板を非常に効率よく製造することができるという効果を奏する。

【0010】

また、基板製造工程の中でインダクタのコイルとしての配線が作り込まれることで、インダクタのコイルに流れる電流の配線と基板の配線との電気的な特性（抵抗や容量等）を共通化することができ、非常に高精度なインダクタ内蔵基板を製造することが可能になるという効果を奏する。

50

## 【0011】

本発明に係るインダクタ内蔵基板製造方法は、前記帯状の配線パターン及び前記ビアの形成が、同様のめっき処理で行われるものである。

## 【0012】

このように、本発明に係るインダクタ内蔵基板製造方法においては、基板製造工程の中で、特に同様のめっき処理によりインダクタのコイルとしての配線が作り込まれることで、インダクタに流れる電流の配線と基板の配線との電気的な特性（抵抗や容量等）を共通化することができ、非常に高精度なインダクタ内蔵基板を製造することが可能になるといふ効果を奏する。

## 【0013】

本発明に係るインダクタ内蔵基板は、コア基板の表面に形成された帯状の複数の第1配線パターンと、当該第1配線パターンの少なくとも端部を除く領域に装着される磁性体と、前記第1配線パターンと前記磁性体とをモールドする絶縁材と、当該絶縁材の上面に形成される帯状の複数の第2配線パターンとを備え、前記第1配線パターンと前記第2配線パターンとが、前記基板の積層方向に対して垂直な方向に磁化するコイルとして配線が形成されるようにビアで接続されているものである。

10

## 【0014】

このように、本発明に係るインダクタ内蔵基板においては、コア基板の表面に形成された帯状の複数の第1配線パターンと、当該第1配線パターンの少なくとも端部を除く領域に装着される磁性体と、前記第1配線パターンと前記磁性体とをモールドする絶縁材と、当該絶縁材の上面に形成される帯状の複数の第2配線パターンとを備え、前記第1配線パターンと前記第2配線パターンとが、前記基板の積層方向に対して垂直な方向に磁化するコイルとして配線が形成されるようにビアで接続されているため、インダクタのコイルに流れる電流の配線と基板の配線との電気的な特性（抵抗や容量等）を共通化することができ、非常に高精度なインダクタ内蔵基板を実現することができるという効果を奏する。

20

## 【0015】

本発明に係るインダクタ内蔵基板は、複数の前記インダクタが並列して配置され、それぞれの前記インダクタにおけるコイルの配線が連続して直列接続されており、相隣る前記インダクタの磁化方向が、夫々逆方向となっているものである。

## 【0016】

このように、本発明に係るインダクタ内蔵基板は、複数の前記インダクタが並列して配置され、それぞれの前記インダクタにおけるコイルの配線が連続して直列接続されており、相隣る前記インダクタの磁化方向が、夫々逆方向となっているため、インダクタンスを大きくすると共に、隣接配設されるインダクタ同士の鎖交磁束により、外部への磁界の影響を格段に減少させて高精度なインダクタ内蔵基板を実現することができるという効果を奏する。

30

## 【0017】

本発明に係るインダクタ内蔵基板は、2つの前記磁性体が並列して配置され、当該各磁性体の外側の側面に沿って形成される複数の第1ビアと、前記磁性体の内側の側面に沿って形成される前記各磁性体に共通の第2ビアとを有し、前記第1配線パターン、第2配線パターン、第1ビア及び第2ビアとで形成される前記コイルが、前記各磁性体に一又は複数ターンごとに交互に巻回されるように前記第1配線パターン、第2配線パターン、第1ビア及び第2ビアが形成されているものである。

40

## 【0018】

このように、本発明に係るインダクタ内蔵基板は、2つの前記磁性体が並列して配置され、当該各磁性体の外側の側面に沿って形成される複数の第1ビアと、前記磁性体の内側の側面に沿って形成される前記各磁性体に共通の第2ビアとを有し、前記第1配線パターン、第2配線パターン、第1ビア及び第2ビアとで形成される前記コイルが、前記各磁性体に一又は複数ターンごとに交互に巻回されるように前記第1配線パターン、第2配線パターン、第1ビア及び第2ビアが形成されているため、磁性体の内側の側面に沿って、す

50

なわち2つの磁性体の間に形成される第2ピアを共通化することができ、インダクタの占有面積を小さくして、素子を微細化することが可能になるという効果を奏する。

【0019】

本発明に係るインダクタ内蔵基板は、前記磁性体が閉ループ状であり、前記第1配線パターン、前記第2配線パターン及びピアが、前記磁性体を巻回するコイルとして形成されているものである。

【0020】

このように、本発明に係るインダクタ内蔵基板においては、磁性体が閉ループ状となっているため、磁束が安定して鎖交するという効果を奏する。

【0021】

本発明に係る電源モジュールは、前記インダクタ内蔵基板を用いた電源モジュールであって、前記インダクタの上部に当該インダクタと直列に接続されるDC/DCコンバータが搭載されており、前記インダクタの後段部分に、出力部とキャパシタとが並列に接続されており、前記DC/DCコンバータと前記キャパシタとが前記インダクタの磁性体を挟んで対向して配設されているものである。

【0022】

このように、本発明に係る電源モジュールは、インダクタを構成する磁性体によりDC/DCコンバータからの不要な電磁波が吸収されて高精度な電源モジュールを実現することができるという効果を奏する。すなわち、DC/DCコンバータとキャパシタとがインダクタの磁性体を挟んで対向して配設されることで、DC/DCコンバータからキャパシタへの電磁波が磁性体に吸収されて、電源モジュールを高精度に機能させることが可能になる。

【0023】

また、DC/DCコンバータとキャパシタとがインダクタの磁性体を挟んで対向して配設されるため、平面視で見た場合の面積を小さくすることができ、電源モジュールを微細化することができるという効果を奏する。

【0024】

本発明に係るインダクタ内蔵基板製造方法は、コア基板に磁性体を埋め込む磁性体埋込工程と、前記磁性体が埋め込まれた前記コア基材の表面及び裏面に配線層を形成する配線層形成工程と、表面及び裏面の前記配線層を接続するためのピア穴を形成するピア穴形成工程と、前記ピア穴形成工程で形成されたピア穴に導電性材料を充填する充填工程と、前記充填工程で形成されたピア、並びに、前記コア基材の表面に形成された配線層及び裏面に形成された配線層が、基板の積層方向に対して垂直な方向に磁化するコイルとなるように、前記表面及び裏面の配線層の配線パターンを形成する配線工程とを含むものである。

【0025】

本発明に係るインダクタ内蔵基板製造方法は、前記配線工程により形成された配線パターンの表面及び裏面に再度配線層を形成する第2の配線層形成工程を含み、前記第2の配線層形成工程、並びに、前記ピア穴形成工程、前記充填工程及び前記配線工程を1又は複数回繰り返して、前記コイルの巻回数を複数回に形成するものである。

【0026】

本発明に係るインダクタ内蔵基板製造方法は、コア基板の表面及び裏面に帯状の複数の配線パターンを形成する第1配線工程と、前記第1配線工程で形成された前記コア基板の表面及び裏面における帯状の配線パターンの少なくとも端部を除く領域に磁性体を装着する磁性体装着工程と、前記磁性体を絶縁材で埋め込む埋込工程と、帯状の前記配線パターンの端部と、各配線パターンの上層に形成される配線パターンとを接続するためのピア穴を形成するピア穴形成工程と、前記ピア穴形成工程で形成されたピア穴に導電性材料を充填する充填工程と、前記充填工程で形成されたピアと接続され、前記コア基板を挟んで表面及び裏面のそれぞれに、基板の積層方向に対して垂直な方向に磁化するコイルとして配線が形成されるように、前記充填工程で形成された上層の金属薄膜に帯状の複数の配線パターンを形成する第2配線工程とを含むものである。

10

20

30

40

50

## 【 0 0 2 7 】

このように、本発明に係るインダクタ内蔵基板製造方法においては、通常の基板製造工程の中で、磁性体をコアとするインダクタが作り込まれるため、インダクタが内蔵された基板を非常に効率よく製造することができるという効果を奏する。また、基板製造工程の中でインダクタのコイルとしての配線が作り込まれることで、インダクタのコイルに流れる電流の配線と基板の配線との電気的な特性（抵抗や容量等）を共通化することができ、非常に高精度なインダクタ内蔵基板を製造することが可能になるという効果を奏する。

## 【 図面の簡単な説明 】

## 【 0 0 2 8 】

【 図 1 】 第 1 の実施形態に係るインダクタ内蔵基板製造方法で作成されるインダクタ内蔵基板の斜視図及び断面図である。 10

【 図 2 】 第 1 の実施形態に係るインダクタ内蔵基板製造方法の手順を示すフローチャートである。

【 図 3 】 第 1 の実施形態に係るインダクタ内蔵基板製造方法の各手順における断面図である。

【 図 4 】 第 1 の実施形態に係るインダクタ内蔵基板製造方法の一部の手順における上面図である。

【 図 5 】 第 2 の実施形態に係る電源モジュールにおけるインダクタの第 1 の上面図である。

【 図 6 】 第 2 の実施形態に係る電源モジュールにおけるインダクタの第 2 の上面図である。 20

【 図 7 】 第 3 の実施形態に係る電源モジュールを説明する図である。

【 図 8 】 第 4 の実施形態に係るインダクタ内蔵基板の斜視図及び断面図である。

【 図 9 】 第 4 の実施形態に係るインダクタ内蔵基板の製造方法の各手順における断面を示す第 1 の図である。

【 図 1 0 】 第 4 の実施形態に係るインダクタ内蔵基板の製造方法の各手順における断面を示す第 2 の図である。

【 図 1 1 】 第 5 の実施形態に係るインダクタ内蔵基板の斜視図及び断面図である。

【 図 1 2 】 第 5 の実施形態に係るインダクタ内蔵基板の製造方法の各手順における断面図である。 30

【 図 1 3 】 その他の実施形態に係るインダクタ内蔵基板の構造を示す第 1 の図である。

【 図 1 4 】 その他の実施形態に係るインダクタ内蔵基板の構造を示す第 2 の図である。

## 【 発明を実施するための最良の形態 】

## 【 0 0 2 9 】

以下、本発明の実施の形態を説明する。本発明は多くの異なる形態で実施可能である。また、本実施形態の全体を通して同じ要素には同じ符号を付けている。

## 【 0 0 3 0 】

（本発明の第 1 の実施形態）

本実施形態に係るインダクタ内蔵基板及びインダクタ内蔵基板製造方法について、図 1 ないし図 4 を用いて説明する。図 1 は、本実施形態に係るインダクタ内蔵基板製造方法で作成されるインダクタ内蔵基板の斜視図及び断面図、図 2 は、本実施形態に係るインダクタ内蔵基板製造方法の手順を示すフローチャート、図 3 は、本実施形態に係るインダクタ内蔵基板製造方法の各手順における断面図、図 4 は、本実施形態に係るインダクタ内蔵基板製造方法の一部の手順における上面図である。 40

## 【 0 0 3 1 】

本実施形態に係るインダクタ内蔵基板 1 の構造について、図 1 を用いて説明する。図 1 ( A ) は、本実施形態に係るインダクタ内蔵基板 1 の斜視図、図 1 ( B ) は、図 1 ( A ) の矢印 a の方向から見た場合の断面図である。図 1 ( A ) 、 ( B ) に示すように、本実施形態に係るインダクタ内蔵基板 1 は、少なくともコア材 3 と当該コア材 3 の表裏面を被覆する銅薄膜 2 a , 2 b からなるコア基板 4 上にインダクタ 1 0 を形成する。 50

## 【 0 0 3 2 】

このインダクタ 10 は、コア基板 4 上に装着された磁性体 5 と、基板の積層方向に対して垂直な方向（コア基板 4 の面方向）に磁化するように、磁性体 5 を巻回するコイルとしての配線（第 1 コイル配線 7、ビア 6 及び第 2 コイル配線 8）とからなる。コア基板 4 の上面側の銅薄膜 2 a を第 1 の層とすると、第 1 コイル配線 7 は第 1 の層に形成されており、第 2 コイル配線 8 は第 1 の層の上層である第 2 の層に形成されている。第 1 コイル配線 7 と第 2 コイル配線 8 とは、ビア 6 を介して電氣的に連続して接続されており、第 1 コイル配線 7、ビア 6 及び第 2 コイル配線 8 に電流を流すことで、磁性体 5 の周りをコイル状（螺旋状）に電流が流れてインダクタ 10 が構成される。第 1 の層と第 2 の層との間は、通常の部品内蔵基板と同様に絶縁材としての樹脂 1 2（図 1（A）では図示しない）が充填されている。

## 【 0 0 3 3 】

図 1 に示すインダクタ内蔵基板 1 は、本実施形態に係るインダクタ内蔵基板製造方法により製造することができる。本実施形態に係るインダクタ内蔵基板製造方法は、インダクタ 10 を基板製造工程の中で作り込むものである。すなわち、インダクタ 10 の製造工程と基板製造工程とを別個独立にし、インダクタ 10 のみをインダクタ製造工程で作成した後、この別途作成されたインダクタ 10 を基板製造工程において部品として基板に埋め込んで内蔵するものではなく、基板を製造しながらインダクタ 10 が作り込まれることで、インダクタ内蔵基板 1 の製造工程を簡略化して、製造効率を格段に向上させることができる。

## 【 0 0 3 4 】

図 2 ないし図 4 を用いて本実施形態に係るインダクタ内蔵基板製造方法の処理手順を具体的に説明する。まず、図 2 のステップ S 1 で、図 3（A）に示すような表面を銅箔で被覆されたコア基板 4 を用意し、このコア基板 4 の上面の銅薄膜 2 a に、磁性体 5 を巻回するコイルの下部の配線パターンに相当する第 1 コイル配線 7 をエッチングにより形成する（図 3（B）及び図 4（A）を参照）。ここでは、図 4（A）に示すように、配線をインダクタのコイル状に形成するために、斜め方向に複数の帯状の第 1 コイル配線 7 が形成されている。

## 【 0 0 3 5 】

なお、図 4 に示す第 1 コイル配線 7 の配線領域は、必要最小限の配線領域のみを記載したものであり、ここに記載された第 1 コイル配線 7 の配線領域以外の領域は、銅薄膜 2 a が除去されてもよいし、銅薄膜 2 a が残っている状態であってもよいし、他の必要な配線パターンが形成されてもよい。銅薄膜 2 a が残っている場合は、第 1 コイル配線 7 と電氣的に接続されないことが必要となる。

## 【 0 0 3 6 】

図 2 のステップ S 1 で第 1 コイル配線 7 が形成されると、ステップ S 2 で、第 1 コイル配線 7 の少なくとも端部 1 1 を除く領域に磁性体 5 を装着する（図 3（C）及び図 4（B）を参照）。ここでは、図 4（B）に示すように、磁性体 5 は、後段の製造工程で形成されるビア 6 との接続のために、端部 1 1 を除く領域に装着される必要がある。

## 【 0 0 3 7 】

図 2 のステップ S 2 で磁性体 5 が装着されると、ステップ S 3 で、装着された磁性体 5 を絶縁材としての樹脂 1 2 で封止する（図 3（D）を参照）。磁性体 5 が樹脂 1 2 に埋め込まれると、ステップ S 4 で、ビア穴 6 a を形成する（図 3（E）及び図 4（C）を参照）。ここでは、図 4（C）に示すように、第 1 コイル配線 7 の端部 1 1 の位置と、信号の入出力を行うための配線に接続する位置にビア穴 6 a が形成される。ビア穴 6 a は、例えばレーザーを用いて穿けることができる。

## 【 0 0 3 8 】

図 2 のステップ S 4 でビア穴 6 a が形成されると、ステップ S 5 で、形成されたビア穴 6 a 及び第 2 層をめっきで埋める（図 3（F）を参照）。ステップ S 6 で、めっき工程にて形成された第 2 層の銅薄膜に対して、インダクタ 10 の上部の配線パターンに相当する

第2コイル配線8をエッチングにより形成する(図3(G)及び図4(D)を参照)。ここでは、図4(D)に示すように、磁性体5を基板の積層方向に対して垂直な方向にコイル状に巻回するように、ビア6の間に第2コイル配線8をエッチングで形成する。以上のように、基板製造工程の中で、磁性体5を基板の積層方向と垂直な方向に螺旋状に巻回するコイルとして機能させるための配線(第1コイル配線7、ビア6及び第2コイル配線8)を形成する。

【0039】

なお、第1コイル配線7、ビア6及び第2コイル配線8を形成する場合に、同様の又は一連のめっき処理にて行うようにしてもよい。そうすることで、第1コイル配線7、ビア6及び第2コイル配線8と、基板における他の配線との電気的な特性(抵抗や容量等)を確実に共通化することができる。

10

【0040】

このように、本実施形態に係るインダクタ内蔵基板製造方法においては、通常 of 基板の製造工程の中で、磁性体5をコアとするインダクタ10が作り込まれるため、インダクタ内蔵基板1を非常に効率よく製造することができる。

【0041】

また、基板の製造工程の中でインダクタ10が作り込まれることで、コイル状に形成されたインダクタ10の配線(第1コイル配線7、ビア6及び第2コイル配線8)と他の配線との電気的な特性(抵抗や容量等)を共通化することができるため、非常に高精度なインダクタ内蔵基板を製造することが可能になる。すなわち、インダクタのみを別工程で製造し、その別途製造されたインダクタを基板製造工程で部品として埋め込む場合は、インダクタと基板の配線間を接続する必要があるため、配線の電気的な特性にずれがある場合に精度が良くない基板になってしまう。本実施形態のインダクタ内蔵基板製造方法を用いることで、そのような問題を避けることができる。

20

【0042】

(本発明の第2の実施形態)

本実施形態に係るインダクタ内蔵基板について、図5及び図6を用いて説明する。図5は、本実施形態に係る電源モジュールにおけるインダクタの第1の上面図、図6は、本実施形態に係る電源モジュールにおけるインダクタの第2の上面図である。なお、本実施形態において、前記各実施形態と重複する説明については省略する。

30

【0043】

本実施形態に係るインダクタ内蔵基板は、複数のインダクタ10が直列に接続されて配設されており、それぞれのインダクタ10が所定の間隔を空けて並列に配設されている。そして、相隣るインダクタ10のコイル状の配線に流れる電流が、それぞれ逆方向となるように配線が形成されているものである。図5及び図6ではインダクタ10が2つ並列に配設された場合を示す。

【0044】

図5に示す通り、相隣るインダクタのコイル状の配線は、それぞれが連続して直列に接続されており、また磁化の方向がそれぞれ逆方向となるように配線が形成されているため、インダクタンスの値を大きくできると共に、隣接配設されるインダクタ同士の鎖交磁束により、外部への磁界の影響を減らして高精度な電源モジュールを実現することができる。

40

【0045】

なお、図5の配線パターンはあくまで一例を示したものであり、隣接配設されるインダクタ10の夫々の磁化の方向が逆となるような配線パターンであれば、本実施形態に係る電源モジュールを実現することができる。その他の例を図6に示す。

【0046】

図6の配線パターンは、2つの磁性体5が並列して配置され、各磁性体5の外側の側面に沿って形成される複数の第1ビア6aと、磁性体5の内側の側面に沿って形成される各磁性体5に共通の第2ビア6bとを有し、第2コイル配線8、第1ビア6a、第1コイル

50

配線 7 及び第 2 ビア 6 b とで形成されるコイルが、各磁性体 5 に一又は複数ターンごとに交互に巻回されるように第 2 コイル配線 8、第 1 ビア 6 a、第 1 コイル配線 7 及び第 2 ビア 6 b が形成されている。すなわち、図 5 と同様にコイル状の配線が連続して直列に接続され、各インダクタの磁化方向がそれぞれ逆方向となっているが、第 2 ビア 6 b を各インダクタに共通のビアとし、それぞれの磁性体 5 に巻回されるコイルの配線が、1 ターンごとに交互に巻回されるようになっている。

【0047】

図 6 に示すような構成とすることで、図 5 の場合と同様にインダクタンスの値を大きくすることができると共に、隣接配設されるインダクタ同士の鎖交磁束により、外部への磁界の影響を減らして高精度な電源モジュールを実現することができる。また、第 2 ビア 6 b を各インダクタに共通のビアとすることで、インダクタが占有する面積を小さくして、素子を微細化することが可能になる。

10

【0048】

なお、図 5 及び図 6 に示すインダクタは、必ずしも基板の製造工程で作り込む必要がなく、部品単体として別途作成してから基板に埋め込むようにしてもよい。つまり、磁性体自体にビア穴を形成し、上面と下面にめっきでコイル状の配線パターンの形成することでインダクタを作製することも可能である。特に、図 6 の構成の場合は、磁性体 5 に第 1 ビア 6 a と第 2 ビア 6 b とを交互に複数列形成し、それぞれのビアと第 1 コイル配線 7 及び第 2 コイル配線 8 とをめっきで形成した後に、第 1 ビア 6 a の列のみを当該第 1 ビア 6 a が垂直方向の切断面で分断（半円柱状に分断）されるように磁性体 5 を切断することで、図 6 のインダクタ部品を作製することができる。

20

【0049】

（本発明の第 3 の実施形態）

本実施形態に係るインダクタ内蔵基板を用いた電源モジュールについて、図 7 を用いて説明する。図 7 は、本実施形態に係る電源モジュールの一実施例を説明する図であり、図 7 (A) は一般的な降圧型の DC / DC コンバータの回路図を示し、図 7 (B) は電源モジュールの断面図を示す。なお、本実施形態において、前記第 1 の実施形態と重複する説明については省略する。また、本実施形態に係るインダクタ 10 は、DC / DC コンバータ IC の外付け部品である DC / DC コンバータ用チョークコイルとして機能するものである。

30

【0050】

本実施形態に係る電源モジュール 20 は、前記第 1 の実施形態に係るインダクタ内蔵基板 1 を用いたものであり、図 7 (A) に示す回路構成となっている。すなわち、入力端子と出力端子の間に、スイッチング素子 17 とインダクタ 10 が直列に接続され、出力端子とグランド間にキャパシタ 16 が接続され、スイッチング素子 17 とインダクタ 10 との接続点とグランドとの間にダイオード 18 が接続され、スイッチング素子 17 の制御端子に DC / DC コンバータが接続された構成となっている。

【0051】

具体的な構造は、図 7 (B) に示すように、インダクタ 10 の上部の位置に対応する位置に DC / DC コンバータ 15 を搭載し、この DC / DC コンバータ 15 とインダクタ 10 とが直列で接続されるように配線が形成される。また、コアを挟んだインダクタ 10 の下側の層には、ビアを介してインダクタ 10 と接続するキャパシタ 16 が作り込みで形成される。このような構造により、図 7 (A) の回路が実現される。

40

【0052】

なお、このとき、DC / DC コンバータ 15 とキャパシタ 16 とは、インダクタ 10 の磁性体を挟んで対向するように配設されるのが望ましい。

【0053】

また、キャパシタ 16 は、部品として内蔵することも可能であるが、本実施形態の場合は、基板製造工程の中で作り込むようにすることで、基板製造工程で電源モジュールを形成することができ、製造効率を向上させることができる。

50

## 【 0 0 5 4 】

このように、本実施形態に係る電源モジュール 20 は、インダクタ 10 の上部に DC / DC コンバータ 15 を搭載し、インダクタ 10 に接続するキャパシタを基板製造工程の中で作り込みで形成することで、電源モジュール 20 製造効率を向上させることができる。また、DC / DC コンバータ 15 とキャパシタ 16 とが、インダクタ 10 の磁性体 5 を挟んで対向して配設されているので、インダクタ 10 を構成する磁性体 5 により DC / DC コンバータ 15 からの不要な電磁波が吸収されて高精度な電源モジュールを実現することができる。

## 【 0 0 5 5 】

(本発明の第 4 の実施形態)

本実施形態に係るインダクタ内蔵基板について、図 8 ないし図 10 を用いて説明する。図 8 は、本実施形態に係るインダクタ内蔵基板の斜視図及び断面図、図 9 は、本実施形態に係るインダクタ内蔵基板の製造方法の各手順における断面を示す第 1 の図、図 10 は、本実施形態に係るインダクタ内蔵基板の製造方法の各手順における断面を示す第 2 の図である。なお、本実施形態において、前記各実施形態と重複する説明については省略する。

10

## 【 0 0 5 6 】

本実施形態に係るインダクタ内蔵基板 1 の構造について、図 8 を用いて説明する。図 8 (A) は、本実施形態に係るインダクタ内蔵基板 1 の斜視図、図 8 (B) は、図 8 (A) の矢印 a の方向から見た場合の断面図である。本実施形態に係るインダクタ内蔵基板 1 は、第 1 の実施形態で図 1 に示したインダクタ内蔵基板 1 において、磁性体 5 を巻回するコイルとしての配線の巻回数が 1 回であるのに対して、複数回 (図 8 においては 2 回) 巻回されるように、配線及びビアが形成されている。すなわち、コイルの巻数を増やすことで、第 1 の実施形態に係るインダクタ内蔵基板 1 に比べて、大きい値のインダクタンスを得ることができる。

20

## 【 0 0 5 7 】

次に、本実施形態に係るインダクタ内蔵基板 1 の製造方法について、図 9 及び図 10 を用いて一例を説明する。まず、両面に銅箔付きのコア材を用意し (図 9 (A))、銅箔全面をエッチングにより除去する (図 9 (B))。コア材に磁性体 5 を収納するためのキャビティ及び位置決めのための穴を穿ける (図 9 (C))。裏面側に銅箔付きの層間絶縁材料を付け (図 9 (D))、キャビティ内に磁性体 5 を投入する (図 9 (E))。表面側を銅箔付きの層間絶縁材料で埋め込む (図 9 (F))。裏面側にコイルとしての配線をパターンニングで形成すると共に、表面側に X 線穴あけ用のパターンのみを残してパターンニングする (図 9 (G))。両面に銅箔付きの層間絶縁材料を貼り付け (図 9 (H))、第 2 層と第 3 層との間、及び、第 2 層と第 4 層との間にスルーホールを形成するための穴を穿ける (図 9 (I))。このとき、位置決めは外枠の穴を用いる。

30

## 【 0 0 5 8 】

続いて、デスミアを行ってからスルーホールメッキを行う (図 10 (A))。先ほどの表面側の配線パターンを利用して X 線により位置決め用の穴を穿ける (図 10 (B))。表面側 (第 2 層) 及び裏面側 (第 4 層) にコイルとしての配線をパターンニングで形成すると共に、X 線穴あけ用のパターンを形成する (図 10 (C))。このとき、位置決めは図 10 (B) で穿けた X 線穴を用いる。両面に銅箔付きの層間絶縁材料を貼り付け (図 10 (D))、第 1 層と第 4 層との間、及び、第 1 層と第 5 層との間にスルーホールを形成するための穴を穿ける (図 10 (E))。このとき、位置決めは外枠の穴を用いる。デスミアを行ってからスルーホールめっきを行う (図 10 (F))。図 10 (C) の配線パターンを利用して X 線により位置決め用の穴を穿ける (図 10 (G))。表面側 (第 1 層) 及び裏面側 (第 5 層) にコイルとしての配線をパターンニングで形成する (図 10 (H))。このとき、位置決めは図 10 (G) で穿けた X 線穴を用いる。ソルダーレジストによるパターンニングを行う (図 10 (I))。このとき、位置決めは図 10 (G) で穿けた X 線穴を用いる。最後に無電解 Ni / Au めっきを行い、個片化ルータ加工を施してインダクタ内蔵基板 1 が製造される。

40

50

## 【0059】

このように、本実施形態に係るインダクタ内蔵基板及びその製造方法においては、コイルの巻数を増やすことで大きい値のインダクタを得ることができ、且つ、当該インダクタが内蔵された基板を通常の基板製造工程の中で作り込むことができる。

## 【0060】

(本発明の第5の実施形態)

本実施形態に係るインダクタ内蔵基板について、図11及び図12を用いて説明する。図11は、本実施形態に係るインダクタ内蔵基板の斜視図及び断面図、図12は、本実施形態に係るインダクタ内蔵基板の製造方法の各手順における断面図である。なお、本実施形態において、前記各実施形態と重複する説明については省略する。

10

## 【0061】

本実施形態に係るインダクタ内蔵基板1の構造について、図11を用いて説明する。図11(A)は、本実施形態に係るインダクタ内蔵基板1の斜視図、図11(B)は、図11(A)の矢印aの方向から見た場合の断面図である。本実施形態に係るインダクタ内蔵基板1は、第2の実施形態で図5に示したインダクタ内蔵基板1のように、2つのインダクタが並列に配置された2芯構造であるが、基板の積層方向に並列に配置されている。すなわち、コア材を挟んで表面側と裏面側にそれぞれインダクタが作り込まれる。

## 【0062】

次に、本実施形態に係るインダクタ内蔵基板1の製造方法について、図12を用いて一例を説明する。まず、両面に銅箔付きのコア材を用意し(図12(A))、位置決め用の穴を穿ける(図12(B))。表面側(第2層)及び裏面側(第3層)にコイルとしての配線をパターンニングで形成する(図12(C))。このとき、位置決めは外枠の穴を用いる。表面側及び裏面側に磁性体5をそれぞれ搭載する(図12(D))。このとき、ペレット付け剤にて磁性体5を固定する。両面を樹脂で埋め込み、それぞれの表面を層間絶縁材料でラミネートする(図12(E))。表面側から裏面側まで貫通するスルーホール用の穴を穿ける(図12(F))。このとき、位置決めは外枠の穴を用いる。デスミアを行ってから表面全面にめっきを行う(無電解めっき及び電解めっき)(図12(G))。表面側(第1層)及び裏面側(第4層)にコイルとしての配線をパターンニングで形成する(図12(H))。このとき、位置決めは外枠の穴を用いる。以降、前記第4の実施形態の場合と同様に、ソルダーレジストによるパターンニング、無電解Ni/Auめっき、個片化ルータ加工を施してインダクタ内蔵基板1が製造される。

20

30

## 【0063】

なお、上記製造方法により製造されたインダクタ内蔵基板1は、図5に示した構造と同様に、配線パターン及びスルーホールにより、表面側のインダクタと裏面側のインダクタとが直列に連続して接続されているものである。

## 【0064】

このように、本実施形態に係るインダクタ内蔵基板及びその製造方法においては、2芯の構造にすることで大きい値のインダクタを得ることができ、且つ、当該インダクタが内蔵された基板を通常の基板製造工程の中で作り込むことができる。

## 【0065】

(その他の実施形態)

上記各実施形態以外のインダクタ内蔵基板の構造について説明する。図13は、図6に示すインダクタ内蔵基板の変形例である。図6においては、2つの磁性体5の間に形成されるビア6が縦方向に直線で並んで形成されているのに対して、図13の場合は、2つの磁性体5の間に形成されるビア6がジグザク状に形成されている。例えば、図6の場合、電流が磁性体5の間(内側)と外側とで異なる大きさとなるため、内側のみ磁束が飽和し、安定したインダクタンスを得ることができない可能性がある。これに対して、図13の場合は、インダクタ自体が多少大きくなるものの、それぞれの磁性体5における磁束が、外側と内側とで均等になり、安定したインダクタを得ることができる。また、ビア6が離れて形成されるため、ビア穴の形成も容易になる。

40

50

【 0 0 6 6 】

図 1 4 は、図 5 に示すインダクタ内蔵基板の変形例である。図 5 においては、2つの磁性体 5 がそれぞれ別体として構成されているが、図 1 4 においては、1つの磁性体 5 が閉ループ状に形成されている。コイルとしての配線パターン及びビアは、この閉ループ状の磁性体 5 を巻回するように形成される。こうすることで、磁束が安定して鎖交するインダクタを得ることができるようになる。なお、ループ形状は、円、楕円、矩形、多角形等でもよいが、磁束を効率よく鎖交させるために、円や楕円のように滑らかなループ状であることが望ましい。

【 符号の説明 】

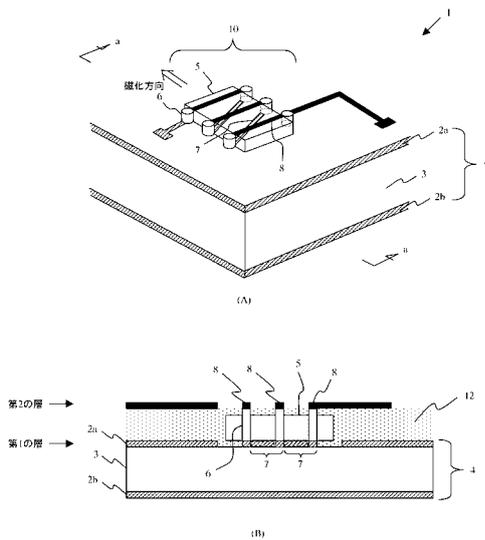
【 0 0 6 7 】

- 1 インダクタ内蔵基板
- 2 a , 2 b 銅薄膜
- 3 コア材
- 4 コア基板
- 5 磁性体
- 6 ビア
- 7 第 1 コイル配線
- 8 第 2 コイル配線
- 1 0 インダクタ
- 1 1 端部
- 1 5 D C / D C コンバータ
- 1 6 キャパシタ
- 1 7 スイッチング素子
- 1 8 ダイオード
- 2 0 電源モジュール

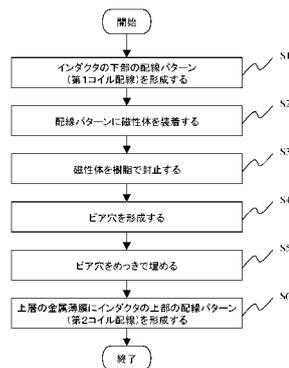
10

20

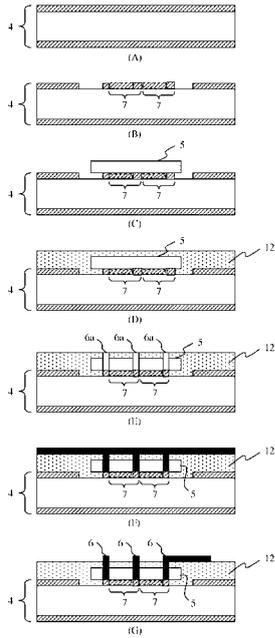
【 図 1 】



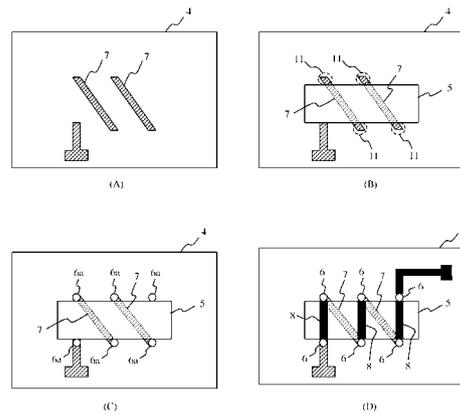
【 図 2 】



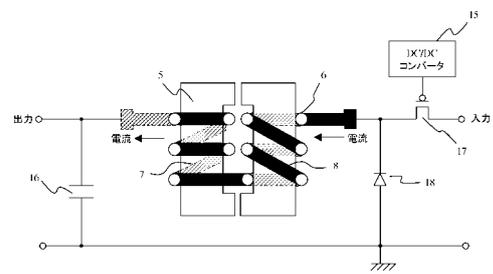
【 図 3 】



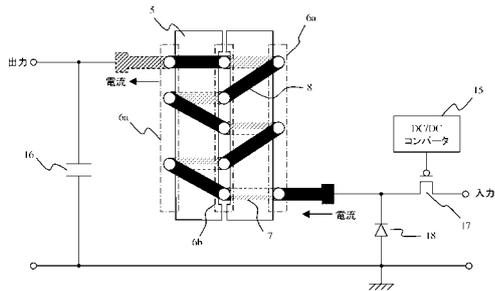
【 図 4 】



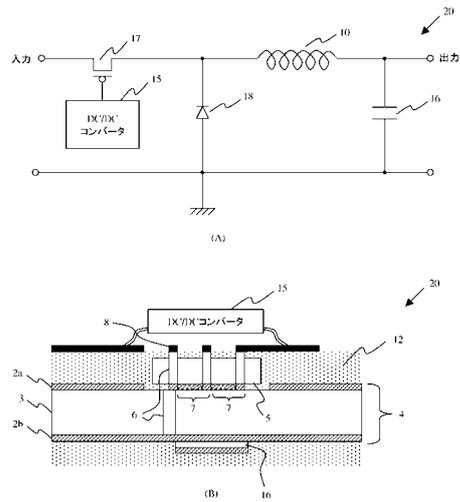
【 図 5 】



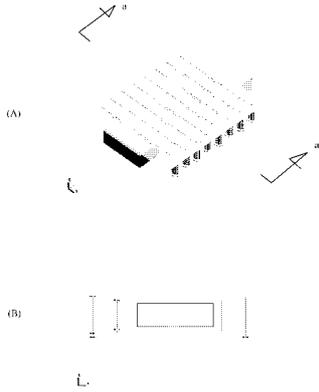
【 図 6 】



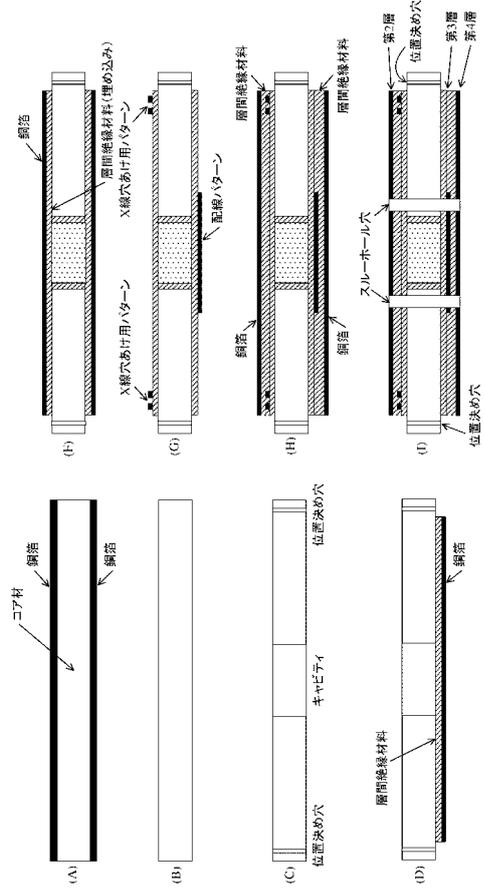
【 図 7 】



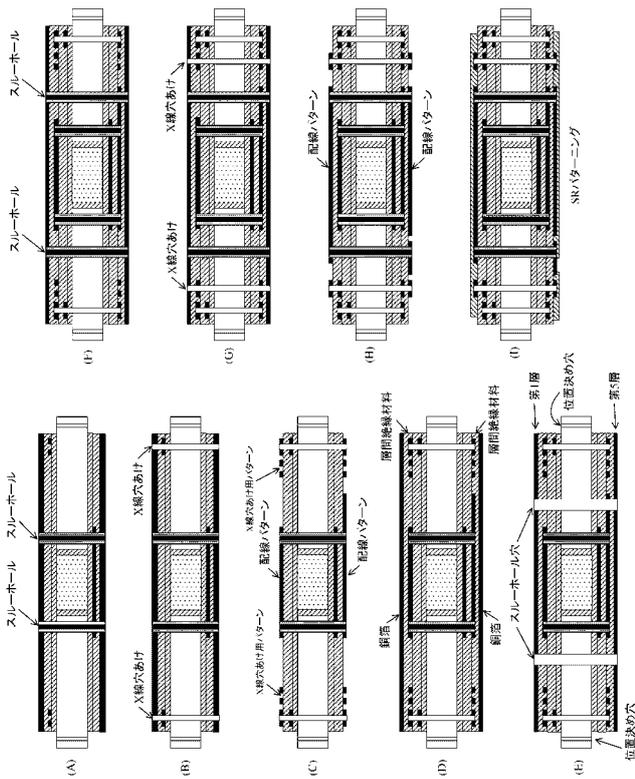
【図 8】



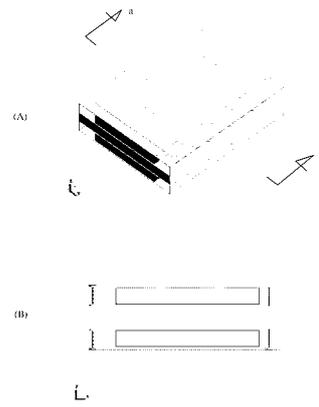
【図 9】



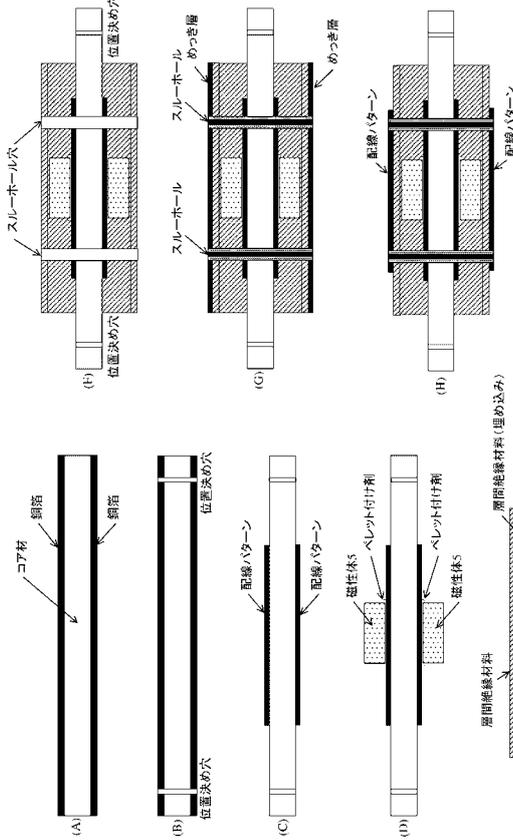
【図 10】



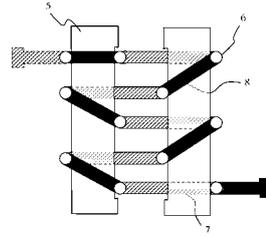
【図 11】



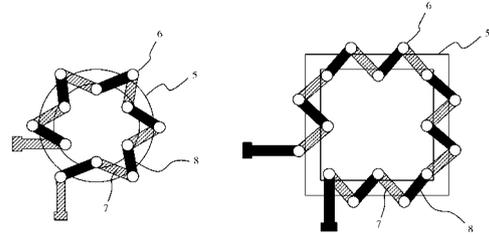
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



【 手続補正書 】

【 提出日 】平成25年12月10日 (2013.12.10)

【 手続補正 1 】

【 補正対象書類名 】特許請求の範囲

【 補正対象項目名 】全文

【 補正方法 】変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

コア基板の表面に帯状の複数の配線パターンを形成する第1配線工程と、

前記第1配線工程で形成された帯状の配線パターンにおける少なくとも端部を除く領域に対応する寸法で予め形成された磁気回路を構成する固体状の磁性体を装着する磁性体装着工程と、

前記磁性体を絶縁材からなる樹脂を充填して埋め込む埋込工程と、

帯状の前記配線パターンの端部と上層に形成される配線パターンとを接続するためのビア穴を形成するビア穴形成工程と、

前記ビア穴形成工程で形成されたビア穴に導電性材料を充填する充填工程と、

前記充填工程で形成されたビアと接続され、基板の積層方向に対して垂直な方向に磁化するコイルとして配線が形成されるように、前記充填工程で形成された上層の金属薄膜に帯状の複数の配線パターンを形成する第2配線工程とを含むことを特徴とするインダクタ内蔵基板製造方法。

【 請求項 2 】

請求項1に記載のインダクタ内蔵基板製造方法において、

前記帯状の配線パターン及び前記ビアの形成が、同様のめっき処理で行われることを特徴とするインダクタ内蔵基板製造方法。

**【請求項 3】**

コア基板の表面に形成された帯状の複数の第 1 配線パターンと、当該第 1 配線パターンの少なくとも端部を除く領域に対応する寸法で予め形成された磁気回路を構成する固体を配置して装着される磁性体と、前記第 1 配線パターンと前記磁性体とを流体樹脂材を充填してモールドする絶縁材と、当該絶縁材の上面に形成される帯状の複数の第 2 配線パターンとを備え、前記第 1 配線パターンと前記第 2 配線パターンとが、前記基板の積層方向に対して垂直な方向に磁化するコイルとして配線が前記コア基板上に積層して形成されるようにビアで接続されていることを特徴とするインダクタ内蔵基板。

**【請求項 4】**

請求項 3 に記載のインダクタ内蔵基板において、

前記請求項 1 又は 2 に記載のインダクタ内蔵基板製造方法により製造されたインダクタ内蔵基板。

**【請求項 5】**

請求項 3 又は 4 に記載のインダクタ内蔵基板において、

複数の前記インダクタが並列して配置され、それぞれの前記インダクタにおけるコイルの配線が連続して直列接続されており、相隣る前記インダクタの磁化方向が、夫々逆方向となっていることを特徴とするインダクタ内蔵基板。

**【請求項 6】**

請求項 5 に記載のインダクタ内蔵基板において、

2 つの前記磁性体が並列して配置され、当該各磁性体の外側の側面に沿って形成される複数の第 1 ビアと、前記磁性体の内側の側面に沿って形成される前記各磁性体に共通の第 2 ビアとを有し、

前記第 1 配線パターン、第 2 配線パターン、第 1 ビア及び第 2 ビアとで形成される前記コイルが、前記各磁性体に一又は複数ターンごとに交互に巻回されるように前記第 1 配線パターン、第 2 配線パターン、第 1 ビア及び第 2 ビアが形成されていることを特徴とするインダクタ内蔵基板。

**【請求項 7】**

請求項 3 又は 4 に記載のインダクタ内蔵基板において、

前記磁性体が閉ループ状であり、前記第 1 配線パターン、前記第 2 配線パターン及びビアが、前記磁性体を巻回するコイルとして形成されていることを特徴とするインダクタ内蔵基板。

**【請求項 8】**

請求項 3 ないし 7 のいずれかに記載のインダクタ内蔵基板を用いた電源モジュールであって、

前記インダクタの上部に当該インダクタと直列に接続される DC / DC コンバータが搭載されており、前記インダクタの後段部分に、出力部とキャパシタとが並列に接続されており、前記 DC / DC コンバータと前記キャパシタとが前記インダクタの磁性体を挟んで対向して配設されていることを特徴とする電源モジュール。

**【請求項 9】**

コア基板に形成されたキャビティ内に、当該キャビティの大きさ以下の寸法で予め形成された磁気回路を構成する固体状の磁性体を投入し、当該磁性体を絶縁材からなる樹脂を充填して埋め込む磁性体埋込工程と、

前記磁性体が埋め込まれた前記コア基材の表面及び裏面に配線層を形成する配線層形成工程と、

表面及び裏面の前記配線層を接続するためのビア穴を形成するビア穴形成工程と、

前記ビア穴形成工程で形成されたビア穴に導電性材料を充填する充填工程と、

前記充填工程で形成されたビア、並びに、前記コア基材の表面に形成された配線層及び裏面に形成された配線層が、基板の積層方向に対して垂直な方向に磁化するコイルとなるように、前記表面及び裏面の配線層の配線パターンを形成する配線工程とを含むことを特徴とするインダクタ内蔵基板製造方法。

## 【請求項 10】

請求項 9 に記載のインダクタ内蔵基板製造方法において、

前記配線工程により形成された配線パターンの表面及び裏面に再度配線層を形成する第 2 の配線層形成工程を含み、

前記第 2 の配線層形成工程、並びに、前記ビア穴形成工程、前記充填工程及び前記配線工程を 1 又は複数回繰り返して、前記コイルの巻回数を複数回に形成することを特徴とするインダクタ内蔵基板製造方法。

## 【請求項 11】

コア基板の表面及び裏面に帯状の複数の配線パターンを形成する第 1 配線工程と、

前記第 1 配線工程で形成された前記コア基板の表面及び裏面における帯状の配線パターンの少なくとも端部を除く領域に対応する寸法で予め形成された磁気回路を構成する固体状の磁性体を装着する磁性体装着工程と、

前記磁性体を絶縁材からなる樹脂を充填して埋め込む埋込工程と、

帯状の前記配線パターンの端部と、各配線パターンの上層に形成される配線パターンとを接続するためのビア穴を形成するビア穴形成工程と、

前記ビア穴形成工程で形成されたビア穴に導電性材料を充填する充填工程と、

前記充填工程で形成されたビアと接続され、前記コア基板を挟んで表面及び裏面のそれぞれに、基板の積層方向に対して垂直な方向に磁化するコイルとして配線が形成されるように、前記充填工程で形成された上層の金属薄膜に帯状の複数の配線パターンを形成する第 2 配線工程とを含むことを特徴とするインダクタ内蔵基板製造方法。

## 【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正の内容】

【0002】

圧着する方法である。いずれの技術も、部品として製造されたインダクタを基板の製造工程の中で埋め込んで内蔵することで、インダクタ内蔵基板を製造する。

先行技術文献

特許文献

[0005]

特許文献 1：特開 2004 - 319875 号公報

特許文献 2：特開 2004 - 363162 号公報

特許文献 3：特開 2005 - 101175 号公報

発明の概要

発明が解決しようとする課題

[0006]

しかしながら、上記各特許文献に記載の技術は、インダクタを製造する工程と基板を製造する工程とが夫々個別の独立した工程であるため、製造効率が悪くなってしまう。また、インダクタを製造する工程と基板を製造する工程とが独立しているため、基板における配線の抵抗、容量等の特性と、インダクタにおける配線の抵抗、容量等の特性とが異なってしまう可能性が高く、インダクタの接続部分等で不具合が発生し基板の精度が悪くなってしまう。

[0007]

本発明は、基板を製造する製造過程で基板に内蔵するインダクタを併せて作り込むことで、インダクタ内蔵基板を非常に効率よく製造することができると共に、配線の特性が共通化されている高精度なインダクタ内蔵基板及びその製造方法を提供する。

課題を解決するための手段

[0008]

本発明に係るインダクタ内蔵基板製造方法は、コア基板の表面に帯状の複数の配線パタ

ーンを形成する第1配線工程と、前記第1配線工程で形成された帯状の配線パターンにおける少なくとも端部を除く領域に対応する寸法で予め形成された磁気回路を構成する固体状の磁性体を装着する磁性体装着工程と、前記磁性体を絶縁材からなる樹脂を充填して埋め込む埋込工程と、帯状の前記配線パターンの端部と上層に形成される配線パターンとを接続するための

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正の内容】

【0003】

ビア穴を形成するビア穴形成工程と、前記ビア穴形成工程で形成されたビア穴に導電性材料を充填する充填工程と、前記充填工程で形成されたビアと接続され、基板の積層方向に対して垂直な方向に磁化するコイルとして配線が形成されるように、前記充填工程で形成された上層の金属薄膜に帯状の複数の配線パターンを形成する第2配線工程とを含むものである。

[0009]

このように、本発明に係るインダクタ内蔵基板製造方法においては、通常基板製造工程の中で、磁性体をコアとするインダクタが作り込まれるため、インダクタが内蔵された基板を非常に効率よく製造することができるという効果を奏する。

[0010]

また、基板製造工程の中でインダクタのコイルとしての配線が作り込まれることで、インダクタのコイルに流れる電流の配線と基板の配線との電気的な特性（抵抗や容量等）を共通化することができ、非常に高精度なインダクタ内蔵基板を製造することが可能になるという効果を奏する。

[0011]

本発明に係るインダクタ内蔵基板製造方法は、前記帯状の配線パターン及び前記ビアの形成が、同様のめっき処理で行われるものである。

[0012]

このように、本発明に係るインダクタ内蔵基板製造方法においては、基板製造工程の中で、特に同様のめっき処理によりインダクタのコイルとしての配線が作り込まれることで、インダクタに流れる電流の配線と基板の配線との電気的な特性（抵抗や容量等）を共通化することができ、非常に高精度なインダクタ内蔵基板を製造することが可能になるという効果を奏する。

[0013]

本発明に係るインダクタ内蔵基板は、コア基板の表面に形成された帯状の複数の第1配線パターンと、当該第1配線パターンの少なくとも端部を除く領域に対応する寸法で予め形成された磁気回路を構成する固体を配置して装着される磁性体と、前記第1配線パターンと前記磁性体とを流体樹脂材を充填してモールドする絶縁材と、当該絶縁材の上面に形成される帯状の複数の第2配線パターンとを備え、前記第1配線パターンと前記第2配線パターンとが、前記基板の積層方向に対して垂直な方向に磁化するコイルとして配線が前記コア基板上に積層して形成されるようにビアで接続されているものである。

[0014]

このように、本発明に係るインダクタ内蔵基板においては、コア基板の表

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

[ 0 0 2 4 ]

本発明に係るインダクタ内蔵基板製造方法は、コア基板に形成されたキャビティ内に、当該キャビティの大きさ以下の寸法で予め形成された磁気回路を構成する固体状の磁性体を投入し、当該磁性体を絶縁材からなる樹脂を充填して埋め込む磁性体埋込工程と、前記磁性体が埋め込まれた前記コア基材の表面及び裏面に配線層を形成する配線層形成工程と、表面及び裏面の前記配線層を接続するためのビア穴を形成するビア穴形成工程と、前記ビア穴形成工程で形成されたビア穴に導電性材料を充填する充填工程と、前記充填工程で形成されたビア、並びに、前記コア基材の表面に形成された配線層及び裏面に形成された配線層が、基板の積層方向に対して垂直な方向に磁化するコイルとなるように、前記表面及び裏面の配線層の配線パターンを形成する配線工程とを含むものである。

[ 0 0 2 5 ]

本発明に係るインダクタ内蔵基板製造方法は、前記配線工程により形成された配線パターンの表面及び裏面に再度配線層を形成する第2の配線層形成工程を含み、前記第2の配線層形成工程、並びに、前記ビア穴形成工程、前記充填工程及び前記配線工程を1又は複数回繰り返して、前記コイルの巻回数を複数回に形成するものである。

[ 0 0 2 6 ]

本発明に係るインダクタ内蔵基板製造方法は、コア基板の表面及び裏面に帯状の複数の配線パターンを形成する第1配線工程と、前記第1配線工程で形成された前記コア基板の表面及び裏面における帯状の配線パターンの少なくとも端部を除く領域に対応する寸法で予め形成された磁気回路を構成する固体状の磁性体を装着する磁性体装着工程と、前記磁性体を絶縁材からなる樹脂を充填して埋め込む埋込工程と、帯状の前記配線パターンの端部と、各配線パターンの上層に形成される配線パターンとを接続するためのビア穴を形成するビア穴形成工程と、前記ビア穴形成工程で形成されたビア穴に導電性材料を充填する充填工程と、前記充填工程で形成されたビアと接続され、前記コア基板を挟んで表面及び裏面のそれぞれに、基板の積層方向に対して垂直な方向に磁化するコイルとして配線が形成されるように、前記充填工程で形成された上層の金属薄膜に帯状の複数の配線パターンを形成する第2配線工程とを含むものである。

[ 0 0 2 7 ]

このように、本発明に係るインダクタ内蔵基板製造方法においては、通常の基板製造工程の中で、磁性体をコアとするインダクタが作り込まれるため

【手続補正書】

【提出日】平成27年1月28日(2015.1.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項1

【補正方法】変更

【補正の内容】

【請求項1】

コア基板の表面に帯状の複数の配線パターンを形成する第1配線工程と、  
前記第1配線工程で形成された帯状の配線パターンにおける少なくとも端部を除く領域に磁性体を装着する磁性体装着工程と、  
前記磁性体を絶縁材で埋め込む埋込工程と、  
帯状の前記配線パターンの端部と上層に形成される配線パターンとを接続するためのビア穴を形成するビア穴形成工程と、  
前記ビア穴形成工程で形成されたビア穴に導電性材料を充填する充填工程と、  
前記充填工程で形成されたビアと接続され、基板の積層方向に対して垂直な方向に磁化するコイルとして配線が形成されるように、前記充填工程で形成された上層の金属薄膜に帯状の複数の配線パターンを形成する第2配線工程とを含むことを特徴とするインダクタ内蔵基板製造方法。

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 3

【補正方法】変更

【補正の内容】

【請求項 3】

コア基板の表面に形成された帯状の複数の第 1 配線パターンと、当該第 1 配線パターンの少なくとも端部を除く領域に装着される磁性体と、前記第 1 配線パターンと前記磁性体とをモールドする絶縁材と、当該絶縁材の上面に形成される帯状の複数の第 2 配線パターンとを備え、前記第 1 配線パターンと前記第 2 配線パターンとが、前記基板の積層方向に対して垂直な方向に磁化するコイルとして配線が形成されるようにビアで接続されていることを特徴とするインダクタ内蔵基板。

【手続補正 3】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 9

【補正方法】変更

【補正の内容】

【請求項 9】

コア基板に磁性体を埋め込む磁性体埋込工程と、前記磁性体が埋め込まれた前記コア基材の表面及び裏面に配線層を形成する配線層形成工程と、

表面及び裏面の前記配線層を接続するためのビア穴を形成するビア穴形成工程と、

前記ビア穴形成工程で形成されたビア穴に導電性材料を充填する充填工程と、

前記充填工程で形成されたビア、並びに、前記コア基材の表面に形成された配線層及び裏面に形成された配線層が、基板の積層方向に対して垂直な方向に磁化するコイルとなるように、前記表面及び裏面の配線層の配線パターンを形成する配線工程とを含むことを特徴とするインダクタ内蔵基板製造方法。

【手続補正 4】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 1 1

【補正方法】変更

【補正の内容】

【請求項 1 1】

コア基板の表面及び裏面に帯状の複数の配線パターンを形成する第 1 配線工程と、

前記第 1 配線工程で形成された前記コア基板の表面及び裏面における帯状の配線パターンの少なくとも端部を除く領域に磁性体を装着する磁性体装着工程と、

前記磁性体を絶縁材で埋め込む埋込工程と、

帯状の前記配線パターンの端部と、各配線パターンの上層に形成される配線パターンとを接続するためのビア穴を形成するビア穴形成工程と、

前記ビア穴形成工程で形成されたビア穴に導電性材料を充填する充填工程と、

前記充填工程で形成されたビアと接続され、前記コア基板を挟んで表面及び裏面のそれぞれに、基板の積層方向に対して垂直な方向に磁化するコイルとして配線が形成されるように、前記充填工程で形成された上層の金属薄膜に帯状の複数の配線パターンを形成する第 2 配線工程とを含むことを特徴とするインダクタ内蔵基板製造方法。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 8

【補正方法】変更

【補正の内容】

【0 0 0 8】

本発明に係るインダクタ内蔵基板製造方法は、コア基板の表面に帯状の複数の配線パタ

ーンを形成する第1配線工程と、前記第1配線工程で形成された帯状の配線パターンにおける少なくとも端部を除く領域に磁性体を装着する磁性体装着工程と、前記磁性体を絶縁材で埋め込む埋込工程と、帯状の前記配線パターンの端部と上層に形成される配線パターンとを接続するためのビア穴を形成するビア穴形成工程と、前記ビア穴形成工程で形成されたビア穴に導電性材料を充填する充填工程と、前記充填工程で形成されたビアと接続され、基板の積層方向に対して垂直な方向に磁化するコイルとして配線が形成されるように、前記充填工程で形成された上層の金属薄膜に帯状の複数の配線パターンを形成する第2配線工程とを含むものである。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

本発明に係るインダクタ内蔵基板は、コア基板の表面に形成された帯状の複数の第1配線パターンと、当該第1配線パターンの少なくとも端部を除く領域に装着される磁性体と、前記第1配線パターンと前記磁性体とをモールドする絶縁材と、当該絶縁材の上面に形成される帯状の複数の第2配線パターンとを備え、前記第1配線パターンと前記第2配線パターンとが、前記基板の積層方向に対して垂直な方向に磁化するコイルとして配線が形成されるようにビアで接続されているものである。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

本発明に係るインダクタ内蔵基板製造方法は、コア基板に磁性体を埋め込む磁性体埋込工程と、前記磁性体が埋め込まれた前記コア基材の表面及び裏面に配線層を形成する配線層形成工程と、表面及び裏面の前記配線層を接続するためのビア穴を形成するビア穴形成工程と、前記ビア穴形成工程で形成されたビア穴に導電性材料を充填する充填工程と、前記充填工程で形成されたビア、並びに、前記コア基材の表面に形成された配線層及び裏面に形成された配線層が、基板の積層方向に対して垂直な方向に磁化するコイルとなるように、前記表面及び裏面の配線層の配線パターンを形成する配線工程とを含むものである。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

本発明に係るインダクタ内蔵基板製造方法は、コア基板の表面及び裏面に帯状の複数の配線パターンを形成する第1配線工程と、前記第1配線工程で形成された前記コア基板の表面及び裏面における帯状の配線パターンの少なくとも端部を除く領域に磁性体を装着する磁性体装着工程と、前記磁性体を絶縁材で埋め込む埋込工程と、帯状の前記配線パターンの端部と、各配線パターンの上層に形成される配線パターンとを接続するためのビア穴を形成するビア穴形成工程と、前記ビア穴形成工程で形成されたビア穴に導電性材料を充填する充填工程と、前記充填工程で形成されたビアと接続され、前記コア基板を挟んで表面及び裏面のそれぞれに、基板の積層方向に対して垂直な方向に磁化するコイルとして配線が形成されるように、前記充填工程で形成された上層の金属薄膜に帯状の複数の配線パターンを形成する第2配線工程とを含むものである。

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2013/055846
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> H05K1/16(2006.01) i  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H05K1/16  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013 Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-40915 A (NEC Corp.), 12 February 1999 (12.02.1999), paragraphs [0024], [0025]; fig. 4 & US 5978231 A & EP 880150 A2 & DE 69812221 D & DE 69812221 T & AU 6802998 A & CA 2237677 A & CN 1201366 A & AU 704127 B & CA 2237677 A1	1-4, 7-11 5, 6
Y	JP 2004-200439 A (NEC Tokin Corp.), 15 July 2004 (15.07.2004), paragraphs [0039], [0040]; fig. 1 (Family: none)	1-4, 7-11
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 27 June, 2013 (27.06.13)		Date of mailing of the international search report 09 July, 2013 (09.07.13)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/055846

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-72021 A (NEC Kansai, Ltd.), 27 March 2008 (27.03.2008), claim 1; fig. 1 (Family: none)	1-4, 7-11
Y	JP 2008-85314 A (Matsushita Electric Industrial Co., Ltd.), 10 April 2008 (10.04.2008), paragraphs [0019], [0036] (Family: none)	8
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 87951/1990 (Laid-open No. 46570/1992) (Japan Radio Co., Ltd.), 21 April 1992 (21.04.1992), fig. 4 (Family: none)	9, 10
A	JP 58-7609 Y2 (Tokyo Denki Kagaku Kogyo Kabushiki Kaisha), 10 February 1983 (10.02.1983), fig. 1 to 10 (Family: none)	1-11
A	JP 6-112655 A (Matsushita Electric Industrial Co., Ltd.), 22 April 1994 (22.04.1994), fig. 1 to 3 (Family: none)	1-11
A	JP 2003-209331 A (Toppan Printing Co., Ltd.), 25 July 2003 (25.07.2003), fig. 1 to 14 (Family: none)	1-11
A	JP 2009-212265 A (Daihatsu Motor Co., Ltd.), 17 September 2009 (17.09.2009), fig. 1 to 4 (Family: none)	1-11

国際調査報告		国際出願番号 PCT/J P 2 0 1 3 / 0 5 5 8 4 6									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H05K1/16(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H05K1/16											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2013年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2013年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2013年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2013年	日本国実用新案登録公報	1996-2013年	日本国登録実用新案公報	1994-2013年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2013年										
日本国実用新案登録公報	1996-2013年										
日本国登録実用新案公報	1994-2013年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y A	JP 11-40915 A (日本電気株式会社) 1999.02.12, 段落【0024】 【0025】, 図4 & US 5978231 A & EP 880150 A2 & DE 69812221 D & DE 69812221 T & AU 6802998 A & CA 2237677 A & CN 1201366 A & AU 704127 B & CA 2237677 A1	1-4, 7-11 5, 6									
Y	JP 2004-200439 A (NECトーキン株式会社) 2004.07.15, 段落【0039】 【0040】, 図1 (ファミリーなし)	1-4, 7-11									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 27.06.2013		国際調査報告の発送日 09.07.2013									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 吉澤 秀明	3 S 9437								
		電話番号 03-3581-1101	内線 3391								

国際調査報告		国際出願番号 PCT/J P 2 0 1 3 / 0 5 5 8 4 6
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-72021 A (関西日本電気株式会社) 2008.03.27, 【請求項1】, 図1 (ファミリーなし)	1-4, 7-11
Y	JP 2008-85314 A (松下電器産業株式会社) 2008.04.10, 段落【0019】【0036】 (ファミリーなし)	8
Y	日本国実用新案登録出願 2-87951 号(日本国実用新案登録出願公開 4-46570 号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (日本無線株式会社) 1992.04.21, 第4図 (ファミリーなし)	9, 10
A	JP 58-7609 Y2 (東京電気化学工業株式会社) 1983.02.10, 第1図-第10図 (ファミリーなし)	1-11
A	JP 6-112655 A (松下電器産業株式会社) 1994.04.22, 図1-図3 (ファミリーなし)	1-11
A	JP 2003-209331 A (凸版印刷株式会社) 2003.07.25, 図1-図14 (ファミリーなし)	1-11
A	JP 2009-212265 A (ダイハツ工業株式会社) 2009.09.17, 図1-図4 (ファミリーなし)	1-11

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

(72)発明者 前田 憲隆

埼玉県鶴ヶ島市五味ヶ谷 1 8 番地 東光株式会社内

(72)発明者 渋谷 正和

埼玉県鶴ヶ島市五味ヶ谷 1 8 番地 東光株式会社内

Fターム(参考) 4E351 AA02 BB03 BB09 BB10 BB11 BB12 BB13 DD04 GG20  
 5E316 AA02 AA26 AA29 AA43 CC08 CC32 DD02 DD12 DD22 DD32  
 FF04 FF07 FF22 FF27 FF45 GG15 GG22 GG28 HH31 HH32  
 JJ02 JJ13 JJ14

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。