



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 699 34 874 T2 2007.10.18**

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 048 076 B1**

(21) Deutsches Aktenzeichen: **699 34 874.9**

(86) PCT-Aktenzeichen: **PCT/EP99/06275**

(96) Europäisches Aktenzeichen: **99 942 923.6**

(87) PCT-Veröffentlichungs-Nr.: **WO 2000/014803**

(86) PCT-Anmeldetag: **26.08.1999**

(87) Veröffentlichungstag
der PCT-Anmeldung: **16.03.2000**

(97) Erstveröffentlichung durch das EPA: **02.11.2000**

(97) Veröffentlichungstag
der Patenterteilung beim EPA: **17.01.2007**

(47) Veröffentlichungstag im Patentblatt: **18.10.2007**

(51) Int Cl.⁸: **H01L 27/02 (2006.01)**

H01L 29/74 (2006.01)

H01L 29/87 (2006.01)

H01L 29/749 (2006.01)

(30) Unionspriorität:
98202948 03.09.1998 EP

(73) Patentinhaber:
**Koninklijke Philips Electronics N.V., Eindhoven,
NL**

(74) Vertreter:
derzeit kein Vertreter bestellt

(84) Benannte Vertragsstaaten:
DE, FR, GB, IT, NL

(72) Erfinder:
**SCHROEDER, U., Hans, NL-5656 AA Eindhoven,
NL; GRADENWITZ, G., Paul, NL-5656 AA
Eindhoven, NL**

(54) Bezeichnung: **SCR BAUTEIL MIT NIEDRIGER SCHWELL- UND HALTESPANNUNG FÜR ESD SCHUTZ**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die Erfindung bezieht sich auf eine Halbleiteranordnung mit einem Halbleiterkörper, der auf einer Oberfläche eine integrierte Schaltung umfasst, die Schutzmittel zum Schutz gegen elektrostatische Entladung (ESD) enthält, wobei die Mittel ein Verbundelement eines SCR und einer gategesteuerten Diode sind, die Schutzmittel in einem Oberflächenbereich eines ersten Leitfähigkeitstyps mit einer Wanne eines zweiten, entgegengesetzten Leitfähigkeitstyps, in deren Fläche eine Oberflächenzone des ersten Leitfähigkeitstyps gebildet ist, die eine der Anoden- und Kathoden zonen des SCR-Elements bildet, bereitgestellt sind und der Oberflächenbereich eine Oberflächenzone des zweiten Leitfähigkeitstyps, weiter als erste Zone bezeichnet, hat, die sich entfernt von der Wanne befindet und die andere Anoden- und Kathodenfläche des SCR-Elements bildet, die gategesteuerte Diode ein von der Oberfläche des Halbleiterkörpers isoliertes Gate und eine zu diesem Gate ausgerichtete, hoch dotierte Oberflächenzone des zweiten Leitfähigkeitstyps, weiter als zweite Zone bezeichnet, enthält, wobei die ausgerichtete Oberflächenzone teilweise die Wanne des zweiten Leitfähigkeitstyps überlappt. Eine solche Halbleiteranordnung ist beispielsweise aus dem Artikel „A Low-Voltage Triggering SCR for On-Chip ESD Protection at Output and Input Pads“ von A. Chatterjee et al., veröffentlicht in IEEE Electron Device Letters, Vol. 12, No. 1, 1. Januar 1991, S. 21 und 22, bekannt.

[0002] Ein SCR-Element (siliziumgesteuerter Gleichrichter) ist eine Vier-Lagen-nnpn-Struktur mit Anschlüssen an der äußeren n-Schicht und p-Schicht. Wie bekannt, ist der Widerstand eines solchen Elements in dem einen Zustand sehr hoch, sodass kein oder im Wesentlichen kein Strom durch das Element fließt; in dem anderen Zustand ist der Widerstand sehr klein, sodass das Element einen großen Strom transportieren kann. Das Element wechselt von dem einen, nichtleitenden Zustand in den anderen Zustand, wo die Spannung zwischen den Anschlüssen einen bestimmten Wert, die sogenannte Zündspannung, erreicht. Jenseits dieses Punkts der I/U-Charakteristik fällt die Spannung zwischen den Anschlüssen auf einen niedrigen Wert, die sogenannte Haltespannung, und die I/U-Kurve wird sehr steil. Beim Verwenden eines SCR-Elements als ein Schutz einer CMOS-Schaltung oder einer BiCMOS-Schaltung gegen ESD-Beschädigung ist es wichtig, dass die Zündspannung niedriger als die niedrigste Spannung an den I/O-Pads, bei der Beschädigung in der Schaltung auftreten kann, ist. Im Allgemeinen wird die Zündspannung durch die Durchbruchsspannung eines pn-Übergangs bestimmt. In einem Standard-CMOS-Prozess liegt die Durchbruchsspannung des pn-Übergangs zwischen der n-Wanne und dem p-Typ Oberflächenbereich in der Nähe von 40 V, was viel zu hoch für ESD-Schutz

ist. Die Durchbruchsspannung des pn-Übergangs der Source/Drain-Zone des n-Kanal-MOS-Transistors ist etwa 10 V. Durch Bereitstellen einer gategesteuerten Diode entlang des Randes der Wanne, beispielsweise in der Form eines MOS-Transistors, kann eine Zündspannung des gewünschten Wertes erzielt werden. Die Transistor-Source- oder Drain-Zone, die die Wanne überlappt, bildet eine gategesteuerte Diode, die das SCR-Element zündet, wobei in der bekannten Anordnung die andere Zone des Transistors die Kathode des SCR-Elements bildet.

[0003] Die Haltespannung sollte generell höher als die Versorgungsspannung sein. Um die Verlustleistung in dem Schutz möglichst niedrig zu halten, wird eine niedrige Haltespannung gewünscht. In der Praxis hat sich gezeigt, dass die Haltespannung in den meisten Standardprozessen über 6 V liegt. Aber oft wird eine niedrigere Haltespannung gewünscht, besonders in Applikationen niedriger Leistung, wo die Versorgungsspannung 3,3 V oder weniger ist.

[0004] US-5.455.436 offenbart eine Schutzschaltung gegen ESD mit einem NMOS-Transistor und einem SCR-Element. Ein p-Substrat hat eine n-Wanne mit einer p+-Oberflächenzone zum Anschluss an einen Eingangs/Ausgangs-Pad. Eine n+-Oberflächenzone überlappt die n-Wanne und bildet den Kollektor des NMOS-Transistors. Eine weitere n-Wanne ist bereitgestellt, um eine Kathode für das SCR-Element zu schaffen.

[0005] Es ist eine Aufgabe der Erfindung, einen ESD-Schutz zu schaffen, der nicht nur eine niedrige Zündspannung sondern auch eine niedrige Haltespannung hat. Zusätzlich basiert die Erfindung beispielsweise auf der Erkenntnis, dass in der bekannten Anordnung die die Wanne überlappende Transistorzone die Anode von Ladungsträgern abschirmt, die von der Kathode injiziert werden. Die Erfindung basiert weiter auf der Erkenntnis, dass die Haltespannung, die im Allgemeinen zunimmt, wenn der Abstand zwischen Anode und Kathode zunimmt, ungünstig durch die Anwesenheit des Transistors zwischen Anode und Kathode beeinflusst wird.

[0006] Gemäß der Erfindung wird eine durch Anspruch 1 definierte Halbleiteranordnung geschaffen. Diese Konfiguration erreicht, dass die Anode und die Kathode in Wirklichkeit nicht durch die gategesteuerte Diode voneinander abgeschirmt werden, sodass die von der Kathode injizierten Ladungsträger die Anode leichter erreichen können, was in einer erheblich niedrigeren Haltespannung als in bekannten Anordnungen resultiert.

[0007] Gemäß der Erfindung erstreckt sich das Gate der gategesteuerten Diode im Wesentlichen nur entlang des Teils der Peripherie der Wanne, entlang dessen sich auch die genannte zweite Zone des

zweiten Leitfähigkeitstyps erstreckt. Das ist beispielsweise dadurch vorteilhaft, dass der Leckstrom als Ergebnis der limitierten Gatelänge relativ klein ist. Die Erfindung ist dadurch gekennzeichnet, dass die genannte erste Zone des zweiten Leitfähigkeitstyps in einem kürzeren lateralen Abstand zu der in der Wanne bereitgestellten Oberflächenzone des ersten Leitfähigkeitstyps angeordnet ist als die genannte weitere Oberflächenzone. In der Praxis zeigt sich, dass die Haltespannung sich mehr oder weniger linear mit dem Abstand von der Anode zur Kathode ändert. In einer Anordnung gemäß der Erfindung wird die Option verwendet, diesen Abstand sehr klein zu machen, das heißt, wesentlich kleiner als der Abstand zwischen der Anode und der Source des Transistors.

[0008] Diese und andere Aspekte der Erfindung werden deutlich aus und erklärt mit Bezug auf die hiernach beschriebenen Ausführungsformen.

[0009] In der Zeichnung zeigen:

[0010] [Fig. 1](#) einen Teil einer integrierten Schaltung mit einem Eingangsschutz gegen elektrostatische Entladung;

[0011] [Fig. 2](#) einen Querschnitt eines ESD-Schutzes gemäß der Erfindung;

[0012] [Fig. 3](#) eine Strom/Spannungs-Charakteristik des ESD-Schutzes von [Fig. 2](#);

[0013] [Fig. 4](#) das Layout einer zweiten Ausführungsform eines ESD-Schutzes gemäß der Erfindung;

[0014] [Fig. 5](#) einen Querschnitt dieser zweiten Ausführungsform entlang der Linie V-V; und

[0015] [Fig. 6](#) einen Querschnitt dieser Ausführungsform entlang der Linie VI-VI in [Fig. 4](#).

[0016] [Fig. 1](#) zeigt in einem Diagramm den Eingangsteil einer integrierten Schaltung **1** mit einem Eingangspfad **2**, der durch Draht-Bonden (nicht gezeigt) an einen Eingangs-Pin einer üblichen Umhüllung (auch nicht gezeigt) angeschlossen ist. Der Eingangspfad **2** ist durch einen Leiter **3** an einen Eingangs-Port **4** der Schaltung angeschlossen, wobei der Eingangs-Port beispielsweise einen p-Kanal-Transistor **5** und einen n-Kanal-Transistor **6** umfasst, wobei die Transistorgates an den Leiter **3** angeschlossen sind. Die Streuung des Widerstands in dem Leiter **3** wird schematisch durch die Widerstände **7** repräsentiert. Um die Schaltung gegen Beschädigung wegen elektrostatischer Entladung (ESD), die beispielsweise durch Kontakt zwischen dem Eingangs-Pin der Umhüllung und einem menschlichen Körper verursacht wird, zu schützen, ist ein Schutzelement **9** eingefügt, dessen eine Seite

an den Leiter **3** angeschlossen ist und dessen andere Seite an eine Referenzspannung, beispielsweise Masse, angeschlossen ist. Das in der Figur zur Vereinfachung als Diode gezeigte Element **9** wird durch eine Vier-Lagen-Struktur abwechselnden Leitfähigkeitstyps, deshalb oft als SCR (siliziumgesteuerter Gleichrichter) bezeichneten pnpn-Struktur gebildet. Die Strom/Spannungs-Charakteristik zeigt einen ersten Bereich (siehe [Fig. 3](#)) zwischen 0 Volt und V_{tr} Volt, in dem das SCR-Element keinen oder im Wesentlichen keinen Strom leitet. Dies ist der Zustand, in dem das Element unter normalen Bedingungen ist. In dem Fall der Zündspannung V_{tr} wechselt das Element in einen leitenden Zustand, in dem die Spannung auf einen niedrigen Wert V_h , die Haltespannung, fällt und der Widerstand des SCR-Elements sehr niedrig wird. Zum effektiven Schützen der Schaltung gegen ESD ist es notwendig, dass V_{tr} niedriger ist als die Spannung, bei der Beschädigung auftritt. Das bedeutet, dass für jetzige CMOS-Prozesse V_{tr} gleich oder im Wesentlichen gleich 10 V sein muss. Für eine schnelle Entladung in dem Fall von ESD und um die Wärmeentwicklung in dem Schutz selbst möglichst klein zu halten, ist ein möglichst niedriges V_h gewünscht (sei es größer als die Versorgungsspannung). Da die Versorgungsspannung für sich immer verringerte Abmessungen in der Siliziumtechnologie eine Tendenz zu immer mehr abnehmenden Werten zeigt, wird ein SCR-Schutz mit einem niedrigen V_h immer mehr gewünscht.

[0017] [Fig. 2](#) zeigt in einer Querschnittsansicht ein Schutzelement **9** gemäß der Erfindung, wobei das Element auch eine niedrige Haltespannung V_h hat, wenn es eine passende Zündspannung gibt. Gestartet wird von einem Halbleiterkörper aus beispielsweise Silizium, von dem [Fig. 2](#) nur den Oberflächenbereich **10** zeigt, der das Schutzelement **9** enthält. In der hier zu beschreibenden speziellen Ausführungsform ist der Oberflächenbereich vom p-Typ. Aber es wird dem Experten deutlich klar sein, dass auch Ausführungsformen möglich sind, die entgegengesetzte Leitfähigkeitstypen der verschiedenen Bereiche und Zonen haben. In dem Oberflächenbereich **10** ist eine n-Typ Wanne **11** geschaffen, beispielsweise während der n-Wannen-Implantation für die p-Kanal-Transistoren anderswo in dem Halbleiterkörper. In der Wanne **11** gibt es eine p-Typ Oberflächenzone **8**, die die Anode des SCR-Elements **9** bildet und über den Leiter **3** an den Eingangspfad **2** angeschlossen ist. Mithilfe des in [Fig. 2](#) nur schematisch gezeigten Kontakts **13** und der hoch dotierten Kontaktzone **12** ist die Anode **8** auch an die Wanne **11** angeschlossen. Der p-Typ Oberflächenbereich **10** enthält weiter eine n-Typ Oberflächenzone **14**, die entfernt von der Wanne **11** liegt und die Kathode des SCR-Elements bildet. Mithilfe des schematisch gezeigten Leiters **15** ist die Kathode **14** an eine Referenzspannung, beispielsweise Masse, angeschlossen. Der p-Typ Oberflächenbereich **10** ist in diesem Beispiel durch den

Leiter **15** und die hoch dotierte p-Typ Oberflächenzone **16** auch an Masse angeschlossen. Um eine ausreichend niedrige Zündspannung zu erzielen, hat die Anordnung eine gategesteuerte Diodenstruktur mit einer hoch dotierten n-Typ Oberflächenzone **17**, die in dem p-Typ Oberflächenbereich **10** geschaffen ist und ein elektrisch von dem Oberflächenbereich **10** isoliertes Gate **18**, das relativ zu der Zone **17** ausgerichtet ist. Die Zone **17** ist elektrisch dadurch an die Wanne **11** angeschlossen, dass die Zone **17** an die Wanne **11** angrenzt, oder, wie in der Zeichnung gezeigt, die Wanne **11** überlappt. In der in [Fig. 2](#) gezeigten Ausführungsform ist das Gate **18** durch einen Leiter **15** an das Substrat **10** und an die niedrige Referenzspannung angeschlossen. In einer anderen Ausführungsform ist Gate **18** über einen Widerstand und über eine Diode oder einen Kondensator an Zone **17** angeschlossen. Diese Konfiguration schafft, dass die Zündspannung des Schutzes nicht durch die (hohe) Durchbruchspannung des pn-Übergangs zwischen der Wanne **11** und dem Oberflächenbereich **10** bestimmt wird, sondern durch die gategesteuerte Diode **17**, **18**. Die gategesteuerte Diode kann gleichzeitig mit den n-Kanal-Transistoren der Schaltung hergestellt werden, sodass mit dem gegenwärtigen Standard-CMOS-Prozess eine Durchbruchspannung gleich oder im Wesentlichen gleich 10 V erzielt werden kann.

[0018] Im Prinzip ist die gategesteuerte Diode mit der Zone **17** und dem Gate **18** ausreichend. In dem gezeigten Beispiel ist auf der Seite des Gates **18**, gegenüber Zone **17** eine weitere hoch dotierte n-Typ Zone **19** in dem p-Typ Oberflächenbereich **10** geschaffen, sodass die gategesteuerte Diode die Struktur eines MOS-Transistors hat. Die Zone **19** ist auch an die niedrige Referenzspannung und an das Substrat **10** angeschlossen und arbeitet, als Ergebnis, als eine Kathode des SCR-Elements, sei es in weniger effektiver Weise als die n-Typ Zone **14**.

[0019] [Fig. 4](#) zeigt eine Draufsicht eines ESD-Schutzes gemäß der Erfindung mit einem im Vergleich zu dem vorigen Beispiel anderen Layout. Querschnitte der Anordnung entlang der Linien V-V und VI-VI sind in [Fig. 5](#) beziehungsweise [Fig. 6](#) dargestellt. Die n-Typ Wanne **11** ist in der Form einer longitudinalen Zone mit zwei Enden auf der linken und rechten Seite der Zeichnung angeordnet. Die Anode **8** wird durch eine longitudinale p-Typ Zone in der n-Wanne **11** gebildet, wobei die Wanne in ihrem Zentrum eine Öffnung an der Position hat, an der eine hoch dotierte n-Typ Zone **12** geschaffen ist, die eine Kontaktfläche für die Wanne **11** bildet. Die gategesteuerte Diode ist allein auf der rechten Seite geschaffen und umfasst das isolierte Gate **18** und die hoch dotierte n-Typ Zone **17**, die die Wanne **11** teilweise überlappt. In diesem Beispiel ist die gategesteuerte Diode auch als ein MOS-Transistor mit einer weiteren n-Typ Zone **19** angeordnet. Die Kathode

des SCR, gebildet durch die hoch dotierte n-Typ Zone **14** ist entlang des Teils der Peripherie der Wanne **11**, der frei von dem Gate **18** ist, in einem kleinen Abstand von der Anode **8** geschaffen. Das Verhältnis zwischen den zwei Teilen der Peripherie kann mit relativ großer Freiheit abhängig von den Umständen gewählt werden. [Fig. 4](#) zeigt eine Ausführungsform, in der die gategesteuerte Diode nur einen relativ kleinen Teil der Peripherie des SCR einnimmt und so sehr geringen Einfluss auf die Haltespannung V_n und auf die Strom-transportierende Leistung des SCR hat. An der Position des Kontakts **20** ist das Gate **18** an das p-Typ Substrat **10** und die n-Typ Kathode **14** angeschlossen, die zusammen mit der weiteren Zone **19** eine zusammenhängende Fläche bildet. Überflüssig zu bemerken, dass, wenn so gewünscht, das Gate auch an einen Knoten in der Schaltung an eine andere passende Spannung angeschlossen werden kann.

[0020] Es wird deutlich sein, dass die Erfindung nicht auf die oben beschriebenen Beispiele beschränkt ist, aber dass innerhalb des Rahmens der Erfindung sehr viele Variationen für den Fachmann möglich sind. Beispielsweise kann eine Vielzahl von parallel angeordneten SCR-Elementen wie in [Fig. 4](#) verwendet werden, um die Strom-transportierende Leistung zu erhöhen. In den beschriebenen Beispielen können die Leitfähigkeitstypen auch umgekehrt werden, überflüssig zu bemerken, dass die anzulegenden Spannungen angepasst werden müssen und die Funktionen von Anode und Kathode ausgetauscht sind. Das Schutzelement kann in Schutzschaltungen verwendet werden, die sich von der Schaltung in [Fig. 1](#) unterscheidet.

Patentansprüche

1. Halbleiteranordnung mit einem Halbleiterkörper, der auf einer Oberfläche eine integrierte Schaltung umfasst, die Schutzmittel zum Schutz gegen elektrostatische Entladung (ESD) enthält, wobei die Mittel ein Verbundelement eines SCR und eines MOS-Transistors sind, die Schutzmittel in einem Oberflächenbereich (**10**) eines ersten Leitfähigkeitstyps mit einer Wanne (**11**) eines zweiten, entgegengesetzten Leitfähigkeitstyps, in deren Fläche eine Oberflächenzone (**12**) des ersten Leitfähigkeitstyps gebildet ist, die eine der Anoden- und Kathodenzonen des SCR-Elements bildet, bereitgestellt sind und der Oberflächenbereich eine Oberflächenzone des zweiten Leitfähigkeitstyps, weiter als erste Zone (**14**) bezeichnet, hat, die sich entfernt von der Wanne befindet und die andere Anoden- und Kathodenfläche des SCR-Elements bildet, der MOS-Transistor ein von der Oberfläche des Halbleiterkörpers isoliertes Gate (**18**) und eine zu diesem Gate ausgerichtete, hoch dotierte Oberflächenzone (**17**) des zweiten Leitfähigkeitstyps, weiter als zweite Zone bezeichnet, enthält, wobei die ausgerichtete Oberflächenzone

teilweise die Wanne des zweiten Leitfähigkeitstyps überlappt und sich nur entlang eines Teils der Peripherie der Wanne erstreckt, in der sich das Gate des Transistors im Wesentlichen nur entlang des Teils der Peripherie der Wanne erstreckt, während die erste Zone entlang mindestens eines anderen Teils dieser Peripherie der Wanne, das frei von der genannten zweiten Zone ist, bereitgestellt ist, wobei der MOS-Transistor eine weitere, in dem Oberflächenbereich des ersten Leitfähigkeitstyps deponierte Oberflächenzone (19) des zweiten Leitfähigkeitstyps hat, die genannte zweite Zone eine der Source/Drain-Zonen des Transistors bildet und die genannte weitere Oberflächenzone die andere der Source/Drain-Zonen des Transistors bildet, dadurch gekennzeichnet, dass die genannte erste Zone des zweiten Leitfähigkeitstyps in einem kürzeren lateralen Abstand zu der in der Wanne bereitgestellten Oberflächenzone des ersten Leitfähigkeitstyps angeordnet ist als die genannte weitere Oberflächenzone.

2. Halbleiteranordnung nach Anspruch 1, dadurch gekennzeichnet, dass die genannte weitere Zone des zweiten Leitfähigkeitstyps und die genannte erste Zone des zweiten Leitfähigkeitstyps eine zusammenhängende Zone des zweiten Leitfähigkeitstyps bilden.

3. Halbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der erste und der zweite Leitfähigkeitstyp der p-Leitfähigkeitstyp beziehungsweise n-Leitfähigkeitstyp sind, die genannte erste Zone die Kathode des SCR-Elements bildet und die in der Wanne angeordnete Zone des ersten Leitfähigkeitstyps die Anode des SCR-Elements bildet.

Es folgen 2 Blatt Zeichnungen

Anhängende Zeichnungen

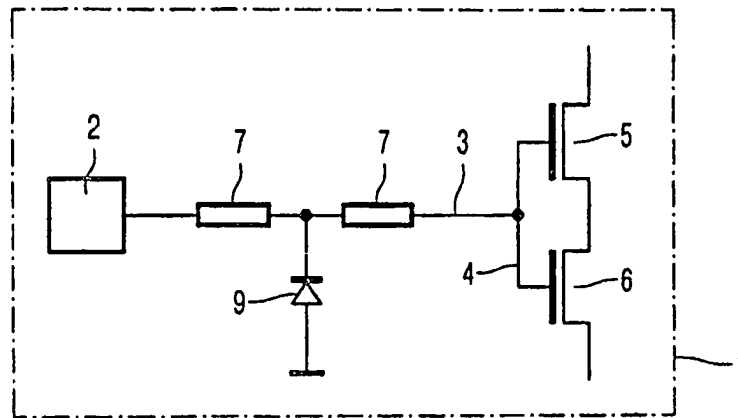


FIG. 1

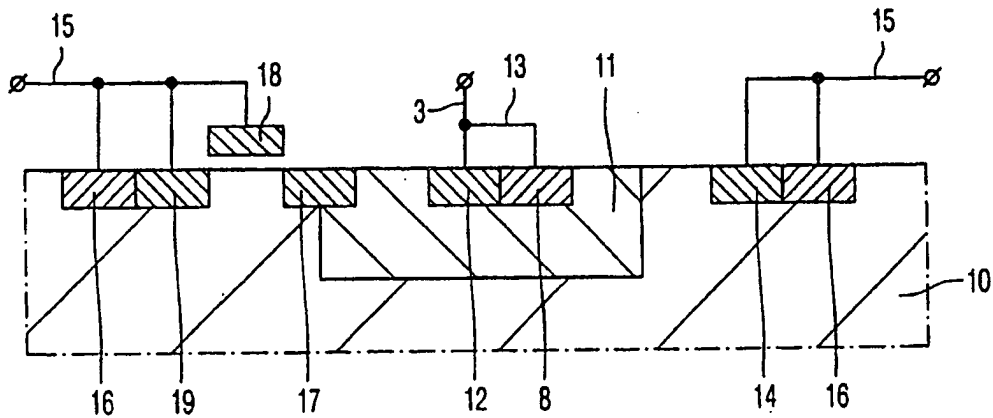


FIG. 2

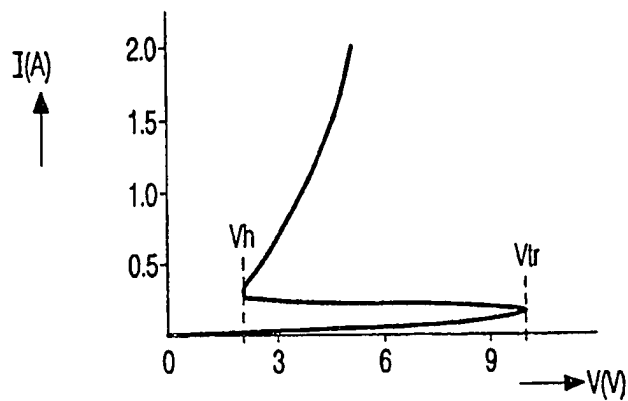


FIG. 3

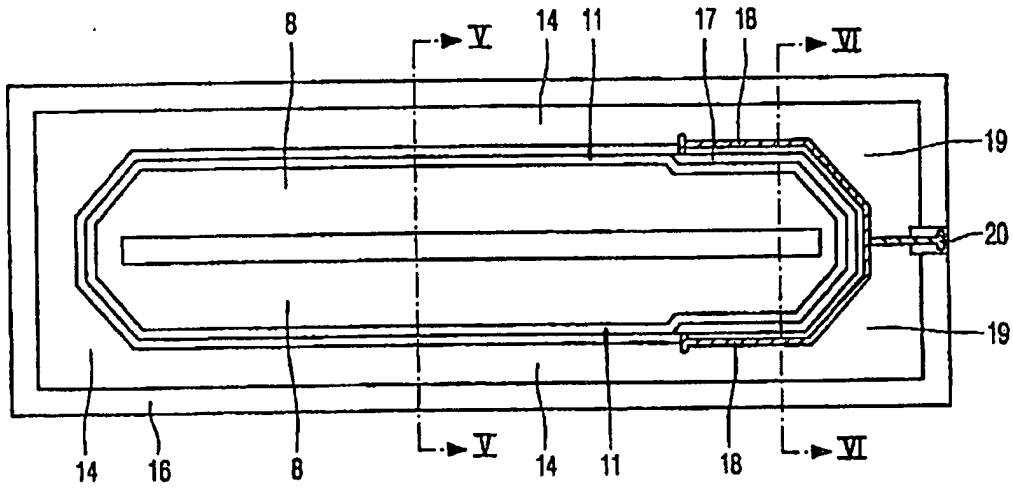


FIG. 4

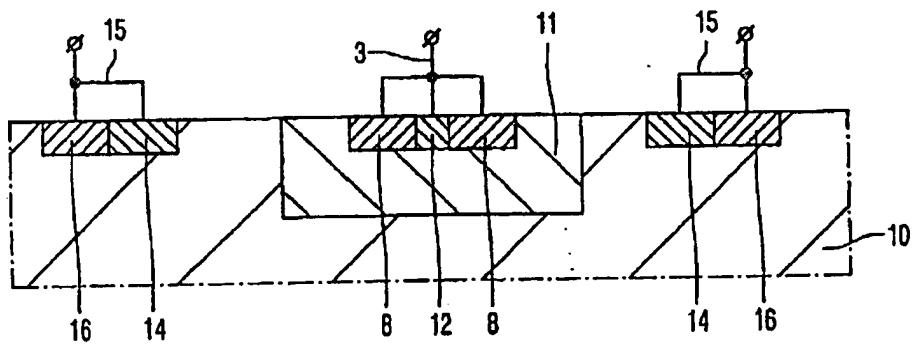


FIG. 5

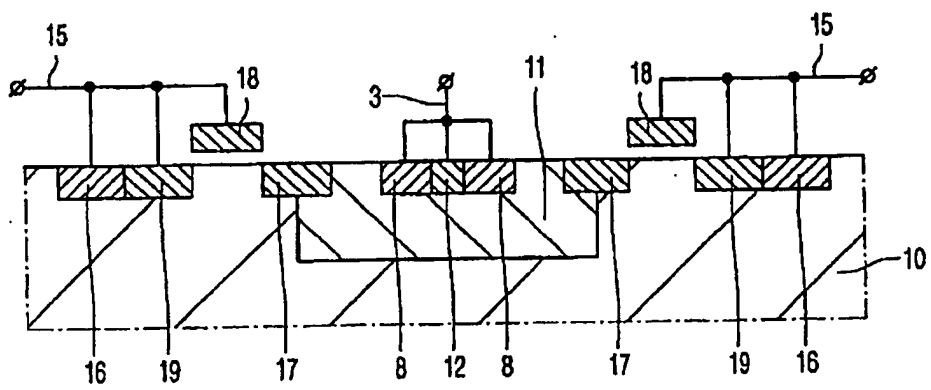


FIG. 6