

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4240899号
(P4240899)

(45) 発行日 平成21年3月18日(2009.3.18)

(24) 登録日 平成21年1月9日(2009.1.9)

(51) Int.Cl. F I
H O 1 L 23/12 (2006.01) H O 1 L 23/12 5 O 1 B

請求項の数 15 (全 15 頁)

(21) 出願番号	特願2002-86422 (P2002-86422)	(73) 特許権者	302062931 N E Cエレクトロニクス株式会社
(22) 出願日	平成14年3月26日(2002.3.26)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2002-359323 (P2002-359323A)	(74) 代理人	100123788 弁理士 宮崎 昭夫
(43) 公開日	平成14年12月13日(2002.12.13)		
審査請求日	平成17年2月10日(2005.2.10)	(74) 代理人	100127454 弁理士 緒方 雅昭
(31) 優先権主張番号	特願2001-86833 (P2001-86833)	(74) 代理人	100106138 弁理士 石橋 政幸
(32) 優先日	平成13年3月26日(2001.3.26)	(72) 発明者	栗田 洋一郎 東京都港区芝五丁目7番1号 日本電気株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	前田 武彦 東京都港区芝五丁目7番1号 日本電気株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体素子および該半導体素子と接続する端子部を備えた半導体装置において、
前記半導体素子と接続する第1の配線体と第2の配線体が、前記半導体素子の両面を覆うように挟み込む形態で対向配置され、

前記第1および第2の配線体のうちの少なくとも第1の配線体は基板上に形成した配線体に半導体素子を接続し、前記配線体を被覆し、前記半導体素子の周囲を充填する樹脂を形成した後、前記基板を除去して得られる埋め込み配線体であり、

前記端子部が前記半導体装置の表面と裏面に備えられていることを特徴とする半導体装置。

【請求項2】

請求項1記載の半導体装置において、

前記埋め込み配線体が多層配線により形成されていることを特徴とする半導体装置。

【請求項3】

基板上に複数の半導体素子が接続される第1の配線体を形成する工程と、

前記複数の半導体素子を前記第1の配線体に接続または接着する工程と、

前記基板に接続された複数の半導体素子間に絶縁性樹脂を充填し、硬化させる工程と、

前記充填した樹脂と半導体素子を所定の厚さに研削する工程と、

前記研削した樹脂にスルーホールを形成する工程と、

前記スルーホール内を金属粒子で充填し、先端部に接続部材を被着する工程と、

第 2 の配線体を前記半導体素子を覆い、かつ前記第 1 の配線体とで挟み込むように形成する工程と、

前記第 1 の配線体の端子部に前記第 2 の配線体の端子部を接続する工程と、
前記基板を除去する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 4】

基板上に複数の半導体素子が接続される第 1 の配線体を形成する工程と、
前記第 1 の配線体の、前記半導体素子の周囲に導体柱からなる端子部を形成する工程と

、
前記複数の半導体素子を前記第 1 の配線体に接続または接着する工程と、
前記基板に接続された複数の半導体素子間に樹脂を充填し、硬化させる工程と、
前記半導体素子間に充填された樹脂と半導体素子を所定の厚さに研削する工程と、
第 2 の配線体を前記半導体素子を覆い、かつ前記第 1 の配線体とで挟み込むように形成する工程と、

10

前記第 1 の配線体の端子部に前記第 2 の配線体の端子部を接続する工程と、
前記基板を除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 3 記載の半導体装置の製造方法において、
前記第 2 の配線体は基板に複数形成されたものであることを特徴とする半導体装置の製造方法。

【請求項 6】

20

基板上に複数の半導体素子が接続される第 1 の配線体を形成する工程と、
前記複数の半導体素子を前記配線体に接続または接着する工程と、
前記基板に接続された複数の半導体素子間に樹脂を充填し、硬化させる工程と、
前記充填した樹脂と半導体素子を所定の厚さに研削する工程と、
前記研削した樹脂にスルーホールを形成する工程と、
前記スルーホール内を金属粒子で充填し、先端部に接続部材を被着する工程と、
第 2 の配線体を前記半導体素子を覆い、かつ前記第 1 の配線体とで挟み込むように形成する工程と、

前記第 1 の配線体の端子部に前記第 2 の配線体の端子部を接続する工程と、
前記各工程を経て得られた半導体素子搭載基板を多段に積層して接着し、端子部を電氣的に接続する工程と、
を含むことを特徴とする半導体装置の製造方法。

30

【請求項 7】

前記第 2 の配線体は、基板上に形成された配線パターンを形成した後に該基板を除去することにより得られる埋め込み配線体であることを特徴とする請求項 1 記載の半導体装置。

【請求項 8】

前記第 2 の配線体がテープ配線基板であることを特徴とする請求項 1 記載の半導体装置。

【請求項 9】

40

前記第 2 の配線体は、ビルドアップ法により形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 10】

前記第 2 の配線体が多層配線により形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 11】

前記配線体に接続された複数の各半導体素子間を行方向と列方向に切断する工程を含むことを特徴とする請求項 3 ないし 6 のいずれかに記載の半導体装置の製造方法。

【請求項 12】

請求項 1 または 2 記載の半導体装置を複数個積層し、相対する端子部で接続したことを

50

特徴とする積層型半導体装置。

【請求項 1 3】

請求項 1 2 記載の積層型半導体装置において、
前記半導体装置間を接続する端子部が半導体素子間に配設されていることを特徴とする積層型半導体装置。

【請求項 1 4】

半導体素子および該半導体素子と接続する端子部を備えた半導体装置において、
前記半導体素子は、基板上に配線パターンおよび感光性樹脂を形成した後に該基板を除去することにより得られる埋め込み配線体と接続され、
前記端子部が前記半導体装置の表面と裏面に備えられ、
前記埋め込み配線体に複数形成された端子部のうち少なくとも一つが、平面視で、半導体素子内側に配置されていることを特徴とする半導体装置。

10

【請求項 1 5】

基板上に配線パターンおよび感光性樹脂を形成した後に該基板を除去することにより得られる埋め込み配線体と、
該配線体上に配置される樹脂により封止された半導体素子と、を備える半導体装置であって、
前記埋め込み配線体に複数形成された端子部を備え、
前記埋め込み配線体は前記半導体素子と接続され、該埋め込み配線体に形成された端子部は配線体を介して前記半導体素子と接続されており、
前記半導体素子の周囲となる位置の前記樹脂に埋設され、前記配線体と接続され、反配線体側の面の樹脂から露出する導体柱とを有し、
前記埋め込み配線体に複数形成された端子部のうち少なくとも一つが、平面視で、半導体素子内側に配置されていることを特徴とする半導体装置。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置と、半導体装置を多段に積層した半導体装置とその製造方法に係わり、特に三次元実装可能にすることで集積度を向上に関する。

【0002】

【従来の技術】

近年、電子機器の小型化、高機能化は、LSIの微細化技術によって半導体装置そのものが小型化、高集積化、高機能化が進展し、特にメモリやASIC (Application Specific Integrated Circuit)のLSIを積み重ねて実装したスタック型半導体装置が携帯端末等に広く使われている。

【0003】

上記のような半導体装置を実現するための従来技術としては、例えば、特開2000-20869号公報の図1に示されるようにTABテープ、フレキシブル基板、リジッド基板に半導体素子を搭載し樹脂封止して厚みを100 μ m程度まで薄くしたパッケージを複数個積み重ねて実装したスタック型半導体装置用モジュールや、特開平7-106509号公報の図1に示されるように外部端子が基板の両面に設けられ配線基板の凹部に半導体素子を搭載し、前記基板の両面で交互に外部端子を接続したモジュールや、特開2000-183283号公報の図4(c)に示されるように配線基板に第1の半導体素子をフリップチップし、その周囲にスタッドバンプを設け、そのスタッドバンプに第2の半導体素子の配線体を接続して樹脂封止した構造などが挙げられる。

40

【0004】

【発明が解決しようとする課題】

上述した従来例のうち、特開2000-20869号公報に開示されるものでは、薄型でスタック型に複数個実装してもモジュールの厚さはそれほど厚くならない。しかし、構造上外部接続端子をチップの面上に設けることができず、チップ周囲に設けられているので

50

平面的に大きな面積を必要とする。例えば、テープキャリアパッケージの例ではチップの面積に対してチップの外側に3～5mmの領域に外部接続端子が設けられるために占める面積は非常に大きくなるという問題点がある。

【0005】

特開平7 106509号公報に開示される構造は、配線基板の凹部にチップを搭載する構造であり、これを複数個スタック構造に積み重ねるために、全体の厚さが厚くなってしまふという問題点がある。また、平面方向の面積が大きくなってしまふという問題点は特開2000-20869号公報に開示されるものと同様である。

【0006】

特開2000-183283号公報に開示される従来例は、配線基板の厚さ分だけ厚くなり、このため、特開2000-20869号公報および特開平7 106509号公報に開示されるものと同様に平面方向の面積が小さくならないという問題点がある。

【0007】

以上のようにスタック構造に実装すると厚くなり、平面方向の実装面積が大きくなる問題点があった。

【0008】

本発明は、このような従来技術の課題を解決するものであり、その目的とするところは大幅に小型、薄型、高密度実装することできるようにした半導体装置の製造方法とこれにより製造された半導体装置を提供することにある。

【0009】

【課題を解決するための手段】

本発明の半導体装置は、半導体素子および該半導体素子と接続する端子部を備えた半導体装置において、

前記半導体素子と接続する第1の配線体と第2の配線体が、前記半導体素子の両面を覆うように挟み込む形態で対向配置され、

前記第1および第2の配線体のうちの少なくとも第1の配線体は基板上に形成した配線体に半導体素子を接続し、前記配線体を被覆し、前記半導体素子の周囲を充填する樹脂を形成した後、前記基板を除去して得られる埋め込み配線体であり、

前記端子部が前記半導体装置の表面と裏面に備えられていることを特徴とする。

【0010】

この場合、前記埋め込み配線体が多層配線により形成されているとしてもよい。

【0011】

また、前記第2の配線体は、基板上に形成された配線パターンを形成した後に該基板を除去することにより得られる埋め込み配線体であるとしてもよい。

【0012】

また、前記第2の配線体がテープ配線基板であるとしてもよい。

【0013】

また、前記第2の配線体は、ビルドアップ法により形成されているとしてもよい。

【0014】

また、前記第2の配線体が多層配線により形成されているとしてもよい。

【0015】

本発明の半導体装置の製造方法は、基板上に複数の半導体素子が接続される第1の配線体を形成する工程と、

前記複数の半導体素子を前記第1の配線体に接続または接着する工程と、

前記基板に接続された複数の半導体素子間に絶縁性樹脂を充填し、硬化させる工程と、

前記充填した樹脂と半導体素子を所定の厚さに研削する工程と、

前記研削した樹脂にスルーホールを形成する工程と、

前記スルーホール内を金属粒子で充填し、先端部に接続部材を被着する工程と、

第2の配線体を前記半導体素子を覆い、かつ前記第1の配線体とで挟み込むように形成する工程と、

10

20

30

40

50

前記第 1 の配線体の端子部に前記第 2 の配線体の端子部を接続する工程と、
前記基板を除去する工程と、を有することを特徴とする。

【 0 0 1 6 】

この場合、前記第 2 の配線体は基板に複数形成されたものであるとしてもよい。

【 0 0 1 7 】

本発明の他の形態による半導体装置の製造方法は、

基板上に複数の半導体素子が接続される第 1 の配線体を形成する工程と、

前記第 1 の配線体の、前記半導体素子の周囲に導体柱からなる端子部を形成する工程と

、
前記複数の半導体素子を前記第 1 の配線体に接続または接着する工程と、
前記基板に接続された複数の半導体素子間に樹脂を充填し、硬化させる工程と、
前記半導体素子間に充填された樹脂と半導体素子を所定の厚さに研削する工程と、
第 2 の配線体を前記半導体素子を覆い、かつ前記第 1 の配線体とで挟み込むように形成
する工程と、

10

前記第 1 の配線体の端子部に前記第 2 の配線体の端子部を接続する工程と、

前記基板を除去する工程とを有することを特徴とする。

【 0 0 1 8 】

本発明の他の形態による半導体装置の製造方法は、

基板上に複数の半導体素子が接続される第 1 の配線体を形成する工程と、

前記複数の半導体素子を前記配線体に接続または接着する工程と、

前記基板に接続された複数の半導体素子間に樹脂を充填し、硬化させる工程と、

前記充填した樹脂と半導体素子を所定の厚さに研削する工程と、

前記研削した樹脂にスルーホールを形成する工程と、

前記スルーホール内を金属粒子で充填し、先端部に接続部材を被着する工程と、

第 2 の配線体を前記半導体素子を覆い、かつ前記第 1 の配線体とで挟み込むように形成
する工程と、

20

前記第 1 の配線体の端子部に前記第 2 の配線体の端子部を接続する工程と、

前記各工程を経て得られた半導体素子搭載基板を多段に積層して接着し、端子部を電気
的に接続する工程と、

を含むことを特徴とする。

30

【 0 0 1 9 】

上記のいずれかの製造装置において、前記配線体に接続された複数の各半導体素子間を
行方向と列方向に切断する工程を含むこととしてもよい。

【 0 0 2 0 】

本発明の積層型半導体装置は、上記の半導体装置を複数個積層し、相対する端子部で接
続したことを特徴とする。

【 0 0 2 1 】

本発明の他の形態による半導体装置は、半導体素子および該半導体素子と接続する端子
部を備えた半導体装置において、

前記半導体素子は、基板上に配線パターンおよび感光性樹脂を形成した後に該基板を除
去することにより得られる埋め込み配線体と接続され、

前記端子部が前記半導体装置の表面と裏面に備えられ、

前記埋め込み配線体に複数形成された端子部のうち少なくとも一つが、平面視で、半導
体素子内側に配置されていることを特徴とする。

40

【 0 0 2 2 】

本発明の他の形態による半導体装置は、基板上に配線パターンおよび感光性樹脂を形成
した後に該基板を除去することにより得られる埋め込み配線体と、

該配線体上に配置される樹脂により封止された半導体素子と、を備える半導体装置であ
って、

前記埋め込み配線体に複数形成された端子部を備え、

50

前記埋め込み配線体は前記半導体素子と接続され、該埋め込み配線体に形成された端子部は配線体を介して前記半導体素子と接続されており、

前記半導体素子の周囲となる位置の前記樹脂に埋設され、前記配線体と接続され、反配線体側の面の樹脂から露出する導体柱とを有し、

前記埋め込み配線体に複数形成された端子部のうち少なくとも一つが、平面視で、半導体素子内側に配置されていることを特徴とする。

【 0 0 2 8 】

【 発明の実施の形態 】

以下に本発明の実施形態を図面に基づいて説明する。

【 0 0 2 9 】

図 1 は、本発明による半導体装置の平面図であり、図 2 は、図 1 中の A - A の断面図である。図 3 は図 1 に示す半導体装置の製造工程を説明するための図である。

【 0 0 3 0 】

ここで、図 1、図 2 に示す半導体装置について説明する。

【 0 0 3 1 】

半導体素子 4 の電極 5 には第 1 配線体 3 が接続され、第 1 配線体 3 には半導体素子 4 の面内から外部にわたって延在する端子部 1 5 が設けられている。第 1 配線体 3 の端子部 1 5 は、半導体素子 4 の周囲に放射状に複数形成され、その厚さは 1 5 μm 程度であり、絶縁性の樹脂 6 により固定されている。

【 0 0 3 2 】

半導体素子 4 の反第 1 配線体側となる面には配線体 1 9 が設けられ、配線体 1 9 の端子部 1 6 は、半導体素子 4 の周囲に樹脂 6 を貫通する形態で設けられた導体柱 1 0 を介して接続されている。端子部 1 6 以外の部分は接着材、例えばエポキシ系接着剤によって強固に接着されている。

【 0 0 3 3 】

次に、図 1 および図 2 に示した半導体装置の製造方法について図 3 を参照して説明する。

【 0 0 3 4 】

図 3 (a) に示される基板 1 は、第 1 の配線体としての第 1 配線体 3 を形成するための平らな銅基板であり、一枚の基板に形成する第 1 配線体 3 の数量は半導体素子の大きさによって取り数は異なる。基板 1 の大きさはおおよそ縦 1 0 0 mm、横 3 0 0 mm、板厚は 0 . 2 5 mm である。この基板 1 の板厚と大きさは第 1 配線体 3 の取り数によって適宜決められる。

【 0 0 3 5 】

次に、図 3 (a) に示した基板 1 に第 1 配線体 3 をパターン形成する方法について説明する。

【 0 0 3 6 】

一つの方法としては、図 3 (b) に示すように、銅板全面にメッキ（または圧延）によって 1 0 ~ 1 5 μm 程度の厚さに積層した Au / Ni / Au メッキ 2 を形成する。その後、感光性レジスト（図示せず）を塗布し、マスク露光した後に現像する。これにより、第 1 の第 1 配線体 3 を形成する部分が被覆され、それ以外が剥離されるようにパターンニングする。次に、レジストパターンをマスクにして Ni を例えばメルテックス社製、商品名エンストリップ NP（アルカリ性）やエンストリップ 165S（硫酸系）でエッチングして Ni の配線体形成後、レジストを溶剤またはプラズマ等で除去する。これにより、第 1 配線体 3 が複数個同時に形成される。その後、第 1 配線体 3 のパターン上に 0 . 1 μm 程度の Au メッキをして接続時の酸化防止とする。

【 0 0 3 7 】

また、別の方法としては、配線体パターン形状に感光性レジストを塗布、マスク露光、現像して配線体形成部分のレジストが剥離されるようにパターンニングする。その後薄い Au メッキの上に、1 0 ~ 1 5 μm の Ni をメッキし、さらにその上に Au メッキをして接続時の酸化防止とする。その後、レジストは上述と同じ方法で除去する。Au メッキは 0 .

10

20

30

40

50

1 μm程度でよい。

【0038】

その後、基板1上のAu/Ni/Auからなる第1配線体3に、図3(c)に示すように半導体素子4の電極5(図2参照)を位置合わせして加熱圧接によるフリップチップ接続を行う。その後、第1配線体3と半導体素子4との間にアンダーフィル封止剤として低粘度樹脂(例えば住友ベークライト(株)社製、商品名CRP-4711A等の大チップ低応力性の樹脂)を充填・加熱硬化させた後に一般的なトランスファー成形により樹脂6を半導体素子の周囲を充填して半導体素子と基板を接着して応力に対して耐性を持たせる。

【0039】

上記のアンダーフィル樹脂を注入する方法とは別の方法としては、金属基板1と第1配線体3上にシート状または高粘度の樹脂を付着させておき、半導体素子4を第1配線体3の接続部に位置合わせして加熱圧着または加熱溶解させて接続すると同時に接着材も硬化させてアンダーフィル樹脂の代わりにすることも可能である。

【0040】

次いで、図3(d)に示すように半導体素子4と充填した樹脂6とを研削機100により研削する。研削前の半導体素子4の厚さは800 μm程度であり、これを樹脂6と一緒に10 μm程度の厚さまで薄く削る。ここで用いた研削機100は、ディスコ社製の一般的な装置を用いて十分に目的の薄さに研削・制御できる。

【0041】

その後、半導体素子4の研削面には応力歪みや微細なクラック、欠けが発生するために、50~60 の3%NaOHに1~2分間浸し、表面を1~2 μm程度エッチングした。

【0042】

次に、樹脂6にスルーホールを形成する。図3(e)~図3(h)は、説明しやすいようにスルーホール形成部分を拡大して示している。第1配線体3の周辺近傍にレーザー光8を照射し、第1配線体3上の樹脂6を蒸発させ、第1配線体3上の樹脂6にスルーホール9を形成する。このスルーホール9の径は50~100 μm程度であり、配線ピッチに応じて適宜選択できる。

【0043】

続いて、スルーホール9内を銅メッキにより充填する。この方法について図3(f)を参照して説明する。基板1をアノード電極とし、カソード電極を銅板(不図示)に接続し、硫酸銅またはシアン化銅を電解液としてスルーホール9内を銅金属11で充填させる。メッキ層は樹脂面より若干突出させ、突出部12を形成する。その後、錫メッキ浴、半田メッキ浴、または金メッキ浴に移して、突出部12に錫メッキ、半田メッキまたは金メッキをする方法等が可能である。この様にして柱状の導体からなる端子部10を形成する。

【0044】

次に、図3(g)に示すように、研削された半導体素子4の裏面13とスルーホール9内を銅金属で充填し、表面に金または金がメッキされた突出部12に、図2における配線体19に相当するテープ配線基板14の内部電極を接続する。テープ配線基板14はベースフィルム上に銅により導体配線パターンが形成されており、該導体配線パターンの表面にニッケル/金のメッキが施されている。接続後、樹脂101により接続部を封止し、はんだなどにより端子部103を形成する。突出部12とテープ配線基板の内部電極との接続は、突出部12が金メッキの場合には加熱圧接、または超音波接合法などで接続し、また、突出部12が半田メッキの場合は、250 程度の温度で熔融接続をすることが出来る。

【0045】

上記のテープ配線基板14を配線体19として用いる方法の他に、感光性樹脂の塗布、露光、現像によるパターン形成方法によるビルドアップ工法を用いる方法もある。この方法については後に詳細に述べる。この場合にも上述した金メッキ、半田メッキの方法は同じである。

【0046】

10

20

30

40

50

その後、この状態で各半導体素子を個別にするダイシング装置で半導体素子間に切り溝を設ける（図示せず）。

【0047】

その後、図3（h）に示すように、研削面とスルーホール9が形成された面にエッチング時の保護樹脂（図示せず）を塗布し、熱硬化させた後に基板である銅を塩化第二鉄、または、塩化第二銅で銅基板全部をエッチング除去して10～50μm程度の厚さとする。

【0048】

この後にダイシング装置で半導体素子間を行方向、列方向に切断後、保護樹脂を溶剤で溶かすと個片化された半導体素子の両面に薄膜を用いた配線体で挟まれた半導体装置ができる。

10

【0049】

以上の説明では、配線体を形成する基板として金属基板を用いて説明したが、他にもエッチングや機械的な剥離が可能な基板を用いることにより同様な構造の形成が可能である。

【0050】

次に、導体柱からなる端子部10の他の製造方法について説明する。

【0051】

図3（e）に示した状態において、樹脂にスルーホールを形成し、メッキにより金属粒を充填する代わりに、図3（b）に示す工程で第1配線体3を形成後、端子部10として25～30μm径の金細線をワイヤーボンディングにより所定位置に接続すると、ワイヤーが熱と圧力と超音波のエネルギーで変形して5～60μm径の太さになるとともに金細線の一部が細り、そこからクランプ操作により切断され、端子部10と同様のものが形成される。

20

【0052】

また、導体柱の端子部10の高さを必要に応じて1個または2個積み重ねたスタッドバンプを形成した後に樹脂を充填する方法がある。

【0053】

図10（a）～（g）はスタッドバンプを用いた端子部の形成方法を説明するための図である。

【0054】

図10（a）に示すように基板201上に第1配線体202を形成する。

30

【0055】

次に、図10（b）に示すように半導体素子203をその電極が第1配線体202と接続するように搭載する。

【0056】

続いて、図10（c）に示すように導体柱としてのスタッドバンプ204を積層し、図10（d）に示すように半導体素子203と基板201との間をアンダーフィル205を充填させる。

【0057】

次に、図10（e）に示すように半導体素子203の周囲を樹脂206により封止する。

【0058】

この後、図10（f）に示すように基板201をエッチング除去し、図10（g）に示すように樹脂206を研削除去する。

40

【0059】

また、導体柱を形成した後に、樹脂封止を行う他の例について図11を参照して説明する。

【0060】

図11において、301はICチップ、302はICチップ301の電極、303は、ICチップ301の電極302が電氣的に接続される平面状の配線体であり、この配線体303は、基板304上に固着して設けられている。

【0061】

50

306は、ICチップ301が組み付けられた前記配線体303の一方の面303a上で、前記配線体303に接続して設けられる導体柱、307は、配線体303の一方の面303a上で、ICチップ301及び導体柱306が設けられていない部分に充填された絶縁樹脂である。

【0062】

次に、このように構成した半導体装置の製造方法について、説明する。

【0063】

まず、図11(a)、(b)に示すように、基板304上に形成された配線体303と、配線体303上に設けた導体柱(導体突起)306とからなる配線基板304の配線体303の一方の面303aに、ICチップ301をフリップチップ接続し、次に、図11(c)示すように、基板304の一方の面303a上で、ICチップ301及び導体柱306を絶縁樹脂307で覆い、封止する。

10

【0064】

次に、図11(d)に示すように、樹脂307を研削し、導体柱306の端面308を露出させ、また、配線体304から基材305を除去する。

【0065】

上記の方法は、メッキ作業を用いる製造方法に比べてメッキ作業等が途中工程で入らないために製造工程を単純化することができる。

【0066】

次に、第2配線体を感光性樹脂の塗布、露光、現像によるパターン形成方法によるビルドアップ工法を用いて形成する方法について説明する。

20

【0067】

図5は、第2配線体を埋め込み型の配線体で形成する製造方法の手順を示すものである。

【0068】

図5(a)に示される第2金属基板22上には、図3(a)に示した第1配線体3と同様の配線体25が形成されている。なお、メモリをスタック構造に積層する場合には第1配線体と第2配線体のパターンは同じ場合が多い。

【0069】

次いで、図5(b)に示すように金属基板12に第2配線体の端子部に、半完成品の半導体装置24を接続する。半導体装置24は、図3(f)に示した状態の半導体装置であり、図3(f)における第1配線体3と接続する端子部10の突出部12配線体5の所定の位置に合わせて接続する。

30

【0070】

次に、接続した両者の間にアンダーフィル樹脂26を充填し、熱硬化させる。このアンダーフィル樹脂を半導体装置24と配線体25の間に充填においては、これらの間隔が狭く、また、側面から注入しなければならないため、金属基板の一边を真空装置のノズル形状の治具で挟み込み減圧しながら対辺から低粘度のアンダーフィル樹脂を注入して毛細管現象と減圧の作用で基板間全面に充填させる方法が有効となる。

【0071】

続いて、基板1および第2金属基板22をエッチング除去し、その後、半田浴により第1配線体3および配線体25に端子部27を形成し、図5(c)に示す状態とする。

40

【0072】

上記の半導体装置24と配線体25との間にアンダーフィル樹脂を注入する方法に代えて、配線体25上にシート状または高粘度の接着材を予め適量の厚さに塗布してから半導体装置24を配線体25に接続して加圧接着すると共に接着材を硬化する方法も一般的に用いられる方法である。

【0073】

これらの方法で製造された半導体装置の具体的な寸法は、配線基板25(第2配線体)および第1配線体3(第1配線体)の厚さがそれぞれ10~15 μm 、半導体素子厚が10 μm 、配線基板と半導体素子間を接着するアンダーフィル樹脂厚が5~10 μm 程度であ

50

り、これらの最大の厚さを合計しても60 μm程度の半導体装置ができあがる。

【0074】

図3に示した第2配線体としてテープ配線基板14を用いた場合には、テープ配線基板14の厚さは50～80 μm程度あり、合計厚さは125 μmの厚さになる。

【0075】

次に、第1配線体および第2配線体を多層に形成する製造方法について説明する。

【0076】

図3に示した金属基板1にNi/Auのパターンを形成してからポリイミド等の感光性樹脂を塗布、露光、現像してコンタクト孔を設けた後に、銅配線をパターンニング形成する。こうすることによって多層配線が形成できる。この方法は、ビルドアップ法と一般的に呼ばれている。

【0077】

上記のようにして作製した第1配線基板および第2配線基板を備える半導体素子を上述した方法を組み合わせて接続する。

【0078】

上記の方法で第1配線体および第2配線体を多層配線することによって、端子部を半導体素子の周辺及び半導体素子上に配置することが自由にでき、さらなる半導体装置の小面積化が可能となる。

【0079】

次に、半導体装置の第2実施例について図4を用いて説明する。

【0080】

図4は、図3(g)における第2の配線体に相当するテープ配線基板14を接続する工程を省略し、半導体素子4の片側のみに薄膜を用いた配線体が用いられた半導体装置としたものである。この場合には、第2配線体を用いない分薄く形成できるが、素子4の裏面13に端子部(図3(g)における103)を設けることができず、その分半導体素子4の外部に設けなければならないため、半導体装置の大きさが若干大きくなる。

【0081】

次に、上記のように構成された半導体装置を多段に積層した半導体モジュールについて説明する。

【0082】

図6は、図2に示した状態の半導体装置70を位置決め治具21に多段に重ねてリフロー炉に通して端子部同志を接続したものである。このため、図6には示さないが、以下の説明では図2に示した符号を用いて説明する。

【0083】

図6は、図2に示した状態の半導体装置70を複数個スタック構造に積層した半導体モジュールの断面図である。図2に示した状態の半導体装置70の第1配線体3の端子部15に、印刷法またはメッキ法により半田ボールをあらかじめ設けておく。配線体19には半田のような材料を設けておく必要はなく、半田と塗れ性の良い材料、例えば金を0.1 μm程度被着させておく。これは、例えば、図3に示したように配線体19としてテープ配線基板14を使用する場合には、その製造工程から材料構成は一般的なものであり全く問題ない。

【0084】

次に、半導体装置70の端子部を治具21で位置決めして、一つ目の半導体装置の上に2つ目、3つ目と重ねていくと一つ目の半導体装置70の第2配線基板19の端子部16に2つ目の半導体装置70の第1配線基板3の端子部15が接触し、窒素雰囲気下のリフロー装置で加熱溶解すると図6に示すように各端子部が電氣的に導通した積層型半導体装置が完成する。

【0085】

図7は、図4に示した状態の半導体装置80を多段に重ねてリフロー炉に通して端子部同志を接続したものである。このため、図7には示さないが、以下の説明では図4に示した

10

20

30

40

50

符号を用いて説明する。

【0086】

図7は、図4に示した状態の半導体装置80を同様に重ねて端子部をリフローして電氣的に導通させた構造である。本実施例においても図6に示した実施例と同様に位置決め治具を使用しているが図示省略している。本実施例の場合には、端子部15が半導体装置80の周辺部に形成されている点のみが図6に示した実施例との違いであり、図6に示した積層型半導体装置よりも第2配線基板19がない分だけ厚さが薄くなるが、ピン数が同じ場合には平面的な面積は大きくなる可能性がある。

【0087】

次に、図6および図7に示すようなスタック構造の積層型半導体装置を効率よく製造する方法について、図8の断面図および図9の平面図を参照して説明する。

10

【0088】

まず、図3(a)~(g)の工程を経て図2に示す構造の半導体装置を作製する。このとき、基板から半導体素子を個片に切り出す切断工程を実施せず、半完成品の半導体装置26とする。

【0089】

次に、半完成品の半導体装置26を多段に積層して基板の表面と裏面に設けられた端子部を位置合わせして接続部に被着されている接合部材をリフロー炉に通して熔融接続する。この状態の積層された基板をダイシング装置によって半導体素子間を切り離すことによって4段重ねの積層型半導体装置が完成する。

20

【0090】

以上では半導体装置間の接続方法としてリフロー法による熔融接続を例に用いて説明したが、例えばこの他に端子部に金バンプを形成しておくことにより、金-金圧着法や、圧接法などの工法を用いることも可能である。

【0091】

また、半導体装置を積層した後、半導体装置間に樹脂を注入、硬化させるか、もしくは半導体装置間に、あらかじめシート状、もしくは液状の接着剤を供給しておくことにより、接続部を封止することで、より信頼性の高い積層型半導体装置を得ることも可能である。

【0092】

【発明の効果】

30

本発明は以上説明したように構成されているので、以下に記載するような硬化を奏する。

【0093】

半導体素子の両面に極薄の配線体を配置し、半導体素子を挟み込んで両配線体を半導体素子に平行して林立する導体柱で相互に接続しているために、最小面積で厚さが100μm以下の半導体装置が実現できる。

【0094】

第2配線体を用いないもの場合には、面積が若干大きくなるが厚さは60μm以下の半導体装置が実現できる。

【0095】

単体の半導体装置を多段に積み重ねて接続した積層型半導体装置としたものでは非常に薄い高集積の半導体装置が簡単に得られる。

40

【0096】

第1配線体を埋め込み配線で形成し、第2配線体をテープキャリア配線体で形成する場合には、工程が簡単となり最小面積の半導体装置が得られる。

【0097】

第1配線体と第2配線体を相互に接続する導体柱の形成時期を、半導体素子を接続する前に形成する場合には、メッキ作業等が途中工程で入らないために製造工程が単純化する。

【0098】

第1配線体と第2配線体を共に埋め込み型の配線体で形成する場合には極薄の半導体装置が簡単に製造できる。

50

【 0 0 9 9 】

個片化されていない半完成品の半導体装置を多層に積み重ねて端子部を接続と接着した状態でまとめて所定領域を切断する場合には積層型半導体装置を効率よく生産することができる。

【 0 1 0 0 】

第 1 , 2 配線体を多層配線にすることによって端子部が半導体素子の周辺及び半導体素子上に配置することが自由にでき、さらなる半導体装置の小面積化が可能となる。

【 図面の簡単な説明 】

【 図 1 】 本発明による半導体装置の平面図である。

【 図 2 】 図 1 中の A - A の断面図である。

10

【 図 3 】 (a) ~ (h) 3 は図 1 に示す半導体装置の製造工程を説明するための図である。

【 図 4 】 本発明の第 2 実施例の断面図である。

【 図 5 】 (a) ~ (c) は第 2 配線体を埋め込み型の配線体で形成する製造方法の手順を示すものである。

【 図 6 】 複数個の半導体装置をスタック構造に積層した積層型半導体装置の断面図である。

【 図 7 】 複数個の半導体装置をスタック構造に積層した積層型半導体装置の断面図である。

【 図 8 】 半導体素子を複数個搭載した基板を更に多段に積層した基板の断面図である。

20

【 図 9 】 半導体素子を複数個搭載した基板を更に多段に積層した基板の平面図である。

【 図 1 0 】 (a) ~ (g) はスタッドバンプを用いた端子部の形成方法を説明するための図である。

【 図 1 1 】 導体柱を形成した後に、樹脂封止を行う他の例を説明するための図である。

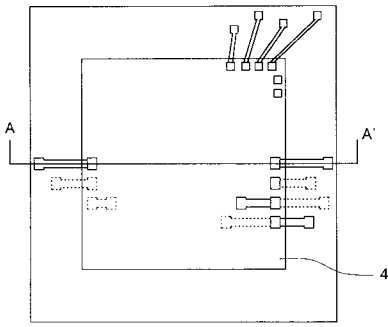
【 符号の説明 】

- 1 基板
- 2 Niメッキ
- 3 第 1 配線体
- 4 半導体素子
- 5 電極
- 6 樹脂
- 7 アンダーフィル
- 8 レーザー光
- 9 スルーホール
- 1 0 導体柱
- 1 1 銅金属
- 1 2 突出部
- 1 3 半導体素子の裏面
- 1 4 テープ配線基板
- 1 5 , 1 6 端子部
- 1 9 第 2 配線体
- 2 1 位置決め治具
- 2 2 第 2 金属基板
- 2 5 配線体
- 2 6 半完成品の半導体装置

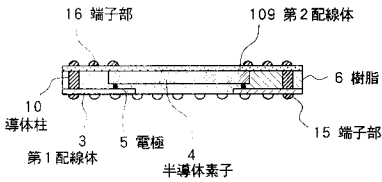
30

40

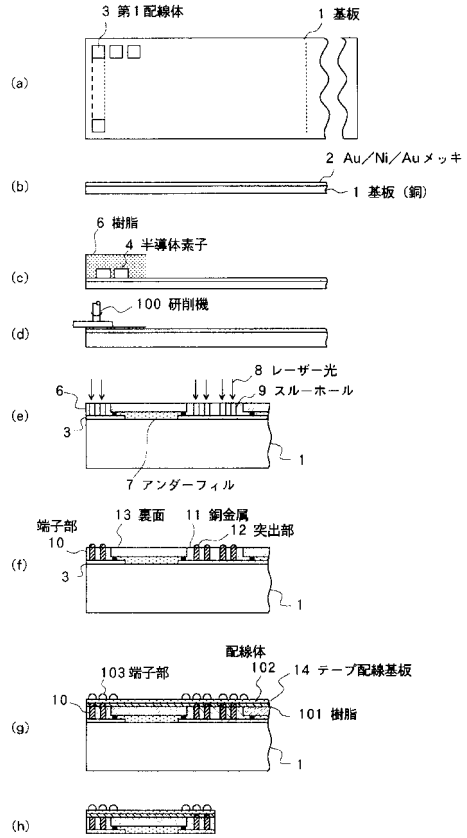
【図1】



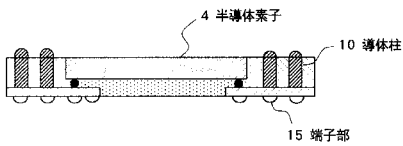
【図2】



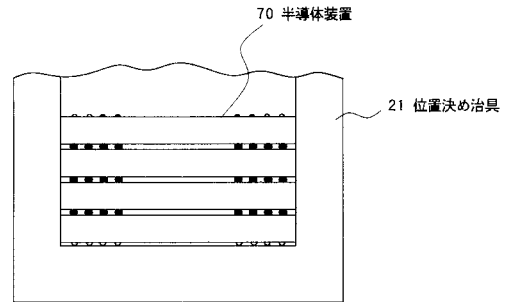
【図3】



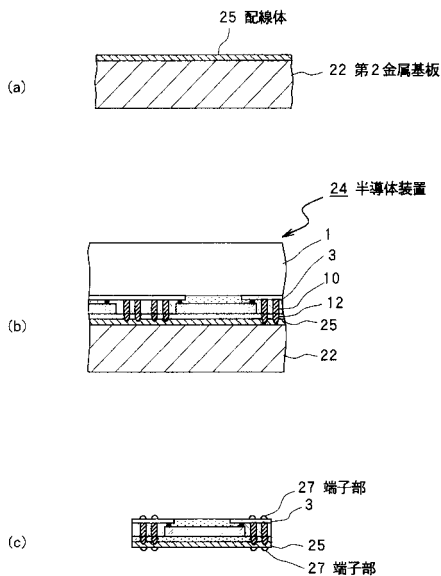
【図4】



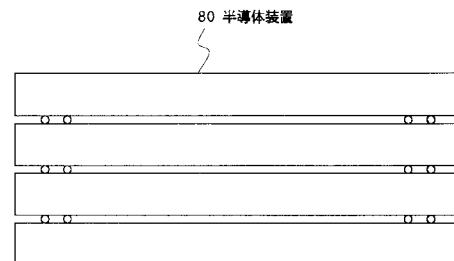
【図6】



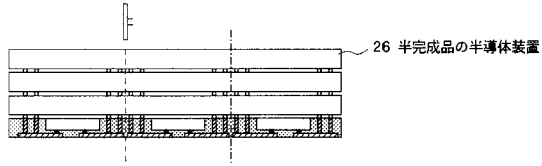
【図5】



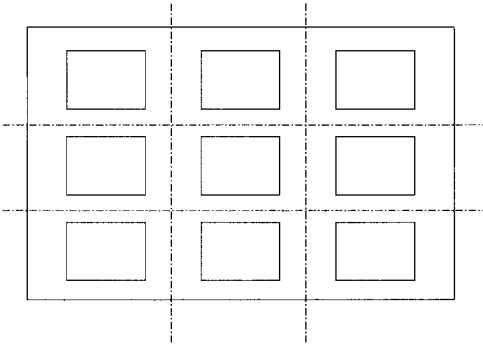
【図7】



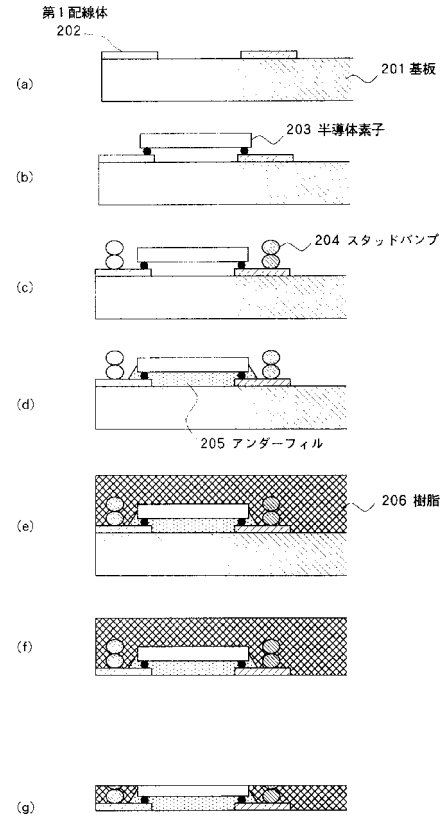
【図8】



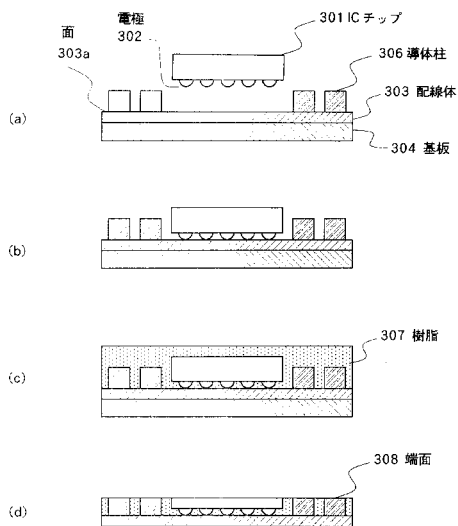
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 塚野 純
東京都港区芝五丁目7番1号 日本電気株式会社内

審査官 宮本 靖史

(56)参考文献 特開2001-339011(JP,A)
特開平05-283608(JP,A)
特開2001-057404(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 23/12