



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0106005
(43) 공개일자 2019년09월18일

(51) 국제특허분류(Int. Cl.)
G06F 13/16 (2006.01) G06F 12/02 (2018.01)
(52) CPC특허분류
G06F 13/1673 (2013.01)
G06F 12/0292 (2013.01)
(21) 출원번호 10-2018-0026876
(22) 출원일자 2018년03월07일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
이주영
서울특별시 영등포구 가마산로 312 신동아아파트
2동 701호
(74) 대리인
김성남

전체 청구항 수 : 총 15 항

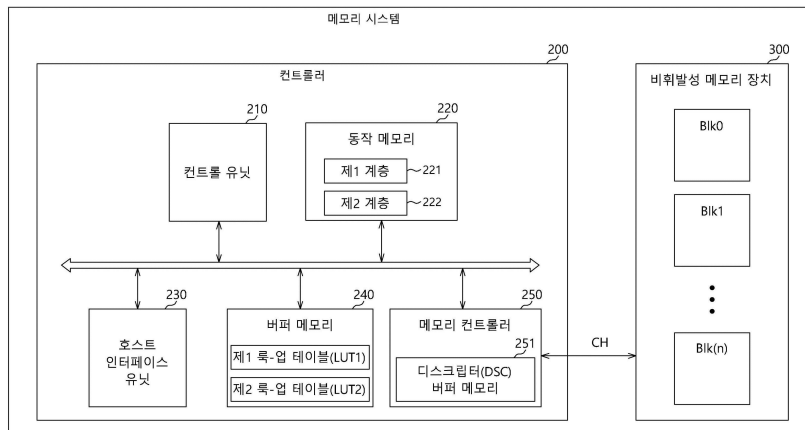
(54) 발명의 명칭 메모리 시스템, 그것의 동작 방법 및 전자 장치

(57) 요약

본 발명의 실시 예에 따른 메모리 시스템은, 비휘발성 메모리 장치, 각각이 비휘발성 메모리 장치를 구동하는 펌웨어인 제1 계층과 제2 계층을 저장하는 동작 메모리, 펌웨어에 기초하여 비휘발성 메모리 장치를 제어하는 컨트롤 유닛, 제1 계층에 의하여 관리되는 제1 록-업 테이블과, 제2 계층에 의하여 관리되는 제2 록-업 테이블을 저장하는 버퍼 메모리 및 비휘발성 메모리 장치의 설정 정보에 대한 디스크립터를 저장하고, 컨트롤 유닛의 제어에 기초하여 비휘발성 메모리 장치와 인터페이싱하는 메모리 컨트롤러를 포함할 수 있고, 제2 계층은, 제2 록-업 테이블에 상기 디스크립터의 위치 정보를 저장하고, 제1 계층은, 제2 록-업 테이블을 참조하여 상기 메모리 컨트롤러에 액세스할 수 있다.

대표도

100



(52) CPC특허분류
G06F 2212/7201 (2013.01)

명세서

청구범위

청구항 1

비휘발성 메모리 장치;

각각이 상기 비휘발성 메모리 장치를 구동하는 펌웨어인 제1 계층과 제2 계층을 저장하는 동작 메모리;

상기 펌웨어에 기초하여 상기 비휘발성 메모리 장치를 제어하는 컨트롤 유닛;

상기 제1 계층에 의하여 관리되는 제1 록-업 테이블과, 상기 제2 계층에 의하여 관리되는 제2 록-업 테이블을 저장하는 버퍼 메모리; 및

상기 비휘발성 메모리 장치의 설정 정보에 대한 디스크립터를 저장하고, 상기 컨트롤 유닛의 제어에 기초하여 상기 비휘발성 메모리 장치와 인터페이싱하는 메모리 컨트롤러를 포함하되,

상기 제2 계층은, 상기 제2 록-업 테이블에 상기 디스크립터의 위치 정보를 저장하고,

상기 제1 계층은, 상기 제2 록-업 테이블을 참조하여 상기 메모리 컨트롤러에 액세스하는, 메모리 시스템.

청구항 2

제1항에 있어서,

상기 제2 계층은,

상기 디스크립터가 업데이트된 때, 업데이트된 디스크립터의 위치 정보를 반영하여 상기 제2 록-업 테이블을 업데이트하는, 메모리 시스템.

청구항 3

제1항에 있어서,

상기 제1 계층은, 호스트 장치의 요청에 대응하는 논리 주소와 상기 비휘발성 메모리 장치에 대응하는 물리 주소 사이의 맵핑 정보를 저장하는 플래시 변환 계층(Flash Translation Layer, FTL)을 포함하고,

상기 제2 계층은, 상기 제2 계층과 상기 메모리 컨트롤러와의 통신을 위한 플래시 인터페이스 계층(Flash Interface Layer, FIL)를 포함하는, 메모리 시스템.

청구항 4

제1항에 있어서,

상기 설정 정보는, 상기 비휘발성 메모리 장치의 다이(die)들, 플레인들, 블록들, 워드라인들 및 페이지들 중 적어도 하나의 어드레스 정보 또는 오프셋 정보를 포함하는, 메모리 시스템.

청구항 5

제4항에 있어서,

상기 위치 정보는, 상기 설정 정보 각각이 상기 디스크립터 내에 저장된 위치에 대한 정보를 포함하는, 메모리 시스템.

청구항 6

컨트롤러가, 비휘발성 메모리 장치의 설정 정보에 대한 디스크립터를 생성하는 단계;

상기 디스크립터의 위치 정보를, 제2 계층에 의하여 관리되는 록-업 테이블에 저장하는 단계;

제1 계층에 기초하여, 상기 록-업 테이블에 액세스하여 상기 위치 정보를 획득하는 단계;

상기 위치 정보에 근거하여, 상기 디스크립터에 액세스하여 상기 설정 정보를 획득하는 단계; 및
 상기 설정 정보를 참조하여, 상기 비휘발성 메모리 장치에 액세스할 커맨드를 생성하는 단계를 포함하는, 메모리 시스템의 동작 방법.

청구항 7

제6항에 있어서,
 상기 디스크립터의 업데이트 여부를 판단하는 단계; 및
 상기 디스크립터가 업데이트되었다고 판단되는 때, 상기 제2 계층에 기초하여 상기 록-업 테이블을 업데이트하는 단계를 더 포함하는, 메모리 시스템의 동작 방법.

청구항 8

제6항에 있어서,
 상기 제1 계층은, 호스트 장치의 요청에 대응하는 논리 주소와 상기 비휘발성 메모리 장치에 대응하는 물리 주소 사이의 맵핑 정보를 저장하는 플래시 변환 계층(Flash Translation Layer, FTL)을 포함하고,
 상기 제2 계층은, 상기 제2 계층과 상기 비휘발성 메모리 장치와의 통신을 위한 플래시 인터페이스 계층(Flash Interface Layer, FIL)를 포함하는, 메모리 시스템의 동작 방법.

청구항 9

제6항에 있어서,
 상기 설정 정보는, 상기 비휘발성 메모리 장치의 다이(die)들, 플레인들, 블록들 및 페이지들 중 적어도 하나의 어드레스 정보 또는 오프셋 정보를 포함하는, 메모리 시스템의 동작 방법.

청구항 10

제9항에 있어서,
 상기 위치 정보는, 상기 설정 정보 각각이 상기 디스크립터 내에 저장된 위치에 대한 정보를 포함하는, 메모리 시스템의 동작 방법.

청구항 11

각각이 시스템을 구동하는 펌웨어인 제1 계층과 제2 계층을 포함하는 컨트롤러; 및
 상기 컨트롤러에 의해 수행 가능한 인스트럭션들이 부호화되어 저장되는 비 일시적 기계 판독 가능 저장 매체를 포함하되,
 상기 인스트럭션들은,
 상기 비 일시적 기계 판독 가능 저장 매체의 설정 정보에 대한 디스크립터를 생성하고,
 상기 디스크립터의 위치 정보를, 상기 제2 계층에 의하여 관리되는 록-업 테이블에 저장하고,
 상기 제1 계층에 기초하여, 상기 록-업 테이블에 액세스하여 상기 위치 정보를 획득하고,
 상기 위치 정보에 근거하여, 상기 디스크립터에 액세스하여 상기 설정 정보를 획득하고,
 상기 설정 정보를 참조하여, 상기 비 일시적 기계 판독 가능 저장 매체에 액세스할 커맨드를 생성하도록 제어하는, 전자 장치.

청구항 12

제11항에 있어서,
 상기 인스트럭션들은,
 상기 디스크립터의 업데이트 여부를 판단하고,

상기 디스크립터가 업데이트되었다고 판단되는 때, 상기 제2 계층에 기초하여 상기 록-업 테이블을 업데이트하도록 제어하는, 전자 장치.

청구항 13

제11항에 있어서,

상기 제1 계층은, 호스트 장치의 요청에 대응하는 논리 주소와 상기 비 일시적 기계 판독 가능 저장 매체에 대응하는 물리 주소 사이의 맵핑 정보를 저장하는 플래시 변환 계층(Flash Translation Layer, FTL)을 포함하고,

상기 제2 계층은, 상기 제2 계층과 상기 비 일시적 기계 판독 가능 저장 매체와의 통신을 위한 플래시 인터페이스 계층(Flash Interface Layer, FIL)를 포함하는, 전자 장치.

청구항 14

제11항에 있어서,

상기 설정 정보는, 상기 비 일시적 기계 판독 가능 저장 매체의 다이(die)들, 플레인들, 블록들 및 페이지들 중 적어도 하나의 어드레스 정보 또는 오프셋 정보를 포함하는, 전자 장치.

청구항 15

제14항에 있어서,

상기 위치 정보는, 상기 설정 정보 각각이 상기 디스크립터 내에 저장된 위치에 대한 정보를 포함하는, 전자 장치.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 시스템 및 전자 장치에 관한 것으로, 더욱 상세하게는 비휘발성 메모리 장치를 포함하는 메모리 시스템 및 전자 장치에 관한 것이다.

배경 기술

[0002] 메모리 시스템은 외부 장치의 라이트 요청에 응답하여, 외부 장치로부터 제공된 데이터를 저장하도록 구성될 수 있다. 또한, 메모리 시스템은 외부 장치의 리드 요청에 응답하여, 저장된 데이터를 외부 장치로 제공하도록 구성될 수 있다. 외부 장치는 데이터를 처리할 수 있는 장치로서, 컴퓨터, 디지털 카메라 또는 휴대폰 등을 포함할 수 있다. 메모리 시스템은 외부 장치에 내장되어 동작하거나, 분리 가능한 형태로 제작되어 외부 장치에 연결됨으로써 동작할 수 있다.

[0003] 메모리 장치를 이용한 메모리 시스템은 기계적인 구동부가 없어서 안정성 및 내구성이 뛰어나며 정보의 액세스 속도가 매우 빠르고 전력 소모가 적다는 장점이 있다. 이러한 장점을 갖는 메모리 시스템은 USB(Universal Serial Bus) 메모리 장치, 다양한 인터페이스를 갖는 메모리 카드, UFS(Universal Flash Storage) 장치, 솔리드 스테이트 드라이브(Solid State Drive, 이하, SSD라 칭함)를 포함한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시 예는, 펌웨어를 구성하는 계층 간의 독립성이 유지되지 못하는 문제점을 해결하는 메모리 시스템 및 전자 장치를 제공하는 데 있다.

과제의 해결 수단

[0005] 본 발명의 실시 예에 따른 메모리 시스템은, 비휘발성 메모리 장치, 각각이 비휘발성 메모리 장치를 구동하는 펌웨어인 제1 계층과 제2 계층을 저장하는 동작 메모리, 펌웨어에 기초하여 비휘발성 메모리 장치를 제어하는 컨트롤 유닛, 제1 계층에 의하여 관리되는 제1 록-업 테이블과, 제2 계층에 의하여 관리되는 제2 록-업 테이블을 저장하는 버퍼 메모리 및 비휘발성 메모리 장치의 설정 정보에 대한 디스크립터를 저장하고, 컨트롤 유닛의

제어에 기초하여 비휘발성 메모리 장치와 인터페이싱하는 메모리 컨트롤러를 포함할 수 있고, 제2 계층은, 제2 룩-업 테이블에 상기 디스크립터의 위치 정보를 저장하고, 제1 계층은, 제2 룩-업 테이블을 참조하여 상기 메모리 컨트롤러에 액세스할 수 있다.

[0006] 본 발명의 실시 예에 따른 메모리 시스템의 동작 방법은, 컨트롤러가, 비휘발성 메모리 장치의 설정 정보에 대한 디스크립터를 생성하는 단계, 디스크립터의 위치 정보를, 제2 계층에 의하여 관리되는 룩-업 테이블에 저장하는 단계, 제1 계층에 기초하여, 룩-업 테이블에 액세스하여 위치 정보를 획득하는 단계, 위치 정보에 근거하여, 디스크립터에 액세스하여 설정 정보를 획득하는 단계 및 설정 정보를 참조하여, 비휘발성 메모리 장치에 액세스할 커맨드를 생성하는 단계를 포함할 수 있다.

[0007] 본 발명의 실시 예에 따른 전자 장치는, 각각이 시스템을 구동하는 펌웨어인 제1 계층과 제2 계층을 포함하는 컨트롤러 및 컨트롤러에 의해 수행 가능한 인스트럭션들이 부호화되어 저장되는 비 일시적 기계 판독 가능 저장 매체를 포함할 수 있고, 인스트럭션들은, 비 일시적 기계 판독 가능 저장 매체의 설정 정보에 대한 디스크립터를 생성하고, 디스크립터의 위치 정보를, 제2 계층에 의하여 관리되는 룩-업 테이블에 저장하고, 제1 계층에 기초하여, 룩-업 테이블에 액세스하여 위치 정보를 획득하고, 위치 정보에 근거하여, 디스크립터에 액세스하여 설정 정보를 획득하고, 설정 정보를 참조하여, 비 일시적 기계 판독 가능 저장 매체에 액세스할 커맨드를 생성하도록 제어하는 인스트럭션을 포함할 수 있다.

발명의 효과

[0008] 본 발명의 실시 예에 따른 메모리 시스템은, 펌웨어를 구성하는 복수의 계층 간의 독립성을 확보함으로써 비휘발성 메모리 장치를 효율적으로 제어할 수 있다.

도면의 간단한 설명

- [0009] 도 1은 본 발명의 실시 예에 따른 메모리 시스템을 예시적으로 보여주는 블록도이다.
- 도 2는 본 발명의 실시 예에 따른 펌웨어의 계층을 설명하기 위한 도면이다.
- 도 3은 본 발명의 실시 예에 따른 디스크립터를 설명하기 위한 도면이다.
- 도 4는 본 발명의 실시 예에 따른 제2 룩-업 테이블을 설명하기 위한 도면이다.
- 도 5 및 도 6은 본 발명의 실시 예에 따른 메모리 시스템의 동작 방법을 예시적으로 설명하기 위한 순서도이다.
- 도 7은 본 발명의 실시 예에 따른 SSD를 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다.
- 도 8은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다.
- 도 9는 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다.
- 도 10은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 네트워크 시스템을 예시적으로 보여주는 도면이다.
- 도 11은 본 발명의 실시 예에 따른 메모리 시스템에 포함된 비휘발성 메모리 장치를 예시적으로 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 본 발명의 이점 및 특징, 그리고 그것을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 통해 설명될 것이다. 그러나 본 발명은 여기에서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 단지, 본 실시예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 제공되는 것이다.

[0011] 도면들에 있어서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니며 명확성을 기하기 위하여 과장된 것이다. 본 명세서에서 특정한 용어들이 사용되었으나, 이는 본 발명을 설명하기 위한 목적에서 사용된 것이며, 의미 한정이나 특허 청구 범위에 기재된 본 발명의 권리 범위를 제한하기 위하여 사용된 것은 아니다.

[0012] 본 명세서에서 '및/또는'이란 표현은 전후에 나열된 구성요소들 중 적어도 하나를 포함하는 의미로 사용된다.

또한, '연결되는/결합되는'이란 표현은 다른 구성 요소와 직접적으로 연결되거나 다른 구성 요소를 통해서 간접적으로 연결되는 것을 포함하는 의미로 사용된다. 본 명세서에서 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 또한, 명세서에서 사용되는 '포함한다' 또는 '포함하는'으로 언급된 구성 요소, 단계, 동작 및 소자는 하나 이상의 다른 구성 요소, 단계, 동작 및 소자의 존재 또는 추가를 의미한다.

- [0013] 이하, 도면들을 참조하여 본 발명의 실시 예에 대해 상세히 설명하기로 한다.
- [0014] 도 1은 본 발명의 실시 예에 따른 메모리 시스템을 예시적으로 보여주는 블록도이다.
- [0015] 도 1을 참조하면, 메모리 시스템(100)은 휴대폰, MP3 플레이어, 랩탑 컴퓨터, 데스크탑 컴퓨터, 게임기, TV, 차량용 인포테인먼트(in-vehicle infotainment) 시스템 등과 같은 호스트 장치(도 2의 400)에 의해서 액세스되는 데이터를 저장할 수 있다.
- [0016] 메모리 시스템(100)은 호스트 장치(400)와의 전송 프로토콜을 의미하는 호스트 인터페이스에 따라서 다양한 종류의 저장 장치들 중 어느 하나로 제조될 수 있다. 예를 들면, 메모리 시스템(100)은 SSD, MMC, eMMC, RS-MMC, micro-MMC 형태의 멀티 미디어 카드(multimedia card), SD, mini-SD, micro-SD 형태의 시큐어 디지털(secure digital) 카드, USB(universal storage bus) 저장 장치, UFS(universal flash storage) 장치, PCMCIA(personal computer memory card international association) 카드 형태의 저장 장치, PCI(peripheral component interconnection) 카드 형태의 저장 장치, PCI-E(PCI express) 카드 형태의 저장 장치, CF(compact flash) 카드, 스마트 미디어(smart media) 카드, 메모리 스틱(memory stick) 등과 같은 다양한 종류의 저장 장치들 중 어느 하나로 구성될 수 있다.
- [0017] 메모리 시스템(100)은 다양한 종류의 패키지(package) 형태들 중 어느 하나로 제조될 수 있다. 예를 들면, 메모리 시스템(100)은 POP(package on package), SIP(system in package), SOC(system on chip), MCP(multi chip package), COB(chip on board), WFP(wafer-level fabricated package), WSP(wafer-level stack package) 등과 같은 다양한 종류의 패키지 형태들 중 어느 하나로 제조될 수 있다.
- [0018] 본 발명의 실시 예에 따른 메모리 시스템(100)은 비휘발성 메모리 장치(300)의 동작을 제어하는 컨트롤러(200)를 포함할 수 있다. 실시 예에 따라, 컨트롤러(200)는 컨트롤 유닛(210), 동작 메모리(220), 호스트 인터페이스 유닛(230), 버퍼 메모리(240) 및 메모리 컨트롤러(250)를 포함할 수 있다.
- [0019] 본 발명의 실시 예에 따른 메모리 시스템(100)은, 비휘발성 메모리 장치(300), 각각이 비휘발성 메모리 장치(300)를 구동하는 펌웨어인 제1 계층(221)과 제2 계층(222)을 저장하는 동작 메모리(220), 펌웨어에 기초하여 비휘발성 메모리 장치(300)를 제어하는 컨트롤 유닛(210), 제1 계층(221)에 의하여 관리되는 제1 룩-업 테이블(LUT1)과, 제2 계층(222)에 의하여 관리되는 제2 룩-업 테이블(LUT2)을 저장하는 버퍼 메모리(240) 및 비휘발성 메모리 장치(300)의 설정 정보에 대한 디스크립터(descriptor)를 저장하고, 컨트롤 유닛(210)의 제어에 기초하여 비휘발성 메모리 장치(300)와 인터페이싱하는 메모리 컨트롤러(250)를 포함할 수 있다.
- [0020] 실시 예에 따라, 제2 계층(222)은, 제2 룩-업 테이블(LUT2)에 디스크립터의 위치 정보를 저장할 수 있고, 제1 계층(221)은, 제2 룩-업 테이블(LUT2)을 참조하여 메모리 컨트롤러(250)에 액세스할 수 있다.
- [0021] 컨트롤 유닛(210)은 마이크로 컨트롤 유닛(micro control unit)(MCU), 중앙 처리 장치(central processing unit)(CPU)로 구성될 수 있다. 컨트롤 유닛(210)은 호스트 장치(400)로부터 전송된 리퀘스트를 처리할 수 있다. 컨트롤 유닛(210)은, 리퀘스트를 처리하기 위해서, 동작 메모리(220)에 로딩된 코드 형태의 인스트럭션(instruction) 또는 알고리즘, 즉, 펌웨어(FW)를 구동하고, 내부의 기능 블록들 및 비휘발성 메모리 장치(300)를 제어할 수 있다. 실시 예에 따라, 컨트롤 유닛(210)은 비휘발성 메모리 장치(300)의 제어에 필요한 디스크립터를 생성할 수 있고, 생성된 디스크립터를 메모리 컨트롤러(250)의 디스크립터 버퍼 메모리(251)에 저장하도록 제어할 수 있다.
- [0022] 동작 메모리(220)는 동적 랜덤 액세스 메모리(DRAM) 또는 정적 랜덤 액세스 메모리(SRAM)와 같은 랜덤 액세스 메모리로 구성될 수 있다. 동작 메모리(220)는 컨트롤 유닛(210)에 의해서 구동되는 펌웨어(FW)를 저장할 수 있다. 또한, 동작 메모리(220)는 펌웨어(FW)의 구동에 필요한 데이터를 저장할 수 있다.
- [0023] 실시 예에 따라, 동작 메모리(220)는 플래시 변환 계층(Flash Translation Layer, FTL)(221_0)을 포함하는 제1 계층(221)을 포함할 수 있다. 동작 메모리(220)는 메모리 컨트롤러(250)와 연결되고, 플래시 인터페이스 계층(Flash Interface Layer, FIL)(222_0)을 포함하는 제2 계층(222)을 포함할 수 있다. 제1 계층(221) 및 제2 계층(222)에 대한 구체적인 설명은 도 2를 참조하여 후술하도록 한다.

- [0024] 호스트 인터페이스 유닛(230)은 호스트 장치(400)와 메모리 시스템(100)을 인터페이싱할 수 있다. 예시적으로, 호스트 인터페이스 유닛(230)은 시큐어 디지털(secure digital), USB(universal serial bus), MMC(multi-media card), eMMC(embedded MMC), PCMCIA(personal computer memory card international association), PATA(parallel advanced technology attachment), SATA(serial advanced technology attachment), SCSI(small computer system interface), SAS(serial attached SCSI), PCI(peripheral component interconnection), PCI-E(PCI Express), UFS(universal flash storage)와 같은 표준 전송 프로토콜들 중 어느 하나, 즉, 호스트 인터페이스를 이용해서 호스트 장치(400)와 통신할 수 있다.
- [0025] 버퍼 메모리(240)는 동적 랜덤 액세스 메모리(DRAM) 또는 정적 랜덤 액세스 메모리(SRAM)와 같은 랜덤 액세스 메모리로 구성될 수 있다. 버퍼 메모리(240)는 호스트 장치(400)의 리퀘스트에 대응하는 데이터를 임시 저장할 수 있다. 즉, 데이터의 버퍼링 기능을 수행할 수 있다. 예시적으로, 호스트 장치(400)의 리드 리퀘스트에 대응되는 리드 데이터를 비휘발성 메모리 장치(300)에서 독출하여 임시 저장할 수 있다. 다른 예로서, 호스트 장치(400)의 라이트 리퀘스트에 대응되는 라이트 데이터를 임시 저장한 후, 비휘발성 메모리 장치(300)로 전송할 수 있다.
- [0026] 또한, 버퍼 메모리(240)는 펌웨어(FW)의 구동에 필요한 메타 데이터를 저장할 수 있다. 메타 데이터란 사용자 데이터 또는 비휘발성 메모리 장치(300)를 관리하기 위하여 메모리 시스템(100)에서 생성된 데이터를 의미할 수 있다. 실시 예에 따라, 메타 데이터에는 호스트 장치(400)로부터 수신된 리퀘스트에 대응하는 호스트 데이터를 제외한 나머지 모든 정보 및 데이터가 포함될 수 있다. 예를 들면, 비휘발성 메모리 장치(300)의 메모리 블록들에 대한 리드 카운트 테이블, 배드 블록 테이블, 유효 페이지 카운트 테이블, 어드레스 맵핑 테이블 등의 데이터일 수 있다.
- [0027] 본 발명의 실시 예에 따라, 버퍼 메모리(240)는 제1 룩-업 테이블(LUT1) 및 제2 룩-업 테이블(LUT2)을 저장할 수 있다. 제1 룩-업 테이블(LUT1)은 제1 계층(221)에 기초한 펌웨어에 의하여 관리될 수 있고, 제2 룩-업 테이블(LUT2)은 제2 계층(222)에 기초한 펌웨어에 의하여 관리될 수 있다. 제1 룩-업 테이블(LUT1) 및 제2 룩-업 테이블(LUT2)에 대하여는 도 3 및 도 4를 참조하여 자세히 설명한다.
- [0028] 메모리 컨트롤러(250)는 컨트롤 유닛(210)이 생성한 디스크립터에 근거하여 비휘발성 메모리 장치(300)를 제어할 수 있다. 메모리 컨트롤러(250)는 디스크립터에 근거하여 버퍼 메모리(240)에 저장된 데이터를 비휘발성 메모리 장치(300)로 제공할 수 있다. 메모리 컨트롤러(250)는 제어 신호들과 데이터를 생성하고 구동(driving)하는 입출력 드라이버(미도시)를 포함할 수 있다. 디스크립터는 비휘발성 메모리 장치(300)를 제어하기 위해서 메모리 컨트롤러(250)가 처리해야 할 작업이 기술된 작업 지시서(work order)를 의미할 수 있다. 디스크립터는 컨트롤 유닛(210)에 의해서 생성될 수 있고, 메모리 컨트롤러(250)에 의해서 해독되고 수행될 수 있다. 그러한 이유로, 디스크립터는 컨트롤 유닛(210)이(또는 컨트롤 유닛(210)에 의해서 구동되는 펌웨어가) 관리하는 펌웨어 관리 정보, 메모리 컨트롤러(250)의 동작에 필요한 메모리 컨트롤러 동작 정보 및 비휘발성 메모리 장치(300)를 제어하기 위해서 메모리 컨트롤러(250)가 참조하는 비휘발성 메모리 장치 제어 정보를 포함할 수 있다. 본 발명의 실시 예에 따라 디스크립터가 포함하는 정보에 대하여는 도 3 및 도 4를 참조하여 후술하도록 한다.
- [0029] 메모리 컨트롤러(250)는 메모리 인터페이스 유닛(미도시)을 포함할 수 있다. 메모리 인터페이스 유닛은 컨트롤 유닛(210)의 제어에 따라서 비휘발성 메모리 장치(300)를 제어할 수 있다. 메모리 인터페이스 유닛은 제어 신호들을 비휘발성 메모리 장치(300)로 제공할 수 있다. 제어 신호들은 비휘발성 메모리 장치(300)를 제어하기 위한 커맨드, 어드레스, 제어 신호 등을 포함할 수 있다. 메모리 인터페이스 유닛은 데이터를 비휘발성 메모리 장치(300)로 제공하거나, 비휘발성 메모리 장치(300)로부터 데이터를 제공 받을 수 있다.
- [0030] 메모리 컨트롤러(250)는 디스크립터 버퍼 메모리(251)를 포함할 수 있다. 디스크립터 버퍼 메모리(251)는 동적 랜덤 액세스 메모리(DRAM) 또는 정적 랜덤 액세스 메모리(SRAM)와 같은 랜덤 액세스 메모리로 구성될 수 있다. 디스크립터 버퍼 메모리(251)는 컨트롤 유닛(210)에 의하여 생성된 디스크립터를 저장할 수 있다. 컨트롤 유닛(210)은, 제1 계층(221)에 기초한 펌웨어에 근거하여 비휘발성 메모리 장치(300)를 제어할 수 있고, 디스크립터에 저장되는 비휘발성 메모리 장치(300)의 설정 정보를 참조하여 비휘발성 메모리 장치(300)를 제어할 디스크립터를 생성할 수 있다.
- [0031] 비휘발성 메모리 장치(300)는 낸드(NAND) 플래시 메모리 장치, 노어(NOR) 플래시 메모리 장치, 강유전체 커패시터를 이용한 강유전체 램(ferroelectric random access memory: FRAM), 터널링 자기저항성(TMR) 막을 이용한 마그네틱 램(magnetic random access memory: MRAM), 칼코젠 화합물(chalcogenide alloys)을 이용한 상 변화 램(phase change random access memory: PCRAM), 전이금속 산화물(transition metal oxide)을

이용한 저항성 램(resistive random access memory: RERAM) 등과 같은 다양한 형태의 비휘발성 메모리 장치 중 어느 하나로 구성될 수 있다.

- [0032] 비휘발성 메모리 장치(300)는 메모리 셀 어레이(도 10의 310)를 포함할 수 있다. 메모리 셀 어레이에 포함된 메모리 셀들은 동작의 관점에서 또는 물리적(또는 구조적) 관점에서 계층적인 메모리 셀 집합 또는 메모리 셀 단위로 구성될 수 있다. 예를 들면, 동일한 워드 라인에 연결되며, 동시에 읽혀지고 쓰여지는(또는 프로그램되는) 메모리 셀들은 페이지로 구성될 수 있다. 이하에서, 설명의 편의를 위해서, 페이지로 구성되는 메모리 셀들을 "페이지"라고 칭할 것이다. 또한, 동시에 삭제되는 메모리 셀들은 메모리 블록으로 구성될 수 있다. 메모리 셀 어레이는 복수의 메모리 블록들(Blk0 내지 Blk(n))을 포함하고, 메모리 블록들 각각은 복수의 페이지들을 포함할 수 있다.
- [0033] 도 2는 본 발명의 실시 예에 따른 펌웨어의 계층을 설명하기 위한 도면이다.
- [0034] 도 1 및 도 2를 참조하면, 본 발명의 실시 예에 따른 동작 메모리(220)는 각각이 비휘발성 메모리 장치(300)를 구동하는 펌웨어인 제1 계층(221) 및 제2 계층(222)을 포함할 수 있다. 동작 메모리(220)는, 메모리 컨트롤러(250)와 연결되고, 제2 룩-업 테이블(LUT2)을 저장하는 제2 계층(222)을 포함할 수 있다. 또한, 호스트 장치(400)로부터 리퀘스트를 수신하고, 리퀘스트에 대응하는 데이터를 호스트 장치(400)로 송신하기 위한 호스트 인터페이스 계층(223)을 포함할 수 있다.
- [0035] 실시 예에 따라, 제1 계층(221)은 호스트 장치(400)의 요청에 대응하는 논리 주소와 비휘발성 메모리 장치(300)에 대응하는 물리 주소 사이의 맵핑 정보를 저장하는 플래시 변환 계층(221_0)을 포함할 수 있다.
- [0036] 실시 예에 따라, 제2 계층(222)은, 제2 계층(222)과 메모리 컨트롤러(250)와의 통신을 위한 플래시 인터페이스 계층(222_0)을 포함할 수 있다. 플래시 인터페이스 계층(222_0)은, 메모리 컨트롤러(250)(또는, 컨트롤 유닛(210)과 같은 다른 구성)와 비휘발성 메모리 장치(300) 사이의 통신을 위한 규격이다. 다만, 본 발명의 실시 예에 따른 플래시 인터페이스 계층(222_0)은, 특정한 구성으로 한정되지 않으며, 커맨드를 비휘발성 메모리 장치(300)로 전송하는 장치, 소프트웨어 등을 포함할 수 있다. 플래시 인터페이스 계층(222_0)은 메모리 컨트롤러(250) 및 비휘발성 메모리 장치(300)의 물리적인 정보를 관리할 수 있다.
- [0037] 컨트롤 유닛(210)은, 플래시 변환 계층(221_0)에 기초하여, 호스트 장치(400)로부터 수신한 리퀘스트에 대응하는 논리 주소를 물리 주소로 변경할 수 있다. 컨트롤 유닛(210)은 플래시 인터페이스 계층(222_0)에 기초하여, 상기 리퀘스트에 대응하는 커맨드를 비휘발성 메모리 장치(300)로 전송할 수 있다. 이 때, 제1 계층(221)은 제2 계층(222)보다 상위 계층일 수 있다. 실시 예에 따라, 플래시 변환 계층(221_0)은 플래시 인터페이스 계층(222_0)보다 상위 계층일 수 있다.
- [0038] 도 3은 본 발명의 실시 예에 따른 디스크립터를 설명하기 위한 도면이다. 영역0에 디스크립터(DSC0)이 저장되고, 영역1에 디스크립터(DSC1)이 저장되고, 영역2에 디스크립터(DSC2)가 저장되고, 영역k에 디스크립터(DSCk)가 저장된다고 가정한다.
- [0039] 실시 예에 따라, 컨트롤 유닛(210)은 비휘발성 메모리 장치(300)를 제어하기 위해서 메모리 컨트롤러(250)가 처리해야 할 작업이 기술된 디스크립터(DSC)를 생성할 수 있다. 컨트롤 유닛(210)은 생성한 디스크립터(DSC)를 메모리 컨트롤러(250)의 디스크립터 버퍼 메모리(251)에 저장할 수 있다.
- [0040] 각각의 디스크립터(DSC)는 해당 디스크립터(DSC)가 저장되는 디스크립터 버퍼 메모리(251)의 디스크립터 영역의 어드레스(이하, 디스크립터 어드레스라 칭함)에 대응될 수 있다. 예를 들면, 디스크립터(DSC0)은 디스크립터 어드레스(ADD_DSC0)에 대응되고, 디스크립터(DSC1)은 디스크립터 어드레스(ADD_DSC1)에 대응되고, 디스크립터(DSC2)는 디스크립터 어드레스(ADD_DSC2)에 대응되고, 그리고 디스크립터(DSCk)는 디스크립터 어드레스(ADD_DSCk)에 대응될 수 있다.
- [0041] 각각의 영역들은 디스크립터 어드레스의 범위로 지정될 수 있다. 예를 들면, 영역0은 디스크립터 어드레스(ADD_DSC0)에서 디스크립터 어드레스(ADD_DSC1)까지의 영역일 수 있고, 영역1은 디스크립터 어드레스(ADD_DSC1)에서 디스크립터 어드레스(ADD_DSC2)까지의 영역일 수 있고, 영역2는 디스크립터 어드레스(ADD_DSC2)에서 디스크립터 어드레스(ADD_DSC3)까지의 영역일 수 있고, 그리고 영역k는 디스크립터 어드레스(ADD_DSCk)에서 디스크립터 어드레스(ADD_DSCk+1)까지의 영역일 수 있다.
- [0042] 각각의 디스크립터(DSC)는 컨트롤 유닛(210)에 의해서 생성되지만, 메모리 컨트롤러(250)에 의해서 참조되고 획득될 수 있다. 그러한 이유로, 디스크립터(DSC)는, 컨트롤 유닛(210)이(또는 컨트롤 유닛(210)에 의해서 구동되

는 펌웨어 또는 소프트웨어가) 관리해야 할 정보가 기재된 필드(field), 메모리 컨트롤러(250)의 동작에 필요한 정보가 기재된 필드, 메모리 컨트롤러(250)가 비휘발성 메모리 장치(300)를 제어하기 위해서 필요한 정보가 기재된 필드로 구성될 수 있다.

- [0043] 도시하지는 않았지만, 컨트롤 유닛(210)이 관리해야 할 정보는 디스크립터(DSC)가 생성될 때 부여되는 디스크립터 오프셋(또는 디스크립터 아이디), 디스크립터(DSC)의 처리 결과로서 컨트롤 유닛(210)에 보고되는 또는 컨트롤 유닛(210)에 의해서 참조되는 상태 정보를 포함할 수 있다. 컨트롤 유닛(210)이 관리해야 할 정보는 디스크립터 어드레스(DSC_ADD)를 포함할 수 있다.
- [0044] 실시 예에 따라, 디스크립터(DSC)는 비휘발성 메모리 장치(300)의 설정 정보를 저장할 수 있다. 예를 들면, 설정 정보는 비휘발성 메모리 장치(300)의 다이(die)들, 플레인들, 블록들, 워드라인들 및 페이지들 중 적어도 하나의 어드레스 정보 또는 오프셋 정보를 포함할 수 있다.
- [0045] 예를 들면, 도시된 바와 같이, 디스크립터(DSC0)은 비휘발성 메모리 장치(300)에 포함되는 적어도 하나의 다이에 대한 정보(INF_DIE)를 포함할 수 있다. 디스크립터(DSC0)에는 각각의 다이의 어드레스 정보(ADD_DIE), 오프셋 정보(OFS_DIE) 및 저장 가능한 데이터의 크기(또는 저장될 데이터의 크기) 정보(SZ_DIE)를 포함할 수 있다. 디스크립터(DSC1)은 비휘발성 메모리 장치(300)에 포함되는 적어도 하나의 블록에 대한 정보(INF_BLK)를 포함할 수 있다. 디스크립터(DSC1)에는 각각의 블록의 어드레스 정보(ADD_BLK), 오프셋 정보(OFS_BLK) 및 저장 가능한 데이터의 크기(또는 저장될 데이터의 크기) 정보(SZ_BLK)를 포함할 수 있다. 디스크립터(DSC2)은 비휘발성 메모리 장치(300)에 포함되는 적어도 하나의 페이지에 대한 정보(INF_PG)를 포함할 수 있다. 디스크립터(DSC2)에는 각각의 페이지의 어드레스 정보(ADD_PG), 오프셋 정보(OFS_PG) 및 저장 가능한 데이터의 크기(또는 저장될 데이터의 크기) 정보(SZ_PG)를 포함할 수 있다.
- [0046] 도시되지는 않았지만, 디스크립터(DSC)에는 비휘발성 메모리 장치(300)의 내부 동작(예를 들면, 메모리 셀에 대한 프로그램 동작 또는 센싱 동작)에 필요한 시간을 의미한 지연 시간을 포함할 수 있고, 비휘발성 메모리 장치(300)를 제어하는 데 필요한 특수 명령(special command), 신호의 타이밍 정보 등을 더 포함할 수 있다.
- [0047] 도 4는 본 발명의 실시 예에 따른 제2 록-업 테이블을 설명하기 위한 도면이다. 도 3에 예시한 디스크립터에 대한 정보가 제2 록-업 테이블에 저장된다고 가정한다.
- [0048] 도 1, 도 3 및 도 4를 참조하면, 본 발명의 실시 예에 따른 컨트롤 유닛(210)은, 제2 계층(222)에 기초하여 제2 록-업 테이블(LUT2)에 디스크립터(DSC)의 위치 정보를 저장할 수 있다. 위치 정보는 디스크립터(DSC)의 설정 정보 각각이 디스크립터(DSC) 내에 저장된 위치에 대한 정보를 포함할 수 있다.
- [0049] 상술한 바와 같이 설정 정보 중 다이 정보(INF_DIE)는 다이의 어드레스 정보(ADD_DIE), 다이의 오프셋 정보(OFS_DIE) 및 다이에 저장 가능한 데이터의 크기(또는 저장될 데이터의 크기) 정보(SZ_DIE)를 포함할 수 있고, 디스크립터의 영역0에 저장되어 있다. 제2 록-업 테이블(LUT2)은 다이 정보(INF_DIE)가 저장된 디스크립터 및 디스크립터 어드레스에 대한 정보, 즉 위치 정보를 저장할 수 있다. 예를 들면, 디스크립터(DSC0)에 다이 정보(INF_DIE)가 저장되어 있고, 다이 정보(INF_DIE)가 저장된 디스크립터(DSC0)은 디스크립터 어드레스(ADD_DSC0)에 위치한다는 정보를 포함할 수 있다. 실시 예에 따라, 디스크립터 어드레스(ADD_DSC0)가 아닌 디스크립터(DSC0)이 포함되는 영역(예를 들면, 영역0)을 저장할 수 있을 것이다.
- [0050] 도 3을 참조하여 예시한 바와 같이, 블록 정보(INF_BLK)는 블록의 어드레스 정보(ADD_BLK), 블록의 오프셋 정보(OFS_BLK) 및 블록에 저장 가능한 데이터의 크기(또는 저장될 데이터의 크기) 정보(SZ_BLK)를 포함할 수 있고, 디스크립터의 영역1에 저장되어 있다. 실시 예에 따라, 블록의 어드레스 정보(ADD_BLK)는 해당 블록에 대응되는 물리 어드레스의 범위에 대한 정보를 포함할 수 있다. 또한, 해당 블록이 어떠한 오프셋 값을 가지는 다이에 포함되는지 또는 어떠한 오프셋 값을 갖는 플레인에 포함되는지에 대한 정보를 포함할 수 있다. 제2 록-업 테이블(LUT2)은 블록 정보(INF_BLK)가 저장된 디스크립터 및 디스크립터 어드레스에 대한 정보, 즉 위치 정보를 저장할 수 있다. 디스크립터(DSC1)에 블록 정보(INF_BLK)가 저장되어 있고, 블록 정보(INF_BLK)가 저장된 디스크립터(DSC1)은 디스크립터 어드레스(ADD_DSC1)에 위치한다는 정보를 포함할 수 있다. 실시 예에 따라, 디스크립터 어드레스(ADD_DSC1)가 아닌 디스크립터(DSC1)이 포함되는 영역(예를 들면, 영역1)을 저장할 수 있을 것이다.
- [0051] 상술한 바와 같이, 페이지 정보(INF_PG)는 페이지의 어드레스 정보(ADD_PG), 페이지의 오프셋 정보(OFS_PG) 및 페이지에 저장 가능한 데이터의 크기(또는 저장될 데이터의 크기) 정보(SZ_PG)를 포함할 수 있고, 디스크립터의 영역2에 저장되어 있다. 실시 예에 따라, 페이지의 어드레스 정보(ADD_PG)는 해당 페이지에 대응되는 물리 어드레스에 대한 정보를 포함할 수 있다. 또한, 해당 페이지가 어떠한 오프셋 값을 가지는 다이에 포함되는지, 어떠

한 오프셋 값을 갖는 플레인에 포함되는지 또는 어떠한 오프셋 값을 갖는 블록에 포함되는지에 대한 정보를 포함할 수 있다. 실시 예에 따라, 페이지의 오프셋 정보(OFS_PG)는, 해당 페이지가 포함되는 블록에서 어느 워드 라인에 위치하는 페이지인지에 대한 정보를 포함할 수 있다. 제2 룩-업 테이블(LUT2)은 페이지 정보(INF_PG)가 저장된 디스크립터 및 디스크립터 어드레스에 대한 정보, 즉 위치 정보를 저장할 수 있다. 디스크립터(DSC2)에 페이지 정보(INF_PG)가 저장되어 있고, 페이지 정보(INF_PG)가 저장된 디스크립터(DSC2)는 디스크립터 어드레스(ADD_DSC2)에 위치한다는 정보를 포함할 수 있다. 실시 예에 따라, 디스크립터 어드레스(ADD_DSC2)가 아닌 디스크립터(DSC2)가 포함되는 영역(예를 들면, 영역2)을 저장할 수 있을 것이다.

[0052] SSD, UFS 등 디바이스의 펌웨어 구조는 호스트 장치(400)의 논리 정보를 관리하는 플래시 변환 계층(221_0)과 비휘발성 메모리 장치(300)의 물리 정보를 관리하는 플래시 인터페이스 계층(222_0)을 포함하고, 플래시 변환 계층(221_0)은 플래시 인터페이스 계층(222_0)의 상위 계층에 속한다. 메모리 컨트롤러(250)는 비휘발성 메모리 장치(300)의 설정 정보를 포함하는 디스크립터를 저장하고, 컨트롤러(200)는 디스크립터를 참조하고, 메모리 컨트롤러(250)를 통하여 비휘발성 메모리 장치(300)와의 통신을 수행한다. 디스크립터의 위치 정보, 즉 복수의 설정 정보 각각이 디스크립터 내에 저장된 위치에 대한 정보는 플래시 변환 계층(221_0)이 관리 및 참조하는 자료 구조와, 플래시 인터페이스 계층(222_0)이 관리 및 참조하는 자료 구조에 모두 생성되고, 메모리 컨트롤러(250)의 업데이트 등으로 인하여 디스크립터의 위치 정보가 변경되는 경우, 복수의 자료 구조에 존재하는 디스크립터의 위치 정보를 모두 변경해줘야 하고, 이로 인한 비효율성이 존재하게 된다. 또한, 이로 인하여 서로 다른 계층간의 의존성(dependency)이 존재한다. 이 경우, 플래시 변환 계층(221_0)이 참조하여 커맨드 등을 생성하는 디스크립터의 업데이트를 위하여, 플래시 변환 계층(221_0) 및 플래시 인터페이스 계층(222_0)이 관리하는 자료 구조들을 중복하여 업데이트 하게 되어 있어, 서로 다른 계층간의 계층화 및 독립성이 지켜지지 않는 문제가 존재한다.

[0053] 본 발명의 실시 예에 따른 메모리 시스템(100)은, 제1 계층(221) 및 제2 계층(222) 각각에서 관리하는 룩-업 테이블(LUT)에 디스크립터(DSC)의 위치 정보를 중복적으로 생성 및 저장하지 않고, 하나의 펌웨어 계층(제2 계층(222))에서 디스크립터(DSC)에 대한 위치 정보를 생성하고, 이를 다른 펌웨어 계층(제1 계층(221))에서 참조한다. 즉, 비휘발성 메모리 장치(300)와의 통신을 수행하는 메모리 컨트롤러(250)와 연결된 펌웨어 계층(제2 계층(222))에서 비휘발성 메모리 장치(300)의 설정 정보를 포함하는 디스크립터(DSC)를 관리하고, 비휘발성 메모리 장치(300)에서 수행되는 동작의 커맨드를 생성하는 다른 계층(제1 계층(221))에서는 제2 계층(222)에서 관리하는 룩-업 테이블(LUT)을 참조하게 되어, 중복적으로 디스크립터(DSC)의 위치 정보를 생성하지 않아 효율적인 시스템 운용이 가능하게 된다. 또한, 메모리 컨트롤러(250)의 변경 또는 업데이트 등으로 인하여 비휘발성 메모리 장치(300)의 설정 정보가 디스크립터(DSC) 내에서 위치하는 영역이 변경되는 경우(예를 들면, 저장되는 워드라인의 변경), 복수의 펌웨어에서 관리하는 테이블을 변경할 필요가 없게 되고, 제2 계층(222)이 관리하는 테이블만을 변경하면 충분하다. 따라서, 서로 다른 계층간의 계층화 및 독립성이 관철될 수 있다.

[0054] 도시하지는 않았지만, 본 발명의 다른 실시 예에 따라, 비 일시적 기계 판독 가능 저장 매체의 동작의 구현에 필요한 인스트럭션들을 컨트롤러가 수행하는 전자 장치의 형태로 구현될 수 있다. 이 때 전자 장치는, 각각이 시스템을 구동하는 펌웨어인 제1 계층과 제2 계층을 포함하는 컨트롤러 및 컨트롤러에 의해 수행 가능한 인스트럭션들이 부호화되어 저장되는 비 일시적 기계 판독 가능 저장 매체를 포함할 수 있다. 이 때, 비 일시적 기계 판독 가능 저장 매체는 비휘발성 메모리 장치로 구성될 수 있다.

[0055] 실시 예에 따라, 인스트럭션들은, 비 일시적 기계 판독 가능 저장 매체의 설정 정보에 대한 디스크립터를 생성하고, 제2 계층에 의하여 관리되는 룩-업 테이블에 디스크립터의 위치 정보를 저장하고, 제1 계층에 기초하여 룩-업 테이블에 액세스하여 상기 위치 정보를 획득하고, 획득한 위치 정보에 근거하여 디스크립터에 액세스하여 설정 정보를 획득하고, 획득한 설정 정보를 참조하여 비 일시적 기계 판독 가능 저장 매체에 액세스할 커맨드를 생성하도록 제어하는 인스트럭션을 포함할 수 있다.

[0056] 실시 예에 따라, 인스트럭션들은, 비 일시적 기계 판독 가능 저장 매체의 설정 정보에 대한 디스크립터의 업데이트 여부를 판단하고, 디스크립터가 업데이트되었다고 판단되는 때, 제2 계층에 기초하여 룩-업 테이블을 업데이트하도록 제어하는 인스트럭션을 포함할 수 있다.

[0057] 상술한 바와 같이, 제1 계층은, 호스트 장치의 요청에 대응하는 논리 주소와 비 일시적 기계 판독 가능 저장 매체에 대응하는 물리 주소 사이의 맵핑 정보를 저장하는 플래시 변환 계층(Flash Translation Layer, FTL)을 포함할 수 있고, 제2 계층은, 제2 계층과 비 일시적 기계 판독 가능 저장 매체와의 통신을 위한 플래시 인터페이스 계층(Flash Interface Layer, FIL)를 포함할 수 있다.

- [0058] 도 5는 본 발명의 실시 예에 따른 메모리 시스템의 동작 방법을 예시적으로 설명하기 위한 순서도이다. 이하에서, 도 1, 도 2 및 도 4를 참조하여 본 발명의 실시 예에 따른 메모리 시스템(100)의 동작 방법을 설명한다.
- [0059] 본 발명의 실시 예에 따른 메모리 시스템(100)의 동작 방법은, 컨트롤러(200)가, 비휘발성 메모리 장치(300)의 설정 정보에 대한 디스크립터(DSC)를 생성하는 단계(S100), 디스크립터(DSC)의 위치 정보를 제2 계층(222)에 의하여 관리되는 룩-업 테이블에 저장하는 단계(S200), 제1 계층(221)에 기초하여, 룩-업 테이블에 액세스하여 위치 정보를 획득하는 단계(S500), 획득한 위치 정보에 근거하여, 디스크립터(DSC)에 액세스하여 설정 정보를 획득하는 단계(S600) 및 획득한 설정 정보를 참조하여, 비휘발성 메모리 장치(300)에 액세스할 커맨드를 생성하는 단계(S700)를 포함할 수 있다.
- [0060] 실시 예에 따라, 제1 계층(221)은, 호스트 장치(400)의 요청에 대응하는 논리 주소와 비휘발성 메모리 장치(300)에 대응하는 물리 주소 사이의 맵핑 정보를 저장하는 플래시 변환 계층(221_0)(Flash Translation Layer, FTL)을 포함할 수 있고, 제2 계층(222)은, 제2 계층(222)과 비휘발성 메모리 장치(300)와의 통신을 위한 플래시 인터페이스 계층(222_0)(Flash Interface Layer, FIL)를 포함할 수 있다.
- [0061] 실시 예에 따라, 디스크립터(DSC)에 포함되는 설정 정보는, 비휘발성 메모리 장치(300)의 다이들, 플레인들, 블록들 및 페이지들 중 적어도 하나의 어드레스 정보 또는 오프셋 정보를 포함할 수 있다. 실시 예에 따라, 디스크립터(DSC)의 위치 정보는, 설정 정보 각각이 디스크립터(DSC) 내에 저장된 위치에 대한 정보를 포함할 수 있다.
- [0062] 도 6는 본 발명의 실시 예에 따른 메모리 시스템의 동작 방법을 예시적으로 설명하기 위한 순서도이다. 이하에서, 도 1, 도 2 및 도 6을 참조하여 본 발명의 실시 예에 따른 메모리 시스템(100)의 동작 방법을 설명한다.
- [0063] 본 발명의 실시 예에 따른 메모리 시스템(100)의 동작 방법은, 컨트롤러(200)가, 비휘발성 메모리 장치(300)의 설정 정보에 대한 디스크립터(DSC)를 생성하는 단계(S100), 디스크립터(DSC)의 위치 정보를 제2 계층(222)에 의하여 관리되는 룩-업 테이블에 저장하는 단계(S200), 컨트롤러(200)가, 디스크립터(DSC)의 업데이트 여부를 판단하는 단계(S300), 디스크립터(DSC)가 업데이트되었다고 판단되는 때, 제2 계층(222)에 기초하여 룩-업 테이블을 업데이트하는 단계(S400), 제1 계층(221)에 기초하여 룩-업 테이블에 액세스하여 위치 정보를 획득하는 단계(S500), 획득한 위치 정보에 근거하여, 디스크립터(DSC)에 액세스하여 설정 정보를 획득하는 단계(S600) 및 설정 정보를 참조하여, 비휘발성 메모리 장치(300)에 액세스할 커맨드를 생성하는 단계(S700)를 포함할 수 있다.
- [0064] 도 7은 본 발명의 실시 예에 따른 SSD를 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다. 도 7을 참조하면, 데이터 처리 시스템(1000)은 호스트 장치(1100)와 SSD(1200)를 포함할 수 있다.
- [0065] SSD(1200)는 컨트롤러(1210), 버퍼 메모리 장치(1220), 비휘발성 메모리 장치들(1231~123n), 전원 공급기(1240), 신호 커넥터(1250) 및 전원 커넥터(1260)를 포함할 수 있다.
- [0066] 컨트롤러(1210)는 SSD(1200)의 제반 동작을 제어할 수 있다. 컨트롤러(1210)는 호스트 인터페이스 유닛(1211), 컨트롤 유닛(1212), 랜덤 액세스 메모리(1213), 에러 정정 코드(ECC) 유닛(1214) 및 메모리 인터페이스 유닛(1215)을 포함할 수 있다.
- [0067] 호스트 인터페이스 유닛(1211)은 신호 커넥터(1250)를 통해서 호스트 장치(1100)와 신호(SGL)를 주고 받을 수 있다. 여기에서, 신호(SGL)는 커맨드, 어드레스, 데이터 등을 포함할 수 있다. 호스트 인터페이스 유닛(1211)은, 호스트 장치(1100)의 프로토콜에 따라서, 호스트 장치(1100)와 SSD(1200)를 인터페이싱할 수 있다. 예를 들면, 호스트 인터페이스 유닛(1211)은, 시큐어 디지털(secure digital), USB(universal serial bus), MMC(multi-media card), eMMC(embedded MMC), PCMCIA(personal computer memory card international association), PATA(parallel advanced technology attachment), SATA(serial advanced technology attachment), SCSI(small computer system interface), SAS(serial attached SCSI), PCI(peripheral component interconnection), PCI-E(PCI Express), UFS(universal flash storage)와 같은 표준 인터페이스 프로토콜들 중 어느 하나를 통해서 호스트 장치(1100)와 통신할 수 있다.
- [0068] 컨트롤 유닛(1212)은 호스트 장치(1100)로부터 입력된 신호(SGL)를 분석하고 처리할 수 있다. 컨트롤 유닛(1212)은 SSD(1200)를 구동하기 위한 펌웨어 또는 소프트웨어에 따라서 내부 기능 블록들의 동작을 제어할 수 있다. 랜덤 액세스 메모리(1213)는 이러한 펌웨어 또는 소프트웨어를 구동하기 위한 동작 메모리로서 사용될 수 있다.
- [0069] 에러 정정 코드(ECC) 유닛(1214)은 비휘발성 메모리 장치들(1231~123n)로 전송될 데이터의 패리티 데이터를 생

성할 수 있다. 생성된 패리티 데이터는 데이터와 함께 비휘발성 메모리 장치들(1231~123n)에 저장될 수 있다. 에러 정정 코드(ECC) 유닛(1214)은 패리티 데이터에 근거하여 비휘발성 메모리 장치들(1231~123n)로부터 독출된 데이터의 에러를 검출할 수 있다. 만약, 검출된 에러가 정정 범위 내이면, 에러 정정 코드(ECC) 유닛(1214)은 검출된 에러를 정정할 수 있다.

- [0070] 메모리 인터페이스 유닛(1215)은, 컨트롤 유닛(1212)의 제어에 따라서, 비휘발성 메모리 장치들(1231~123n)에 커맨드 및 어드레스와 같은 제어 신호를 제공할 수 있다. 그리고 메모리 인터페이스 유닛(1215)은, 컨트롤 유닛(1212)의 제어에 따라서, 비휘발성 메모리 장치들(1231~123n)과 데이터를 주고받을 수 있다. 예를 들면, 메모리 인터페이스 유닛(1215)은 버퍼 메모리 장치(1220)에 저장된 데이터를 비휘발성 메모리 장치들(1231~123n)로 제공하거나, 비휘발성 메모리 장치들(1231~123n)로부터 읽혀진 데이터를 버퍼 메모리 장치(1220)로 제공할 수 있다.
- [0071] 버퍼 메모리 장치(1220)는 비휘발성 메모리 장치들(1231~123n)에 저장된 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(1220)는 비휘발성 메모리 장치들(1231~123n)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(1220)에 임시 저장된 데이터는 컨트롤러(1210)의 제어에 따라 호스트 장치(1100) 또는 비휘발성 메모리 장치들(1231~123n)로 전송될 수 있다.
- [0072] 비휘발성 메모리 장치들(1231~123n)은 SSD(1200)의 저장 매체로 사용될 수 있다. 비휘발성 메모리 장치들(1231~123n) 각각은 복수의 채널들(CH1~CHn)을 통해 컨트롤러(1210)와 연결될 수 있다. 하나의 채널에는 하나 또는 그 이상의 비휘발성 메모리 장치가 연결될 수 있다. 하나의 채널에 연결되는 비휘발성 메모리 장치들은 동일한 신호 버스 및 데이터 버스에 연결될 수 있다.
- [0073] 전원 공급기(1240)는 전원 커넥터(1260)를 통해 입력된 전원(PWR)을 SSD(1200) 내부에 제공할 수 있다. 전원 공급기(1240)는 보조 전원 공급기(1241)를 포함할 수 있다. 보조 전원 공급기(1241)는 서든 파워 오프(sudden power off)가 발생하는 경우, SSD(1200)가 정상적으로 종료될 수 있도록 전원을 공급할 수 있다. 보조 전원 공급기(1241)는 대용량 캐패시터들(capacitors)을 포함할 수 있다.
- [0074] 신호 커넥터(1250)는 호스트 장치(1100)와 SSD(1200)의 인터페이스 방식에 따라서 다양한 형태의 커넥터로 구성될 수 있다.
- [0075] 전원 커넥터(1260)는 호스트 장치(1100)의 전원 공급 방식에 따라서 다양한 형태의 커넥터로 구성될 수 있다.
- [0076] 도 8은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다. 도 8을 참조하면, 데이터 처리 시스템(2000)은 호스트 장치(2100)와 메모리 시스템(2200)을 포함할 수 있다.
- [0077] 호스트 장치(2100)는 인쇄 회로 기판(printed circuit board)과 같은 기판(board) 형태로 구성될 수 있다. 비록 도시되지 않았지만, 호스트 장치(2100)는 호스트 장치의 기능을 수행하기 위한 내부 기능 블록들을 포함할 수 있다.
- [0078] 호스트 장치(2100)는 소켓(socket), 슬롯(slot) 또는 커넥터(connector)와 같은 접속 터미널(2110)을 포함할 수 있다. 메모리 시스템(2200)은 접속 터미널(2110)에 마운트(mount)될 수 있다.
- [0079] 메모리 시스템(2200)은 인쇄 회로 기판과 같은 기판 형태로 구성될 수 있다. 메모리 시스템(2200)은 메모리 모듈 또는 메모리 카드로 불릴 수 있다. 메모리 시스템(2200)은 컨트롤러(2210), 버퍼 메모리 장치(2220), 비휘발성 메모리 장치(2231~2232), PMIC(power management integrated circuit)(2240) 및 접속 터미널(2250)을 포함할 수 있다.
- [0080] 컨트롤러(2210)는 메모리 시스템(2200)의 제반 동작을 제어할 수 있다. 컨트롤러(2210)는 도 7에 도시된 컨트롤러(1210)와 동일하게 구성될 수 있다.
- [0081] 버퍼 메모리 장치(2220)는 비휘발성 메모리 장치들(2231~2232)에 저장된 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(2220)는 비휘발성 메모리 장치들(2231~2232)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(2220)에 임시 저장된 데이터는 컨트롤러(2210)의 제어에 따라 호스트 장치(2100) 또는 비휘발성 메모리 장치들(2231~2232)로 전송될 수 있다.
- [0082] 비휘발성 메모리 장치들(2231~2232)은 메모리 시스템(2200)의 저장 매체로 사용될 수 있다.
- [0083] PMIC(2240)는 접속 터미널(2250)을 통해 입력된 전원을 메모리 시스템(2200) 내부에 제공할 수 있다.

PMIC(2240)는, 컨트롤러(2210)의 제어에 따라서, 메모리 시스템(2200)의 전원을 관리할 수 있다.

- [0084] 접속 터미널(2250)은 호스트 장치의 접속 터미널(2110)에 연결될 수 있다. 접속 터미널(2250)을 통해서, 호스트 장치(2100)와 메모리 시스템(2200) 간에 커맨드, 어드레스, 데이터 등과 같은 신호와, 전원이 전달될 수 있다. 접속 터미널(2250)은 호스트 장치(2100)와 메모리 시스템(2200)의 인터페이스 방식에 따라 다양한 형태로 구성될 수 있다. 접속 터미널(2250)은 메모리 시스템(2200)의 어느 한 변에 배치될 수 있다.
- [0085] 도 9는 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다. 도 9를 참조하면, 데이터 처리 시스템(3000)은 호스트 장치(3100)와 메모리 시스템(3200)을 포함할 수 있다.
- [0086] 호스트 장치(3100)는 인쇄 회로 기판(printed circuit board)과 같은 기판(board) 형태로 구성될 수 있다. 비록 도시되지 않았지만, 호스트 장치(3100)는 호스트 장치의 기능을 수행하기 위한 내부 기능 블록들을 포함할 수 있다.
- [0087] 메모리 시스템(3200)은 표면 실장형 패키지 형태로 구성될 수 있다. 메모리 시스템(3200)은 솔더 볼(solder ball)(3250)을 통해서 호스트 장치(3100)에 마운트될 수 있다. 메모리 시스템(3200)은 컨트롤러(3210), 버퍼 메모리 장치(3220) 및 비휘발성 메모리 장치(3230)를 포함할 수 있다.
- [0088] 컨트롤러(3210)는 메모리 시스템(3200)의 제반 동작을 제어할 수 있다. 컨트롤러(3210)는 도 7에 도시된 컨트롤러(1210)와 동일하게 구성될 수 있다.
- [0089] 버퍼 메모리 장치(3220)는 비휘발성 메모리 장치(3230)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(3220)는 비휘발성 메모리 장치들(3230)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(3220)에 임시 저장된 데이터는 컨트롤러(3210)의 제어에 따라 호스트 장치(3100) 또는 비휘발성 메모리 장치(3230)로 전송될 수 있다.
- [0090] 비휘발성 메모리 장치(3230)는 메모리 시스템(3200)의 저장 매체로 사용될 수 있다.
- [0091] 도 10은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 네트워크 시스템을 예시적으로 보여주는 도면이다. 도 10을 참조하면, 네트워크 시스템(4000)은 네트워크(4500)를 통해서 연결된 서버 시스템(4300) 및 복수의 클라이언트 시스템들(4410~4430)을 포함할 수 있다.
- [0092] 서버 시스템(4300)은 복수의 클라이언트 시스템들(4410~4430)의 요청에 응답하여 데이터를 서비스할 수 있다. 예를 들면, 서버 시스템(4300)은 복수의 클라이언트 시스템들(4410~4430)로부터 제공된 데이터를 저장할 수 있다. 다른 예로서, 서버 시스템(4300)은 복수의 클라이언트 시스템들(4410~4430)로 데이터를 제공할 수 있다.
- [0093] 서버 시스템(4300)은 호스트 장치(4100) 및 메모리 시스템(4200)을 포함할 수 있다. 메모리 시스템(4200)은 도 1의 메모리 시스템(100), 도 7의 SSD(1200), 도 8의 메모리 시스템(2200), 도 9의 메모리 시스템(3200)로 구성될 수 있다.
- [0094] 도 11은 본 발명의 실시 예에 따른 메모리 시스템에 포함된 비휘발성 메모리 장치를 예시적으로 보여주는 블록도이다. 도 11을 참조하면, 비휘발성 메모리 장치는 메모리 셀 어레이(310), 행 디코더(320), 데이터 읽기/쓰기 블록(330), 열 디코더(340), 전압 발생기(350) 및 제어 로직(360)을 포함할 수 있다.
- [0095] 메모리 셀 어레이(310)는 워드 라인들(WL1~WLm)과 비트 라인들(BL1~BLn)이 서로 교차된 영역에 배열된 메모리 셀(MC)들을 포함할 수 있다.
- [0096] 행 디코더(320)는 워드 라인들(WL1~WLm)을 통해서 메모리 셀 어레이(310)와 연결될 수 있다. 행 디코더(320)는 제어 로직(360)의 제어에 따라 동작할 수 있다. 행 디코더(320)는 외부 장치(도시되지 않음)로부터 제공된 어드레스를 디코딩할 수 있다. 행 디코더(320)는 디코딩 결과에 근거하여 워드 라인들(WL1~WLm)을 선택하고, 구동할 수 있다. 예시적으로, 행 디코더(320)는 전압 발생기(350)로부터 제공된 워드 라인 전압을 워드 라인들(WL1~WLm)에 제공할 수 있다.
- [0097] 데이터 읽기/쓰기 블록(330)은 비트 라인들(BL1~BLn)을 통해서 메모리 셀 어레이(310)와 연결될 수 있다. 데이터 읽기/쓰기 블록(330)은 비트 라인들(BL1~BLn) 각각에 대응하는 읽기/쓰기 회로들(RW1~RWn)을 포함할 수 있다. 데이터 읽기/쓰기 블록(330)은 제어 로직(360)의 제어에 따라 동작할 수 있다. 데이터 읽기/쓰기 블록(330)은 동작 모드에 따라서 쓰기 드라이버로서 또는 감지 증폭기로서 동작할 수 있다. 예를 들면, 데이터 읽기/쓰기 블록(330)은 쓰기 동작 시 외부 장치로부터 제공된 데이터를 메모리 셀 어레이(310)에 저장하는 쓰기 드

라이버로서 동작할 수 있다. 다른 예로서, 데이터 읽기/쓰기 블록(330)은 읽기 동작 시 메모리 셀 어레이(310)로부터 데이터를 독출하는 감지 증폭기로서 동작할 수 있다.

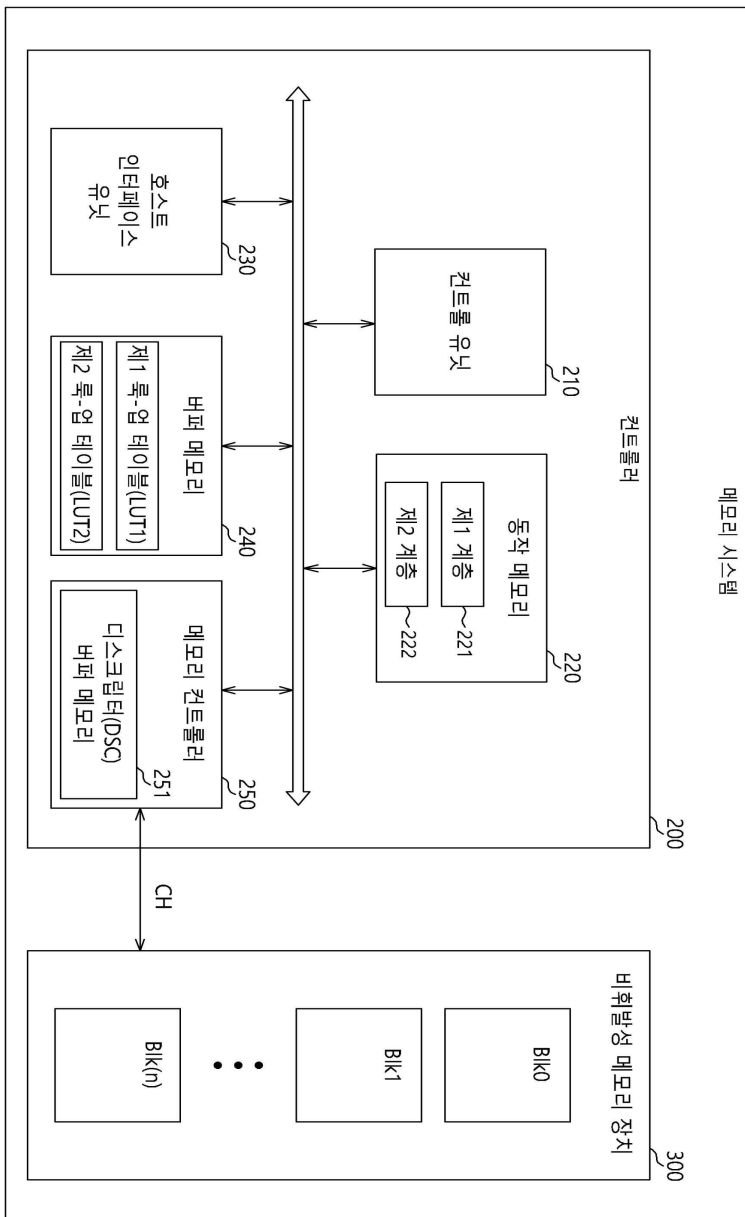
- [0098] 열 디코더(340)는 제어 로직(360)의 제어에 따라 동작할 수 있다. 열 디코더(340)는 외부 장치로부터 제공된 어드레스를 디코딩할 수 있다. 열 디코더(340)는 디코딩 결과에 근거하여 비트 라인들(BL1~BLn) 각각에 대응하는 데이터 읽기/쓰기 블록(330)의 읽기/쓰기 회로들(RW1~RWn)과 데이터 입출력 라인(또는 데이터 입출력 버퍼)을 연결할 수 있다.
- [0099] 전압 발생기(350)는 비휘발성 메모리 장치의 내부 동작에 사용되는 전압을 생성할 수 있다. 전압 발생기(350)에 의해서 생성된 전압들은 메모리 셀 어레이(310)의 메모리 셀들에 인가될 수 있다. 예를 들면, 프로그램 동작 시 생성된 프로그램 전압은 프로그램 동작이 수행될 메모리 셀들의 워드 라인에 인가될 수 있다. 다른 예로서, 소거 동작 시 생성된 소거 전압은 소거 동작이 수행될 메모리 셀들의 웰-영역에 인가될 수 있다. 다른 예로서, 읽기 동작 시 생성된 읽기 전압은 읽기 동작이 수행될 메모리 셀들의 워드 라인에 인가될 수 있다.
- [0100] 제어 로직(360)은 외부 장치로부터 제공된 제어 신호에 근거하여 비휘발성 메모리 장치의 제반 동작을 제어할 수 있다. 예를 들면, 제어 로직(360)은 비휘발성 메모리 장치의 읽기, 쓰기, 소거 동작을 제어할 수 있다.
- [0101] 본 발명의 일 실시 예에 따른 방법과 관련하여서는 전술한 장치 및 시스템에 대한 내용이 적용될 수 있다. 따라서, 방법과 관련하여, 전술한 장치 및 시스템에 대한 내용과 동일한 내용에 대하여는 설명을 생략하였다.
- [0102] 이상에서, 본 발명은 구체적인 실시 예를 통해 설명되고 있으나, 본 발명은 그 범위에서 벗어나지 않는 한도 내에서 여러 가지로 변형할 수 있음은 잘 이해될 것이다. 그러므로, 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며, 후술하는 특허청구범위 및 이와 균등한 것들에 의해 정해져야 한다. 본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 잘 이해될 것이다.

부호의 설명

- [0103] 100 : 메모리 시스템
- 200 : 컨트롤러
- 210 : 컨트롤 유닛
- 220 : 동작 메모리
- 221 : 제1 계층
- 222 : 제2 계층
- 230 : 호스트 인터페이스 유닛
- 240 : 버퍼 메모리
- 250 : 메모리 컨트롤러
- 251 : 디스크립터 버퍼 메모리
- 300 : 비휘발성 메모리 장치

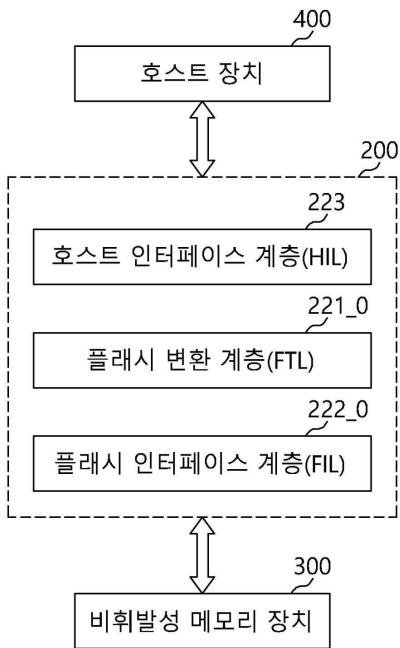
도면

도면1

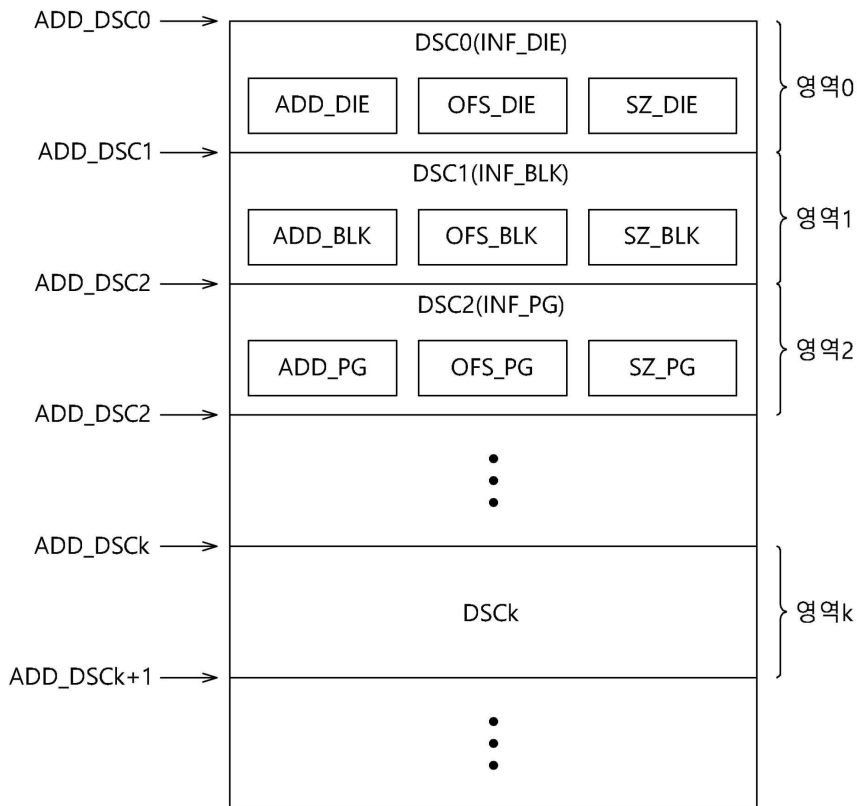


100

도면2



도면3

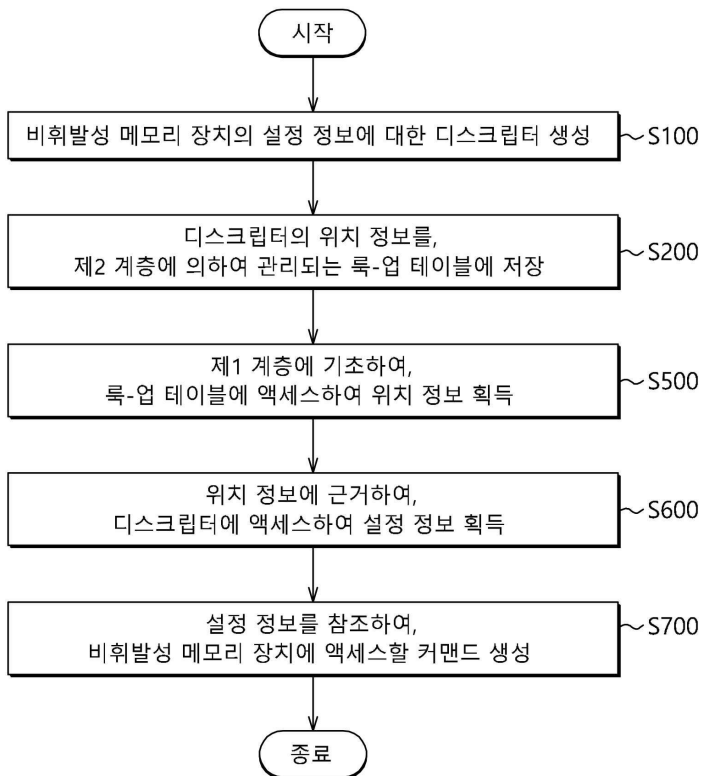


도면4

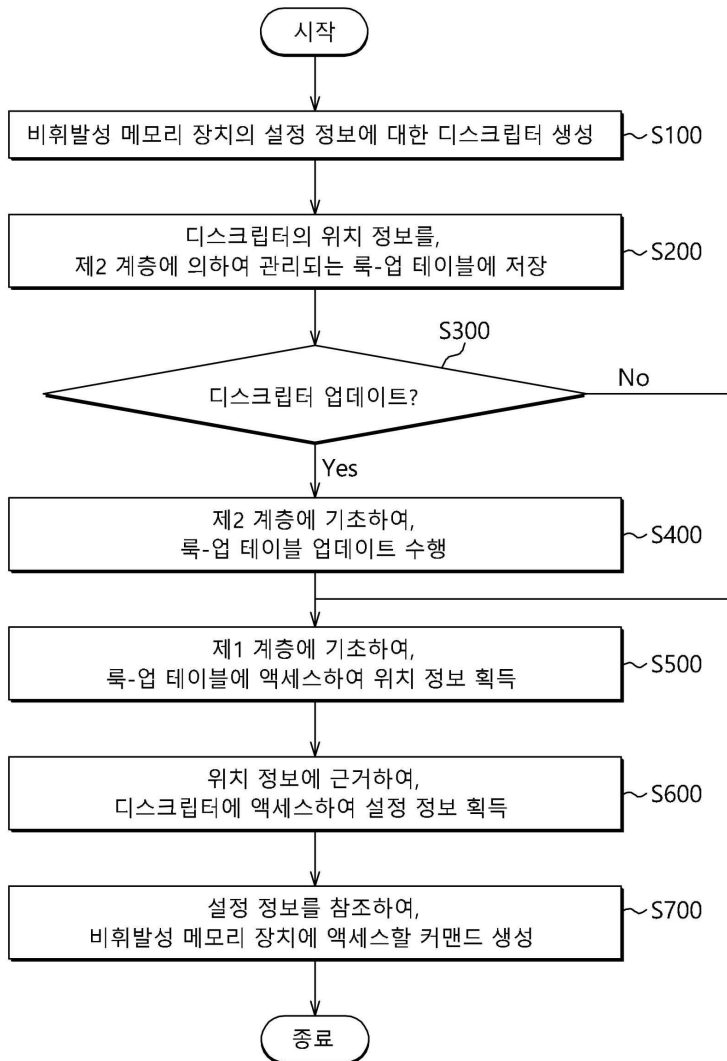
제2 룩-업 테이블(LUT2)

디스크립터 (DSC)	디스크립터 어드레스 (ADD_DSC)	정보 (INF)
DSC0	ADD_DSC0	다이 정보 (INF_DIE)
DSC1	ADD_DSC1	블록 정보 (INF_BLK)
DSC2	ADD_DSC2	페이지 정보 (INF_PG)
⋮		
DSck	ADD_DSck	

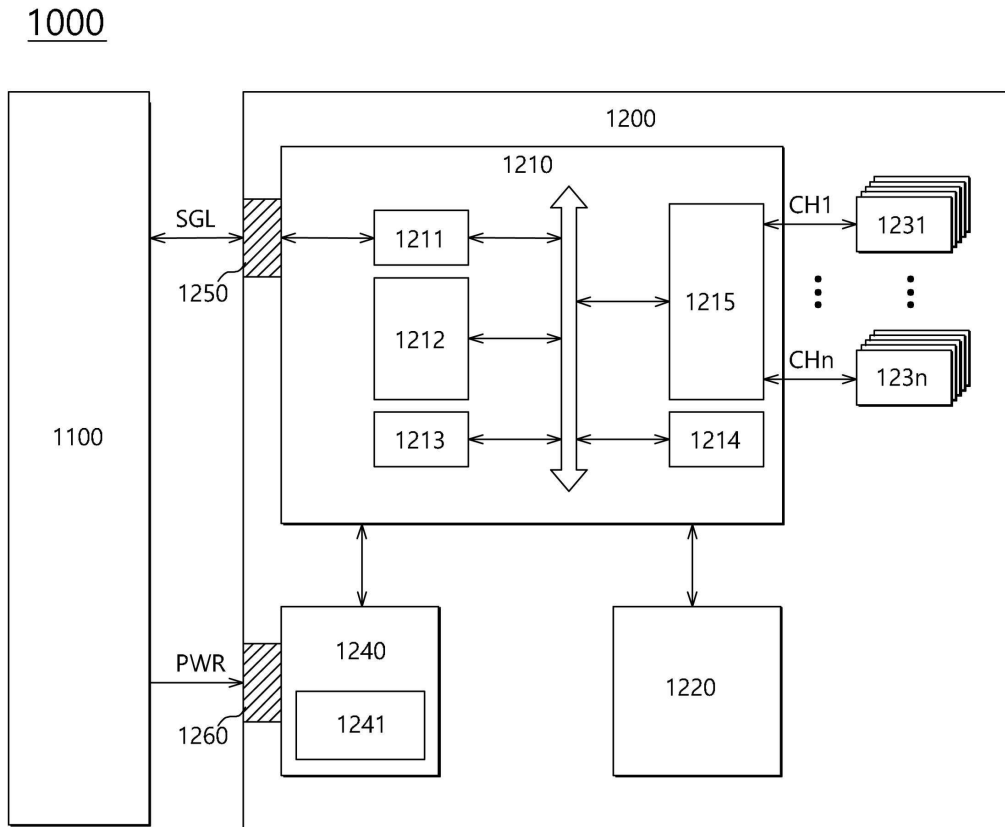
도면5



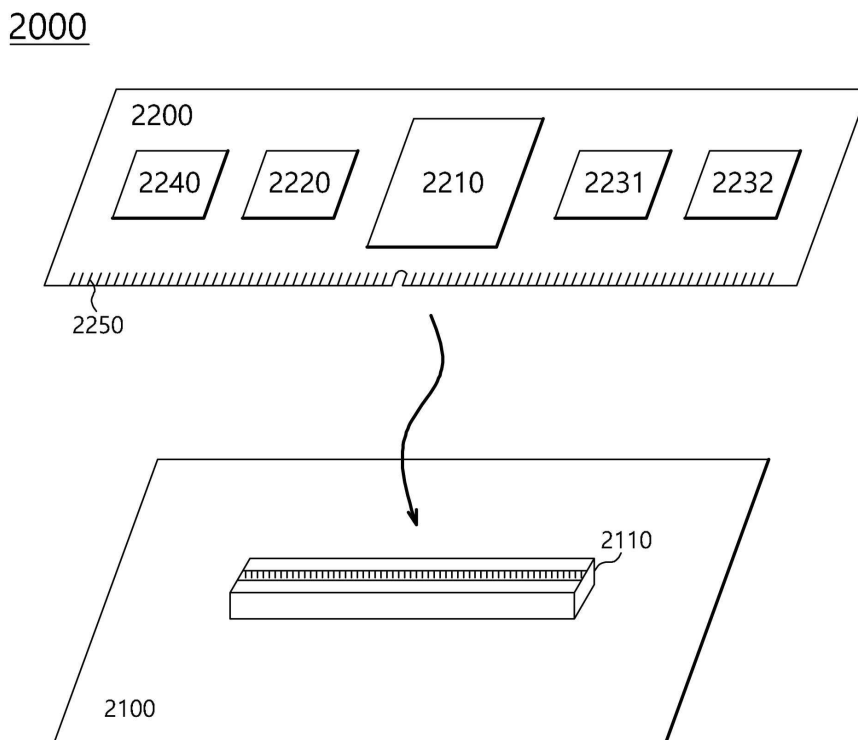
도면6



도면7

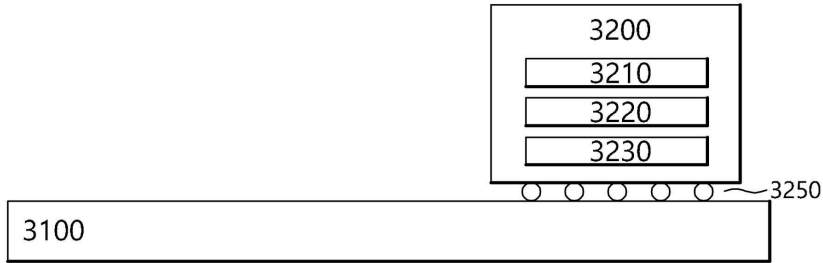


도면8



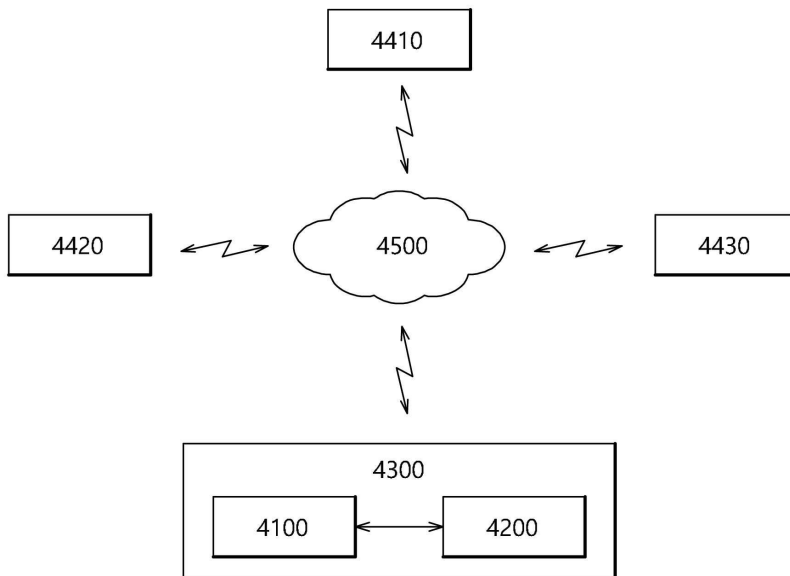
도면9

3000



도면10

4000



도면11

300

