

19 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
COURBEVOIE

11 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

3 089 016

21 N° d'enregistrement national : 18 72008

51 Int Cl⁸ : G 01 R 31/28 (2019.01), B 81 C 1/00, H 01 L 21/46,
21/02

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 28.11.18.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 29.05.20 Bulletin 20/22.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

71 Demandeur(s) : Commissariat à l'Energie Atomique et
aux Energies Alternatives Etablissement public — FR.

72 Inventeur(s) : BESSON Pascal et FOURNEL Frank.

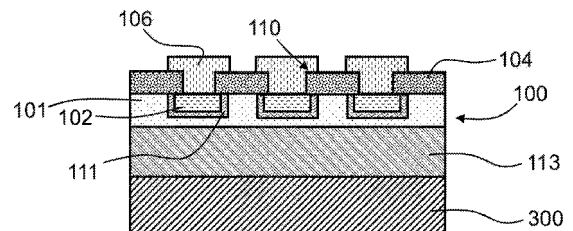
73 Titulaire(s) : Commissariat à l'Energie Atomique et
aux Energies Alternatives Etablissement public.

74 Mandataire(s) : Cabinet GRIS.

54 PROCÉDE DE TEST ELECTRIQUE D'AU MOINS UN DISPOSITIF ELECTRONIQUE DESTINE A ETRE COLLE
PAR COLLAGE DIRECT.

57 Le procédé de test électrique, d'au moins un dispositif électronique (100) destiné à être collé par collage direct, est tel qu'il comporte une étape de fourniture du dispositif électronique (100) comportant une couche (101) de premier matériau présentant une surface adaptée au collage direct et des bornes (102) de connexion formées au moins en partie dans la couche (101) de premier matériau. Le procédé de test électrique comporte la formation de plots (106) de connexion depuis des trous d'une couche (104) de deuxième matériau formée sur la couche (101) de premier matériau, chaque plot (106) de connexion étant en contact électrique avec l'une des bornes (102) de connexion au niveau de l'un des trous. Le dispositif électronique (100) est testé en utilisant les plots (106) de connexion avant de retirer, par gravure sélective, les plots (106) de connexion, puis de retirer, par gravure sélective, la couche (104) de deuxième matériau.

Figure à publier avec l'abrégié : Fig. 7



FR 3 089 016 - A1



Description

Titre de l'invention : PROCÉDE DE TEST ELECTRIQUE D'AU MOINS UN DISPOSITIF ELECTRONIQUE DESTINE A ETRE COLLE PAR COLLAGE DIRECT

Domaine technique

[0001] Le domaine technique de l'invention concerne l'électronique, et notamment un dispositif électronique destiné à être collé par collage direct, notamment sur un composant électronique tel un substrat fonctionnalisé.

Technique antérieure

[0002] Bien qu'assez récent, le collage direct de surfaces comportant du cuivre et de l'oxyde pour l'intégration en trois dimensions est une technique relativement classique en microélectronique. Pour le moment, l'industrie colle généralement deux substrats fonctionnalisés ensembles. Il est cependant intéressant de pouvoir coller des puces électroniques individuellement sur un substrat fonctionnalisé pour, par exemple, permettre de coller sur ce substrat fonctionnalisé des puces électroniques de deux technologies différentes, c'est-à-dire issues de deux autres substrats fonctionnalisés différents, ou de tailles différentes rendant incompatible la formation de ces deux puces électroniques sur un même substrat. Ces collages de puces électroniques à un substrat fonctionnalisé ont déjà été réalisés comme le décrit par exemple le document « An innovative die to wafer 3D integration scheme : Die to wafer oxide or copper direct bonding with planarised oxide inter-die filling » de Léa Di Cioccio et al publié dans 2009 IEEE International Conference on 3D System Integration (conférence du 28-30 septembre 2009). Un inconvénient de la solution décrite dans ce document est qu'il n'y a aucune certitude que la puce collée sur le substrat fonctionnalisé soit fonctionnelle car elle n'a pas été testée via ses bornes de connexion utilisées pour le collage direct pour éviter d'endommager les surfaces à coller. Le collage direct est très sensible à l'état des surfaces à coller, or l'utilisation d'une sonde de test pour tester une puce électronique par ses bornes de connexion devant être collées par collage direct provoque des dégradations importantes à la surface de la puce électronique rendant ensuite incompatible le collage direct des bornes de connexion, ayant été mises en contact avec la sonde de test, à une surface de collage.

[0003] Il est connu du brevet européen EP2448861 de former des éléments munis d'une surface délimitée par un matériau diélectrique, des plots de cuivre et une couche formant barrière de diffusion. Deux éléments distincts peuvent ensuite être collées par mise en contact des plots de cuivre préalablement enrichis en oxygène. Ici, les éléments ne sont pas testées avant de les coller car cela aurait pour conséquence de dé-

tériorer les surfaces des plots à mettre en contact d'où il résulterait une impossibilité de collage direct cuivre sur cuivre.

Objet de l'invention

- [0004] L'invention a pour but de proposer une solution technique permettant de tester électriquement un dispositif électronique destiné à être collé par collage direct.
- [0005] A cet effet, l'invention a pour objet un procédé de test électrique d'au moins un dispositif électronique destiné à être collé par collage direct, ce procédé de test électrique étant caractérisé en ce qu'il comporte les étapes suivantes : une étape de fourniture du dispositif électronique comportant une couche de premier matériau présentant une surface adaptée au collage direct, le dispositif électronique comportant des bornes de connexion formées au moins en partie dans la couche de premier matériau ; une étape de dépôt d'un deuxième matériau pour former une couche de deuxième matériau en contact avec la couche de premier matériau et avec les bornes de connexion ; une étape de gravure sélective de la couche de deuxième matériau pour former des trous rendant accessibles les bornes de connexion au travers de la couche de deuxième matériau ; une étape de formation de plots de connexion, chaque plot de connexion étant en contact électrique avec l'une des bornes de connexion au niveau de l'un des trous ; une étape de test électrique du dispositif électronique par coopération d'une sonde de test avec les plots de connexion ; et en ce qu'après l'étape de test électrique, ledit procédé de test électrique comporte une étape de retrait, par gravure sélective, des plots de connexion et une étape de retrait, par gravure sélective, de la couche de deuxième matériau après avoir retiré les plots de connexion.
- [0006] Un tel procédé de test électrique permet de former une structure sacrificielle pouvant être détériorée lors du test électrique du dispositif électronique puis retirée afin de restituer le dispositif électronique au terme du procédé de test dans un état identique ou similaire à celui avant son test électrique.
- [0007] Le procédé de test électrique peut comporter une ou plusieurs des caractéristiques suivantes :
- le procédé de test électrique est tel que : le premier matériau est de l'oxyde de silicium ; les bornes de connexion sont des bornes de cuivre ; le deuxième matériau déposé est du silicium amorphe ; les plots de connexion sont des plots d'aluminium ;
 - l'étape de retrait des plots de connexion par gravure sélective est réalisée par gravure chimique en utilisant une première solution comportant de l'acide fluorhydrique, l'acide fluorhydrique présentant, dans la première solution, une concentration comprise entre 0,1 wt% et 50 wt%, de préférence égale à 2 wt%, et la gravure sélective de l'étape de retrait de la couche de deuxième matériau est une gravure chimique utilisant une deuxième solution comportant du TMAH, ou du TEAH, présentant, dans la deuxième solution, une concentration comprise entre 0,1 wt% et 10

wt%, de préférence égale à 2 wt% ;

- le procédé de test électrique est tel que : l'étape de fourniture est telle que, pour chaque borne de connexion, le dispositif électronique comporte une barrière de diffusion entre ladite borne de connexion et la couche de premier matériau ; l'étape de dépôt du deuxième matériau est telle que les barrières de diffusion sont recouvertes par la couche de deuxième matériau ; l'étape de gravure sélective de la couche de deuxième matériau pour former les trous est telle que les barrières de diffusion restent inaccessibles depuis les trous formés ;

- l'étape de formation des plots de connexion est telle que chaque plot de connexion comble l'un des trous et s'étend sur la couche de deuxième matériau latéralement par rapport à la périphérie d'une ouverture dudit trou ;

- le procédé de test électrique comporte au moins une étape de polissage mécano-chimique réalisée du côté d'une face de la couche de premier matériau libérée par le retrait de la couche de deuxième matériau ;

- avant l'étape de polissage mécano-chimique, les bornes de connexion sont chacune en saillie par rapport à la couche de premier matériau, et l'étape de polissage mécano-chimique est appliquée sur les bornes de connexion.

[0008] L'invention est aussi relative à un dispositif à tester électriquement comportant un dispositif électronique destiné à être collé par collage direct, ledit dispositif électronique comportant une couche de premier matériau présentant une surface adaptée pour un collage direct, des bornes de connexion formées au moins en partie dans la couche de premier matériau. Ce dispositif à tester comporte une couche de deuxième matériau en contact avec la couche de premier matériau et les bornes de connexion, ladite couche de deuxième matériau étant trouée, et ce dispositif à tester comporte des plots de connexion, chaque plot de connexion étant en contact électrique avec l'une des bornes de connexion au niveau de l'un des trous formé dans la couche de deuxième matériau.

[0009] D'autres avantages et caractéristiques pourront ressortir de la description détaillée qui va suivre.

Description sommaire des dessins

[0010] L'invention sera mieux comprise à la lecture de la description qui va suivre, donnée uniquement à titre d'exemple non limitatif et faite en se référant aux dessins annexés et listés ci-dessous.

[0011] [fig.1]

La figure 1 représente une vue de dessus d'un dispositif électronique à tester selon une réalisation particulière de la présente invention.

[0012] [fig.2]

La figure 2 illustre une vue du dispositif de la figure 1 selon la coupe A-A de la

figure 1.

[0013] [fig.3]

La figure 3 représente schématiquement des étapes d'une réalisation particulière du procédé de test électrique selon l'invention.

[0014] [fig.4]

La figure 4 illustre, selon une vue en coupe, une étape du procédé de test électrique permettant de former une couche sur le dispositif électronique.

[0015] [fig.5]

La figure 5 illustre, selon une vue en coupe, la formation de trous dans la couche formée sur le dispositif électronique.

[0016] [fig.6]

La figure 6 illustre, selon une vue en coupe, une étape du procédé de test électrique participant à la formation de plots de connexion.

[0017] [fig.7]

La figure 7 illustre, selon une vue en coupe, le résultat d'une étape de formation des plots de connexion.

[0018] [fig.8]

La figure 8 illustre, selon une vue en coupe, une étape de test électrique du procédé de test électrique.

[0019] [fig.9]

La figure 9 illustre, selon une vue en coupe, la détérioration des plots de connexion après l'étape de test électrique du procédé de test électrique.

[0020] [fig.10]

La figure 10 illustre, selon une vue en coupe, une variante du dispositif électronique de la figure 2.

[0021] [fig.11]

La figure 11 illustre des dispositifs électroniques à tester selon la présente invention supportés par un même substrat.

[0022] Dans ces figures, les mêmes références sont utilisées pour désigner les mêmes éléments.

Description des modes de réalisation

[0023] Le collage moléculaire, aussi appelé collage direct, est notamment compris comme le collage par adhésion moléculaire au cours duquel deux surfaces adhèrent sans application de colle.

[0024] Le collage direct hybride au sens de la présente description est notamment un collage direct réalisé entre deux surfaces présentant chacune au moins deux matériaux distincts (par exemple des zones métalliques et des zones diélectriques). De préférence, le

dispositif électronique décrit ci-après que l'on cherche à tester est destiné à être collé ultérieurement par collage direct hybride.

- [0025] Un substrat au sens de la présente description est notamment un support sur lequel sont formés un ou plusieurs dispositifs électroniques. Le substrat peut être une plaquette, aussi appelée tranche, par exemple de silicium et par exemple obtenue après découpe d'un lingot de silicium.
- [0026] Notamment, « l'oxyde de silicium » décrit ci-après peut être un composé choisi parmi les composés de formules générales SiO_x avec x un nombre dépendant du composé correspondant. Selon un exemple particulier, l'oxyde de silicium peut être du dioxyde de silicium (SiO_2).
- [0027] Dans la présente description, un substrat fonctionnalisé comporte notamment un substrat ainsi que ce qui est formé sur ce substrat tel qu'un ou plusieurs dispositifs électroniques tels que décrits ou tout autre composant électronique.
- [0028] Dans la présente description, par « compris entre », il est entendu bornes incluses.
- [0029] La présente invention propose, pour tester un ou des dispositifs électroniques, de former à la surface du ou des dispositifs électroniques une structure sacrificielle pouvant être endommagée par une sonde de test lors du test électrique du ou des dispositifs électroniques. Cette structure sacrificielle est retirée après le test électrique afin de restituer le ou chaque dispositif électronique dans l'état qu'il adoptait avant la mise en œuvre du procédé de test électrique ou dans un état très proche lui permettant d'être compatible au moins en partie pour un collage direct de ce dispositif électronique à une surface de collage appartenant notamment à un substrat fonctionnalisé sur lequel on cherche à coller par collage direct ledit dispositif électronique. C'est en ce sens que la présente invention est relative à un procédé de test électrique d'au moins un, c'est-à-dire permettant de tester au moins un, dispositif électronique, notamment tel que décrit ci-après, destiné à être collé par collage direct, par exemple à une surface de collage notamment d'un substrat fonctionnalisé.
- [0030] Par « surface de collage », il est notamment entendu la surface à, notamment sur, laquelle le dispositif électronique sera ultérieurement collé si son test électrique permet de conclure que ce dispositif électronique est fonctionnel.
- [0031] Dans la suite de la description, tout ce qui s'applique à un dispositif électronique en particulier, peut s'appliquer à plusieurs dispositifs électroniques, il est ainsi compris que le dispositif électronique correspond « audit au moins un dispositif » évoqué ci-avant.
- [0032] Le dispositif électronique peut être un circuit intégré, aussi appelé puce électronique. Notamment, le dispositif électronique est un dispositif microélectronique, c'est-à-dire un composant électronique à l'échelle micrométrique formant un circuit intégré dont la fonction est adaptée au besoin.

- [0033] Notamment, le dispositif électronique 100, tel que par exemple illustré en figures 1 et 2, comporte une couche 101 de premier matériau présentant une surface adaptée au collage direct. Par « surface de la couche 101 de premier matériau adaptée au collage direct », on entend que cette surface est prête pour le collage direct, c'est-à-dire configurée pour être collée par collage direct à la surface de collage : cette surface de la couche 101 de premier matériau présente une planéité et une rugosité adaptées pour son collage direct à la surface de collage. Le premier matériau est notamment un diélectrique, tel que par exemple le dioxyde de silicium (par exemple SiO_2) ou plus généralement l'oxyde de silicium. Le dispositif électronique 100 comporte en outre des bornes 102 de connexion, notamment métalliques (par exemple du cuivre), formées au moins en partie, et par exemple en totalité comme représenté en figure 2, dans la couche 101 de premier matériau. Bien entendu les bornes 102 de connexion sont électriquement conductrices. Autrement dit, la couche 101 de premier matériau comporte des portions, chacune de ces portions entourant une des bornes 102 de connexion. En figure 1, il est représenté à titre d'exemple 9 bornes 102 de connexion, le nombre de bornes 102 de connexion peut bien entendu être adapté en fonction des besoins. La surface de chacune des bornes 102 de connexion peut aussi être prête pour le collage direct à la surface de collage : cette surface de chacune des bornes 102 de connexion présente une planéité et une rugosité adaptées pour son collage direct à la surface de collage.
- [0034] Par exemple, par « rugosité adaptée » d'une surface prête pour le collage direct, il est entendu que la rugosité est inférieure ou égale à 0,5 nm RMS (« root mean squared » en langue anglaise) pour un balayage d'une surface de 1 μm par 1 μm réalisé en tout point de la surface prête pour le collage direct.
- [0035] Par exemple, par « planéité adaptée » d'une surface prête pour le collage direct, il est entendu que les inégalités de niveau de cette surface restent inférieures ou égales à 10 nm, par exemple pour des mesures réalisées sur des distances de 10 μm sur cette surface.
- [0036] Notamment, cette rugosité adaptée et cette planéité adaptée sont valables pour l'ensemble de la surface à coller par collage direct.
- [0037] Le dispositif électronique 100 comporte une face de connexion 103 comportant une première partie délimitée par la couche 101 de premier matériau et comportant des deuxièmes parties chacune délimitée par une borne 102 de connexion correspondante.
- [0038] On nomme « surface hybride » une surface du dispositif électronique 100 comportant la surface de la première partie de la face 103 de connexion et les surfaces des deuxièmes parties de la face 103 de connexion. Cette surface hybride est préférentiellement prête, ou au moins en partie prête, pour le collage direct à la surface de collage. Autrement dit, la surface hybride peut être formée par au moins deux

matériaux en surface comme par exemple du cuivre des bornes 102 de connexion et un oxyde de silicium de la couche 101 de premier matériau entourant le cuivre.

[0039] Le procédé de test électrique, dont un enchainement d'étapes est représenté en figure 3, comporte une étape E1 de fourniture du dispositif électronique 101 (par exemple tel que visible en figure 2). Ensuite, la structure sacrificielle évoquée ci-dessus va être formée à l'aide d'étapes E2, E3, E4 décrites ci-après. Les figures 4 à 9 montrent le dispositif électronique 100 tel que décrit précédemment sur lequel sont ajoutés puis retirés des éléments au cours de différentes étapes du procédé de test électrique.

[0040] Le procédé de test comporte une étape E2 de dépôt d'un deuxième matériau pour former une couche 104 de deuxième matériau en contact avec la couche 101 de premier matériau et avec les bornes 102 de connexion (Figure 4). Ce dépôt de deuxième matériau peut être réalisé par dépôt chimique en phase vapeur assisté par plasma (PECVD), ou par évaporation, ou par dépôt physique en phase vapeur (PVD) ou par ALD (« Atomic Layer Deposition » en langue anglaise). L'étape E2 est notamment réalisée sur le dispositif électronique 100. Autrement dit, la couche 104 de deuxième matériau est formée sur la face de connexion 103. Ce deuxième matériau est notamment un diélectrique ou un semi-conducteur très peu dopé, c'est-à-dire par exemple avec une résistivité supérieure ou égale à 1 ohm.cm. L'épaisseur de cette couche de deuxième matériau peut être comprise entre 10 nm et 1 µm, et notamment être égale à 50 nm ou à 100 nm, notamment lorsque ce deuxième matériau est du silicium amorphe.

[0041] Le procédé de test électrique comporte une étape E3 de gravure sélective de la couche 104 de deuxième matériau pour former des trous 105 rendant accessibles les bornes 102 de connexion au travers de la couche 104 de deuxième matériau (Figure 5). Autrement dit, il résulte de cette étape E3 de gravure sélective de la couche 104 de deuxième matériau la présence de trous 105 dans la couche 104 de deuxième matériau. Pour mettre en œuvre cette étape E3, il peut être réalisé une photolithographie permettant la gravure de portions désirées de la couche 104 de deuxième matériau pour autoriser l'accès aux bornes 102 de connexion.

[0042] Le procédé de test électrique comporte en outre une étape E4 de formation de plots 106 de connexion (figures 6 et 7), chaque plot 106 de connexion (c'est-à-dire formé par la mise en œuvre de l'étape E4) étant en contact électrique avec l'une des bornes 102 de connexion au niveau de l'un des trous 105. Par « en contact électrique avec l'une des bornes 102 de connexion au niveau de l'un des trous 105 », on entend notamment que chaque trou est associé à un des plots 106 de connexion et que le contact électrique entre ce plot 106 de connexion et l'une des bornes 102 de connexion est réalisé au fond du trou 105. Autrement dit, chaque plot 106 de connexion est formé à partir d'un trou 105 correspondant, chaque plot 106 est alors logé au moins en partie

dans le trou 105 correspondant et peut s'étendre à l'extérieur de ce trou 105 comme visible en figure 6 pour protéger la borne 102 de connexion correspondante de l'environnement extérieur. Cette étape E4 de formation des plots 106 de connexion peut comporter une étape de dépôt d'un métal pour former une couche 107 de métal (figure 6) sur la couche 104 de deuxième matériau et pour combler les trous 105. L'étape de dépôt du métal peut être réalisée par PVD ou ALD. Cette couche 107 de métal, par exemple d'aluminium, peut présenter une épaisseur comprise entre 20 nm et 2 μ m, et notamment égale à 500 nm. Ensuite, il peut être réalisé une photolithographie permettant la gravure, par exemple par RIE (« Reactive-Ion Etching » en langue anglaise) adaptée de la couche 107 de métal pour former les différents plots 106 de connexion (figure 7). Chaque plot 106 de connexion est alors formé en contact avec une, et au-dessus (selon le sens de représentation des figures 7, 8 et 9) d'une, des bornes 102 de connexion. Les plots 106 de connexion sont donc préférentiellement des plots métalliques. Les plots 106 de connexion sont bien entendu électriquement conducteurs.

- [0043] Il résulte des étapes E1, E2, E3, E4, notamment successives, la formation de la structure sacrificielle évoquée ci-dessus comprenant alors la couche 104 de deuxième matériau et les plots 106 de connexion. Le test électrique du dispositif électronique 100 peut alors être réalisé en utilisant les bornes 102 de connexion par l'intermédiaire des 106 plots de connexion : il n'y a pas de détérioration de ces bornes 102 de connexion et leur fonctionnement est efficacement testé.
- [0044] En ce sens, le procédé comporte une étape E5 de test électrique du dispositif électronique 100 par coopération d'une sonde 200 de test (figure 8) avec les plots 106 de connexion. L'étape E5 de test électrique permet de réaliser des mesures afin d'évaluer et de vérifier la qualité, c'est-à-dire la fiabilité, du dispositif électronique 100. La coopération de la sonde 200 de test avec les plots 106 de connexion est notamment telle que des pointes 201 de la sonde 200 de test pénètrent dans les plots 106, d'où il résulte la formation de creux 108 dans les plots 106 de connexion (figure 9), mais sans abimer les bornes 102 de connexion ni la couche 101 de premier matériau.
- [0045] Après, l'étape E5 de test électrique, ledit procédé de test électrique comporte une étape E6 de retrait, par gravure sélective, des plots 106 de connexion, et une étape E7 de retrait, par gravure sélective, de la couche 104 de deuxième matériau après avoir retiré les plots 106 de connexion. Ces deux étapes E6, E7 de retrait peuvent être mise en œuvre par une gravure par voie chimique, ou par une gravure ionique. Ces deux gravures des étapes E6 et E7 permettent de récupérer le dispositif électronique 100 dont les bornes 102 de connexion ont été testées indirectement par l'intermédiaire des plots 106 de connexion sans que la sonde 200 de test ne les aient endommagées.
- [0046] Notamment, l'étape E3 permet de rendre accessible seulement les bornes 102 de

connexion de telle sorte que le retrait, par gravure sélective, des plots 106 de connexion formés à partir des trous 105 ne porte pas préjudice à l'intégrité d'autres parties du dispositif électronique 100 situées sous la couche 104 de deuxième matériau.

- [0047] Les gravures sélectives évoquées ci-avant permettent notamment d'éviter l'endommagement des surfaces de la couche 101 de premier matériau et des bornes 102 de connexion. En effet, les étapes E3, E6 et E7 sont notamment telles que grâce à la sélectivité de gravure elles ne modifient pas la topographie de la surface hybride. Notamment, pour toute étape de gravure évoquée dans la présente description, la sélectivité de gravure est telle qu'il existe un rapport de 1000 à 10000 de la vitesse de gravure du matériau que l'on grave par rapport à la vitesse de gravure du matériau, ou des matériaux, recouverts par le, c'est-à-dire notamment situés en dessous du, matériau gravé. Une telle sélectivité permet d'éviter, le cas échéant, l'endommagement de la couche 101 de premier matériau et des bornes 102 de connexion.
- [0048] Ainsi, l'étape E3 permet de graver sélectivement le deuxième matériau par rapport au matériau formant les bornes 102 de connexion.
- [0049] L'étape E6 de retrait des plots 106 de connexion permet de graver sélectivement le matériau des plots 106 de connexion par rapport au matériau formant les bornes 102 de connexion et par rapport au deuxième matériau.
- [0050] L'étape E7 de retrait permet de graver sélectivement le deuxième matériau de la couche 104 de deuxième matériau par rapport au matériau formant les bornes 102 de connexion et par rapport au premier matériau de la couche 101 de premier matériau.
- [0051] Autrement dit, le deuxième matériau est notamment configuré pour, ou adapté pour, être gravé sélectivement par rapport au matériau formant les bornes 102 de connexion et au premier matériau de la couche 101 de premier matériau. Par ailleurs, le matériau formant les plots 106 de connexion est notamment configuré pour, ou adapté pour, être gravé sélectivement par rapport au deuxième matériau et au matériau formant les bornes 102 de connexion.
- [0052] De préférence, l'étape E4 de formation des plots 106 de connexion est telle que chaque plot 106 de connexion comble l'un des trous 105 et s'étend hors dudit trou 105 latéralement par rapport à la périphérie d'une ouverture 109 (représentée en figure 5) de ce trou 105. Autrement dit, chaque plot 106 de connexion s'étend sur la couche 104 de deuxième matériau latéralement par rapport à la périphérie de l'ouverture 109 de ce trou 105. Ceci permet d'éviter l'exposition de la surface des bornes 102 de connexion à l'air lors du test électrique, ce qui aurait pour conséquence de détériorer les surfaces de ces bornes 102 de connexion et donc de rendre problématique le collage direct par la suite. Ainsi, chaque plot 106 de connexion peut comporter un décrochement 110 (figures 7 à 9), aussi appelé épaulement, permettant audit plot 106 de connexion d'épouser la surface intérieure du trou 105 qu'il comble et une portion, notamment

parallèle au plan de la couche 104 de deuxième matériau, de la surface de la couche 104 de deuxième matériau à la périphérie de l'ouverture 109 du trou 105.

[0053] Selon une réalisation particulière, l'étape E1 de fourniture est telle que, pour chaque borne 102 de connexion, le dispositif électronique 100 comporte une barrière 111 de diffusion entre ladite borne 102 de connexion et la couche 101 de premier matériau. Le rôle de chaque barrière 111 de diffusion est de prévenir la migration des atomes du matériau d'une des bornes 102 de connexion correspondante dans le premier matériau de la couche 101 de premier matériau. Selon cette réalisation particulière, l'étape E2 de dépôt du deuxième matériau est telle que les barrières 111 de diffusion sont recouvertes par la couche 104 de deuxième matériau, et l'étape E3 de gravure sélective de la couche 104 de deuxième matériau pour former les trous 105 est telle que les barrières 111 de diffusion restent inaccessibles depuis les trous 105 formés. En ce sens, l'étape E3 de gravure sélective de la couche 104 de deuxième matériau pour former les trous 105 ne permet pas de révéler les barrières 111 de diffusion qui restent protégées par la couche 104 de deuxième matériau. Ceci présente l'avantage de permettre par la suite de retirer les plots 106 de connexion par gravure sélective sans altérer ces barrières 111 de diffusion. Autrement dit, les trous 105 formés par l'étape E3 de gravure sélective de la couche 104 de deuxième matériau sont notamment tels que le fond de chaque trou 105 est constitué par une portion d'une des bornes 102 de connexion correspondante. Lorsque le dispositif électronique 100 comporte ces barrières 111 de diffusion, outre ce qui a été décrit ci-avant concernant la sélectivité de gravure liée au deuxième matériau, le deuxième matériau est également configuré pour, ou adapté pour, être gravé sélectivement par rapport au matériau formant les barrières 111 de diffusion. Les barrières 111 de diffusion permettent de délimiter des troisièmes parties de la face de connexion 103, la surface hybride comporte ces troisièmes parties présentant préférentiellement chacune une planéité et une rugosité adaptées pour son collage direct à la surface de collage. Cette planéité et cette rugosité sont notamment telles que celles définies précédemment. Par exemple, les barrières 111 de diffusion peuvent être formées chacune par un bicouche de tantale et de nitrure de tantale tel que décrit ci-après, le nitrure de tantale étant en contact avec une des bornes 102 de connexion correspondante.

[0054] Selon un mode de réalisation préféré, le premier matériau est de l'oxyde de silicium, les bornes 101 de connexion sont des bornes de cuivre, le deuxième matériau déposé est du silicium amorphe, les plots 106 de connexion sont des plots d'aluminium. Le cas échéant, en cas de présence de barrières 111 de diffusion entre les bornes 102 de connexion et la couche 101 de premier matériau, les barrières 111 de diffusion peuvent être formées chacune par le bicouche de tantale et de nitrure de tantale. Pour chaque barrière 111 de diffusion, le tantale est notamment au contact de la couche 101 de

premier matériau et le nitrure de tantale est notamment au contact de l'une des bornes 102 de connexion correspondante. Autrement dit, chaque bicouche formant une barrière 111 de diffusion peut comporter une couche de tantale et une couche de nitrure de tantale, la couche de tantale dudit bicouche étant interposée entre la couche 101 de premier matériau et la couche de nitrure de tantale dudit bicouche, la couche de nitrure de tantale dudit bicouche étant en contact avec l'une des bornes 102 de connexion correspondante. La combinaison des matériaux listés dans le présent paragraphe est tout particulièrement adaptée pour permettre les gravures sélectives évoquées tout en évitant que la gravure sélective d'un matériau donné vienne graver un autre matériau du dispositif électronique 100, notamment situé sous ce matériau gravé sélectivement. Par ailleurs, cette combinaison de matériaux évite de modifier les matériaux présents dans le dispositif électronique 100 fourni.

[0055] Selon le mode de réalisation préféré décrit ci-dessus, il existe un besoin d'optimiser les gravures sélectives évoquées pour limiter/éviter les dégradations du dispositif électronique 100. Pour répondre à ce besoin, lorsque les plots 106 de connexion sont formés par de l'aluminium, l'étape de retrait des plots 106 de connexion par gravure sélective est réalisée par gravure chimique en utilisant une première solution comportant de l'acide fluorhydrique, l'acide fluorhydrique présentant, dans la première solution, une concentration comprise entre 0,1 wt% et 50 wt%, de préférence égale à 2 wt%. Par exemple, cette gravure chimique utilisant la première solution peut être réalisée à la pression atmosphérique à une température comprise entre 15°C et 80°C. Cette gravure chimique utilisant la première solution peut être réalisée à une température comprise entre 15°C et 50°C, de préférence égale à 25°C. Dans la présente description wt% correspond au pourcentage massique aussi appelé pourcentage en poids. Cette première solution comporte l'acide fluorhydrique et de l'eau. Par ailleurs, toujours pour répondre à ce besoin, le deuxième matériau étant du silicium amorphe, la gravure sélective de l'étape E7 de retrait de la couche 104 de deuxième matériau est une gravure chimique utilisant une deuxième solution comportant du TMAH (TMAH signifiant Tetramethylammonium hydroxide), ou du TEAH (TEAH signifiant Tetraethylammonium Hydroxide), ce TMAH ou TEAH présentant, dans la deuxième solution, une concentration comprise entre 0,1 wt% et 10 wt%, de préférence égale à 2 wt%. Ici, la deuxième solution comporte de l'eau en tant que solvant. Cette gravure chimique utilisant la deuxième solution peut être réalisée à une température comprise entre 15°C et 80°C, par exemple entre 30°C et 80°C, et notamment à la pression atmosphérique. De préférence, le temps écoulé entre l'étape E6 de retrait des plots et l'étape E7 de retrait de la couche de deuxième matériau est inférieur ou égal à 1 heure, ceci permet d'éviter d'exposer le cuivre à l'oxygène trop longtemps et d'avoir à désoxyder le silicium amorphe de la deuxième couche 104 avant de la retirer.

[0056] Il est possible que les gravures sélectives aient modifié très légèrement la surface hybride du dispositif électronique 100. En ce sens, le procédé de test électrique peut comporter au moins une étape de polissage mécano-chimique (CMP) réalisé du côté d'une face de la couche 101 de premier matériau libérée par le retrait de la couche 104 de deuxième matériau (c'est-à-dire que l'étape de CMP est réalisée du côté de la face de la couche 101 de premier matériau où la couche 102 de deuxième matériau avait été formée). Le but de la ou des étapes de polissage mécano-chimique est de conférer à la surface hybride de bonnes propriétés pour le collage direct de cette surface hybride à la surface de collage, la surface hybride comportant notamment la première partie, les deuxième parties, et la cas échéant les troisièmes parties évoquées précédemment de la face 103 de connexion. En ce sens, le procédé de test électrique peut comporter une étape de CMP des bornes 102 de connexion, puis, le cas échéant, une étape de CMP des barrières 111 de diffusion, puis, le cas échéant, une étape de CMP de la couche 101 de premier matériau. De préférence, les étapes de CMP décrites sont adaptées pour consommer moins de 10 nm d'épaisseur de la couche d'oxyde de silicium (la couche de premier matériau), et/ou de cuivre des bornes de connexion, et/ou des bicouches comportant chacun une couche tantale et une couche de nitrure de tantale formant les barrières 111 de diffusion. Notamment, avant l'étape de polissage mécano-chimique, les bornes 102 de connexion sont chacune en saillie par rapport à la couche 101 de premier matériau, et l'étape de polissage mécano-chimique est appliquée sur les bornes 102 de connexion pour rendre compatible la surface hybride pour son collage direct à la surface de collage.

[0057] La figure 10 illustre un exemple pour lequel les bornes 102 de connexion du dispositif électronique 100 fournissent chacune une saillie 112 par rapport à la couche 101 de premier matériau. Cette configuration à saillies est généralement celle obtenue avant une ultime étape de CMP pour obtenir une surface hybride collable. De préférence, cette étape de CMP peut alors ici être réalisée après avoir retiré la couche 104 de deuxième matériau. Notamment, chaque saillie 112 présente une hauteur, par rapport à la couche 101 de premier matériau, inférieure ou égale à 10nm. Dans ce cas, une étape de CMP des bornes 102 de connexion permet de réduire la hauteur des saillies 112, par rapport à la couche 101 de premier matériau, à 2 nm ou jusqu'à 2 nm maximum sous le plan de la surface de la couche 101 de premier matériau, rendant ainsi compatible la surface hybride pour un collage direct de ces bornes 102 de connexion par exemple sur des éléments de même matériau que ces bornes 102 de connexion. En effet, lors du collage direct ultérieur, une étape de recuit permettra au matériau, notamment le cuivre, de chacune des bornes 102 de connexion de « gonfler » pour venir au contact d'une surface, notamment de cuivre, située en regard de ladite borne 102 de connexion.

[0058] Dans le domaine de l'électronique, il est commun que plusieurs dispositifs électroniques soient formés simultanément sur un même substrat, et soient testés électriquement alors qu'ils restent solidaires de ce substrat. En ce sens, l'étape E1 de fourniture peut être telle qu'elle permet la fourniture de plusieurs dispositifs électroniques 100 formés sur un substrat 300 tel que par exemple illustré en figure 11. Les dispositifs électroniques 100 sont donc solidaires de ce substrat 300. Dans ce cas, l'étape E2 de dépôt du deuxième matériau permet de former la couche 104 de deuxième matériau de telle sorte que cette couche 104 de deuxième matériau soit en contact avec tous les dispositifs électroniques 100 et recouvre, pour chacun des dispositifs électroniques sa couche 101 de premier matériau, ses bornes 102 de connexion, et le cas échéant ses barrières 111 de diffusion entre ses bornes 102 de connexion et sa couche 101 de premier matériau. Par ailleurs, l'étape E3 de gravure sélective de la couche 104 de deuxième matériau permet de former les trous 105 pour rendre accessibles les bornes 102 de connexion de tous les dispositifs électroniques 100. Pour finir, l'étape E4 de formation de plots de connexion permet de former simultanément les plots 102 de connexion de chacun des dispositifs électroniques 100, par exemple en formant la couche 107 de métal sur la couche 104 de deuxième matériau, puis en gravant cette couche 107 de métal de manière adaptée. L'étape E5 de test électrique peut alors être réalisée en déplaçant la sonde 200 de test pour qu'elle vienne tester individuellement les différents dispositifs électroniques 100 solidaires du substrat 300. Après l'étape E5 de test électrique, le retrait des plots 106 de connexion et de la couche 104 de deuxième matériau permet de récupérer les dispositifs électroniques 100 dans l'état, ou dans un état similaire, à celui avant la formation de la couche 104 de deuxième matériau et la formation des plots 106 de connexion. Les dispositifs électroniques peuvent ensuite être individualisés par découpe du substrat 300 les portant de sorte à ne conserver que les dispositifs électroniques reconnus comme fonctionnels au terme de l'étape E5 de test électrique en vue de les coller chacun par collage direct à une surface de collage correspondante.

[0059] Il est à présent décrit un exemple particulier dans lequel des dispositifs électroniques à tester sont agencés sur une plaque, ou substrat, et comporte chacun la surface hybride délimitée par de l'oxyde de silicium formant la couche de premier matériau, des bornes de cuivre formant les bornes de connexion, des barrières de diffusion formées chacune par un bicouche correspondant comportant une couche de tantale et une couche de nitrure de tantale (la couche de nitrure de tantale étant au contact de l'une des bornes de cuivre), chaque barrière de diffusion séparant l'une des bornes de cuivre par rapport à l'oxyde de silicium. Avant de réaliser le test électrique des dispositifs électroniques, il est réalisé un dépôt pleine plaque d'une couche de silicium amorphe de 50 nm ou 100 nm d'épaisseur, formant ainsi la couche 104 de deuxième matériau. Ensuite, grâce

à une étape de photolithographie pour former des motifs adaptés et à une étape de gravure ionique de la couche 104 de deuxième matériau selon ces motifs, les bornes de cuivre à tester sont rendues accessibles par des trous formés au cours de l'étape de gravure ionique de la couche 104 de deuxième matériau. Ensuite, il est déposé une couche d'aluminium de 500 nm dans les trous et sur toute la surface de la couche de silicium amorphe trouée. La couche d'aluminium est ensuite modifiée pour délimiter des plots d'aluminium (les plots de connexion) au-dessus des bornes de cuivre grâce à une étape de photolithographie pour former des motifs et une étape de gravure ionique de la couche d'aluminium selon ces motifs. La dimension latérale maximale des plots d'aluminium est plus grande que celles des trous dans le silicium amorphe de sorte que les plots d'aluminium débordent chacun à la périphérie du trou dans lequel il est formé. Les tests électriques sont ensuite réalisés. Ensuite, les plots d'aluminium sont retirés par gravure chimique en utilisant la première solution décrite précédemment. Immédiatement après l'étape de gravure chimique utilisant la première solution, le silicium amorphe est retiré par une gravure chimique en utilisant la deuxième solution décrite précédemment. Par « immédiatement » il est entendu moins d'une heure entre les deux étapes de gravure chimique. Optionnellement, on réalise ensuite une étape de CMP qui consomme, pour chaque dispositif électronique, moins de 10nm d'oxyde de silicium issu de la couche 101 de premier matériau dudit dispositif électronique et/ou de cuivre issu des bornes 102 de connexion dudit dispositif électronique afin de remettre la surface hybride de ce dispositif électronique en condition de collage direct.

[0060] En figures 2 et 4 à 10, il est représenté une partie 113 du dispositif électronique, cette partie 113 peut comporter différents composants, par exemple reliés électriquement aux bornes 102 de connexion, d'un circuit intégré que forme le dispositif électronique 100. Par ailleurs, en figures 2 et 4 à 10, le dispositif électronique repose à titre d'exemple sur un substrat 300 auquel il est solidaire.

[0061] Par ailleurs, l'invention est aussi relative à dispositif à tester électriquement notamment par la sonde de test telle que visible en figure 7. Un tel dispositif à tester comporte le dispositif électronique 100 tel que décrit, la couche 104 de deuxième matériau en contact avec la couche 101 de premier matériau et les bornes 102 de connexion, ladite couche 104 de deuxième matériau étant trouée. Le dispositif à tester comporte les plots 106 de connexion, chaque plot 106 de connexion étant en contact électrique avec l'une des bornes 102 de connexion au niveau de l'un des trous formé dans la couche 104 de deuxième matériau. Tout ce qui a été décrit précédemment en relation avec le procédé de test avant l'étape E5 de test électrique peut s'appliquer au dispositif à tester.

[0062] La présente invention trouve une application industrielle dans le domaine du test d'un dispositif électronique en vue d'assembler ce dispositif électronique par collage

direct à une surface de collage par exemple d'un substrat fonctionnalisé.

Revendications

[Revendication 1]

Procédé de test électrique d'au moins un dispositif électronique (100) destiné à être collé par collage direct, caractérisé en ce qu'il comporte les étapes suivantes :

- une étape (E1) de fourniture du dispositif électronique (100) comportant une couche (101) de premier matériau présentant une surface adaptée au collage direct, le dispositif électronique (100) comportant des bornes (102) de connexion formées au moins en partie dans la couche (101) de premier matériau,
- une étape (E2) de dépôt d'un deuxième matériau pour former une couche (104) de deuxième matériau en contact avec la couche (101) de premier matériau et avec les bornes (102) de connexion,
- une étape (E3) de gravure sélective de la couche (104) de deuxième matériau pour former des trous (105) rendant accessibles les bornes (102) de connexion au travers de la couche (104) de deuxième matériau,
- une étape (E4) de formation de plots (106) de connexion, chaque plot (106) de connexion étant en contact électrique avec l'une des bornes (102) de connexion au niveau de l'un des trous (105),
- une étape (E5) de test électrique du dispositif électronique (100) par coopération d'une sonde (200) de test avec les plots (106) de connexion, et en ce qu'après l'étape (E5) de test électrique, ledit procédé de test électrique comporte :
- une étape (E6) de retrait, par gravure sélective, des plots (106) de connexion,
- une étape (E7) de retrait, par gravure sélective, de la couche (104) de deuxième matériau après avoir retiré les plots (106) de connexion.

[Revendication 2]

Procédé de test électrique selon la revendication 1, caractérisé en ce que :

- le premier matériau est de l'oxyde de silicium,
- les bornes (102) de connexion sont des bornes de cuivre,
- le deuxième matériau déposé est du silicium amorphe,
- les plots (106) de connexion sont des plots d'aluminium.

[Revendication 3]

Procédé de test électrique selon la revendication 2, caractérisé en ce que :

- l'étape (E6) de retrait des plots (106) de connexion par gravure sélective est réalisée par gravure chimique en utilisant une première solution comportant de l'acide fluorhydrique, l'acide fluorhydrique

présentant, dans la première solution, une concentration comprise entre 0,1 wt% et 50 wt%, de préférence égale à 2 wt%, et

- la gravure sélective de l'étape (E7) de retrait de la couche (104) de deuxième matériau est une gravure chimique utilisant une deuxième solution comportant du TMAH, ou du TEAH, présentant, dans la deuxième solution, une concentration comprise entre 0,1 wt% et 10 wt%, de préférence égale à 2 wt%.

[Revendication 4]

Procédé de test électrique selon l'une quelconque des revendications précédentes, caractérisé en ce que :

- l'étape (E1) de fourniture est telle que, pour chaque borne (102) de connexion, le dispositif électronique (100) comporte une barrière (111) de diffusion entre ladite borne (102) de connexion et la couche (101) de premier matériau,

- l'étape (E2) de dépôt du deuxième matériau est telle que les barrières de diffusion sont recouvertes par la couche (104) de deuxième matériau,

- l'étape (E3) de gravure sélective de la couche (104) de deuxième matériau pour former les trous (105) est telle que les barrières (111) de diffusion restent inaccessibles depuis les trous (105) formés.

[Revendication 5]

Procédé de test électrique selon l'une quelconque des revendications précédentes, caractérisé en ce que l'étape (E4) de formation des plots (106) de connexion est telle que chaque plot (106) de connexion comble l'un des trous (105) et s'étend sur la couche (104) de deuxième matériau latéralement par rapport à la périphérie d'une ouverture (109) dudit trou (105).

[Revendication 6]

Procédé de test électrique selon l'une quelconque des revendications précédentes, caractérisé en ce qu'il comporte au moins une étape de polissage mécano-chimique réalisée du côté d'une face de la couche (101) de premier matériau libérée par le retrait de la couche (104) de deuxième matériau.

[Revendication 7]

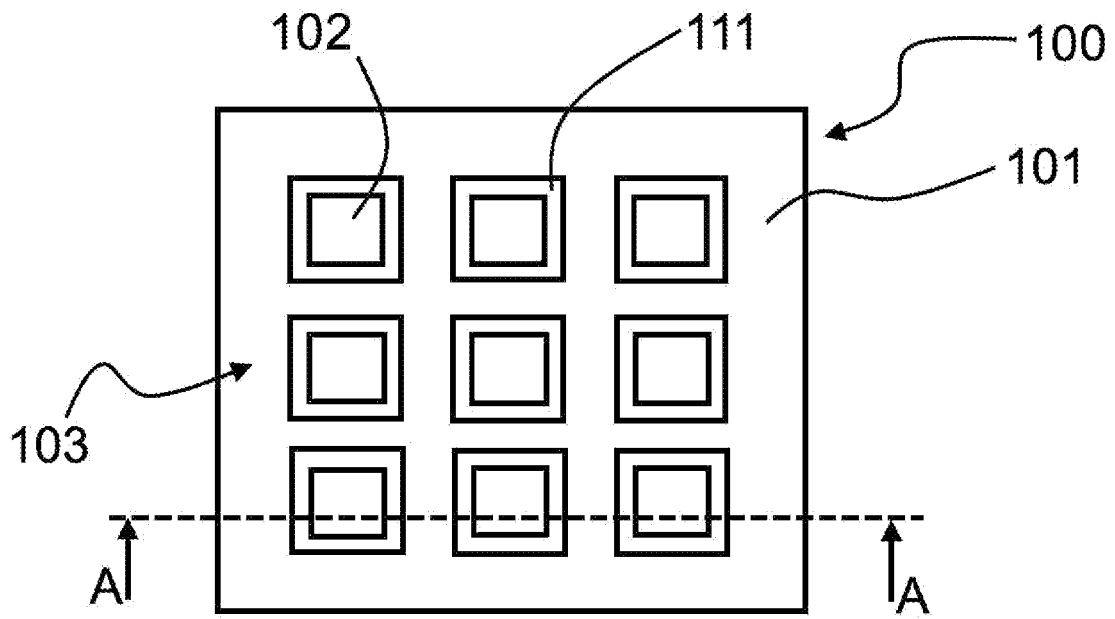
Procédé de test électrique selon la revendication précédente, caractérisé en ce qu'avant l'étape de polissage mécano-chimique, les bornes (102) de connexion sont chacune en saillie par rapport à la couche (101) de premier matériau, et en ce que l'étape de polissage mécano-chimique est appliquée sur les bornes (102) de connexion.

[Revendication 8]

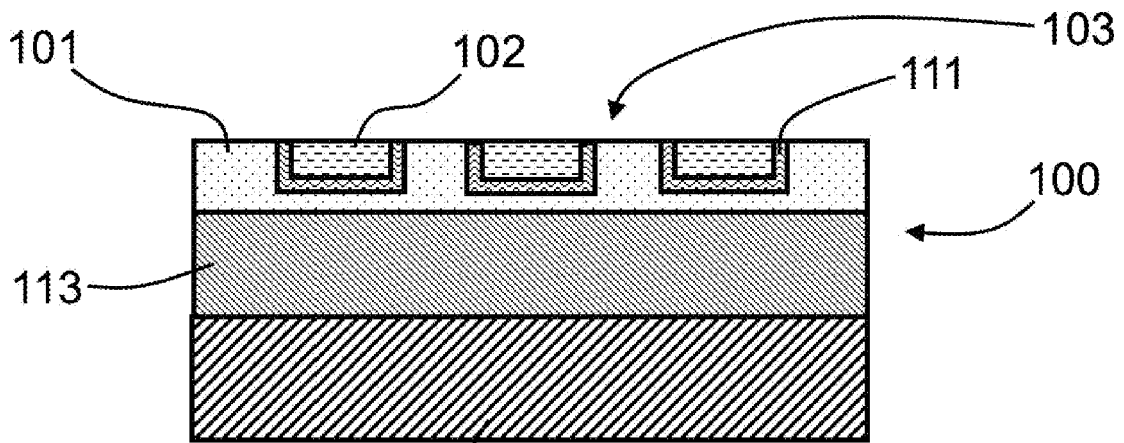
Dispositif à tester électriquement comportant un dispositif électronique (100) destiné à être collé par collage direct, ledit dispositif électronique comportant une couche (101) de premier matériau présentant une surface adaptée pour un collage direct, des bornes (102) de connexion

formées au moins en partie dans la couche (101) de premier matériau, caractérisé en ce qu'il comporte une couche (104) de deuxième matériau en contact avec la couche (101) de premier matériau et les bornes (102) de connexion, ladite couche (104) de deuxième matériau étant trouée, et en ce qu'il comporte des plots (106) de connexion, chaque plot (106) de connexion étant en contact électrique avec l'une des bornes (102) de connexion au niveau de l'un des trous formé dans la couche (104) de deuxième matériau.

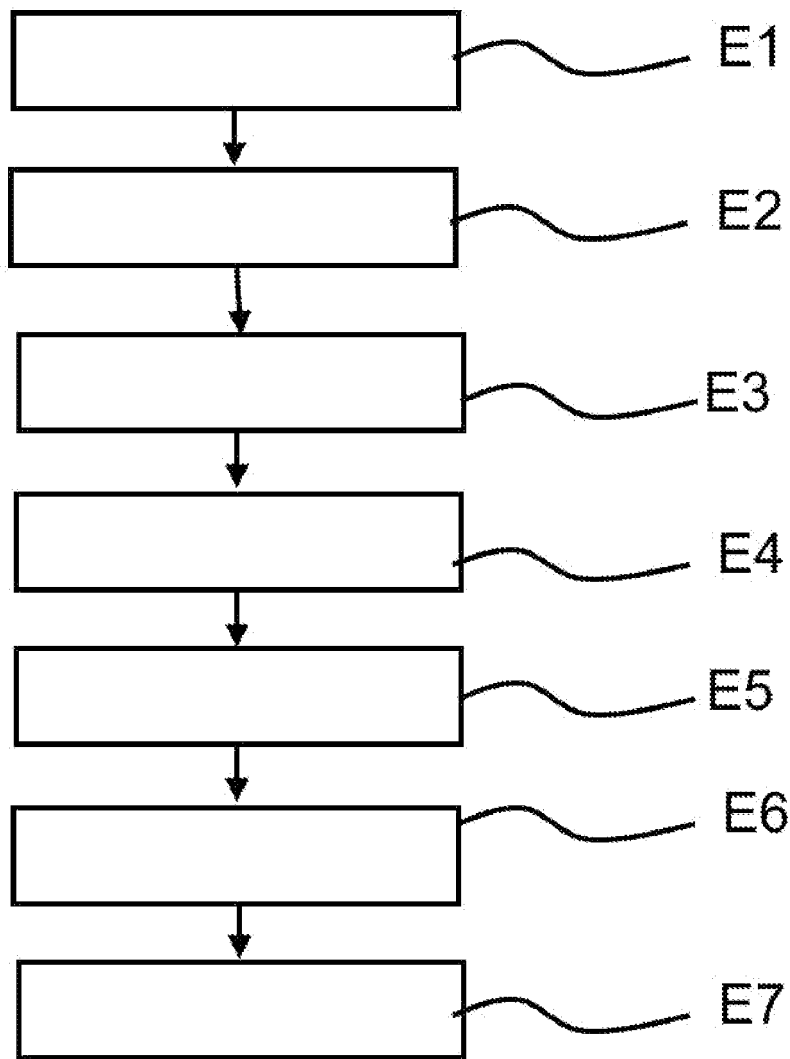
[Fig. 1]

**Fig. 1**

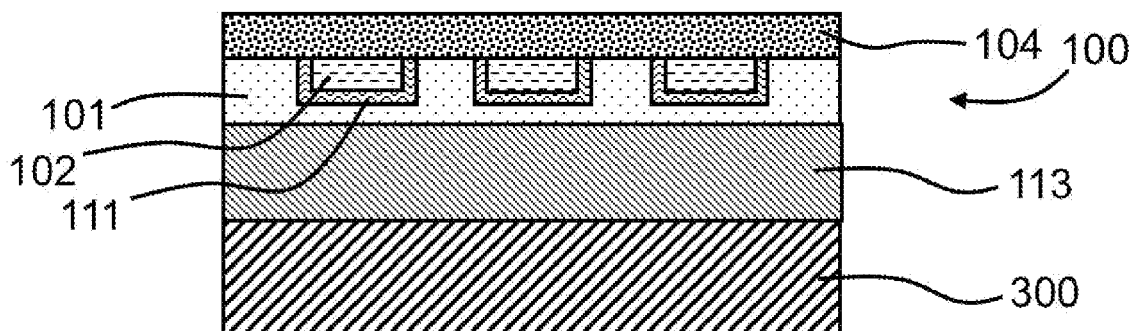
[Fig. 2]

**Fig. 2**

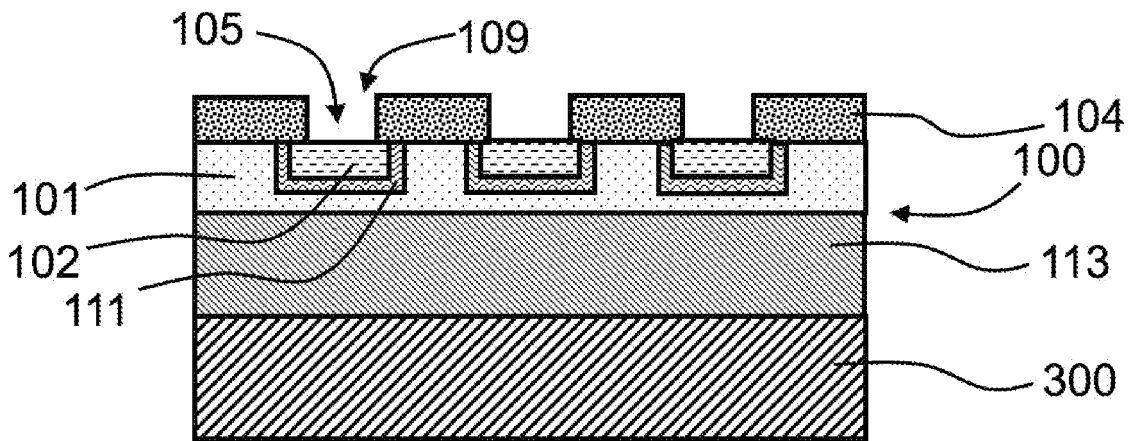
[Fig. 3]

**Fig. 3**

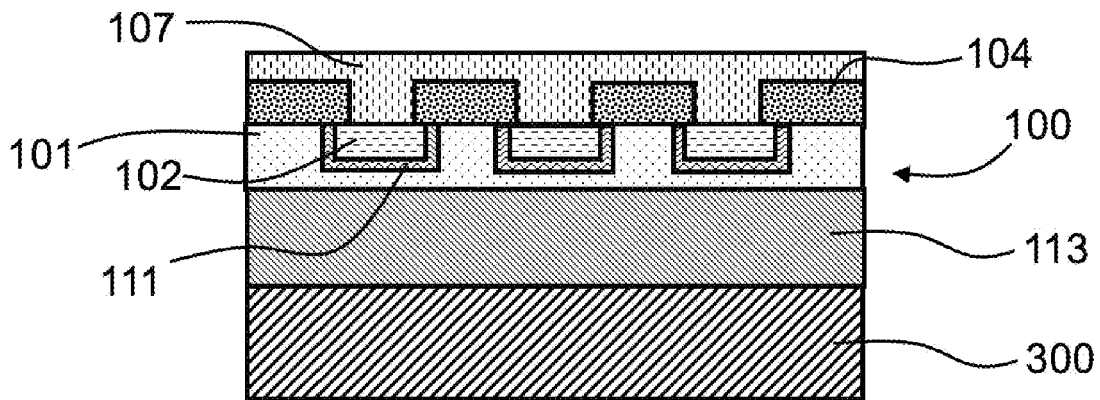
[Fig. 4]

**Fig. 4**

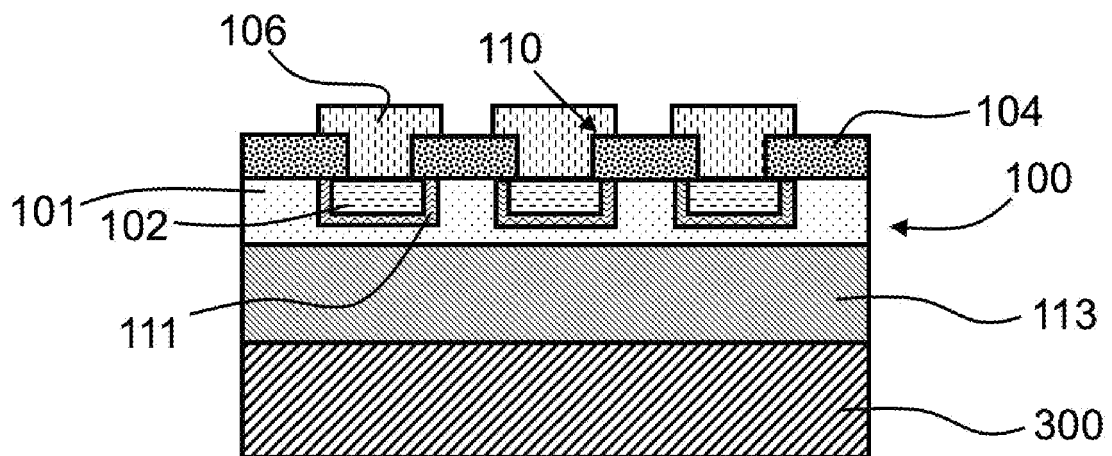
[Fig. 5]

**Fig. 5**

[Fig. 6]

**Fig. 6**

[Fig. 7]

**Fig. 7**

[Fig. 8]

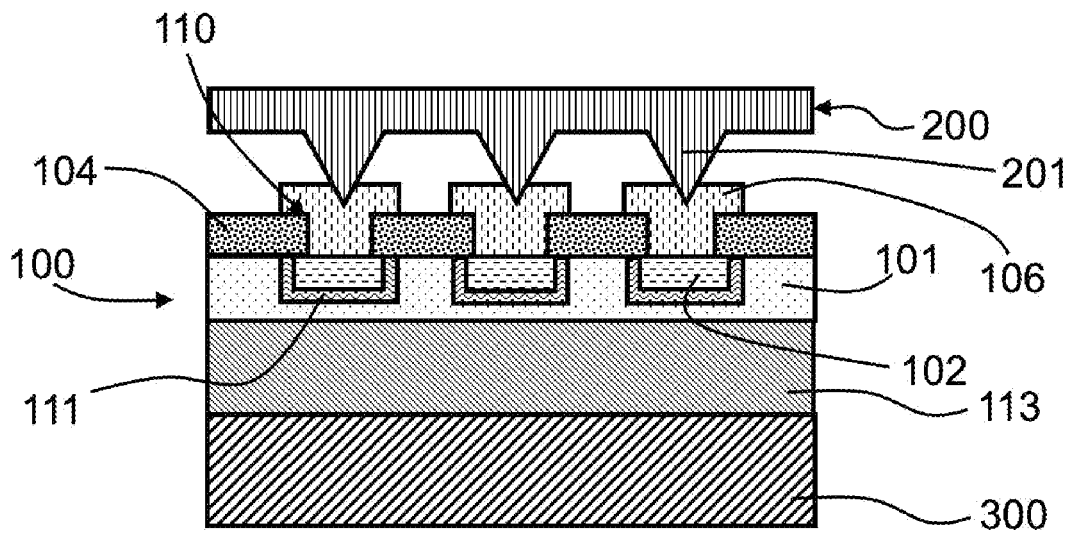


Fig. 8

[Fig. 9]

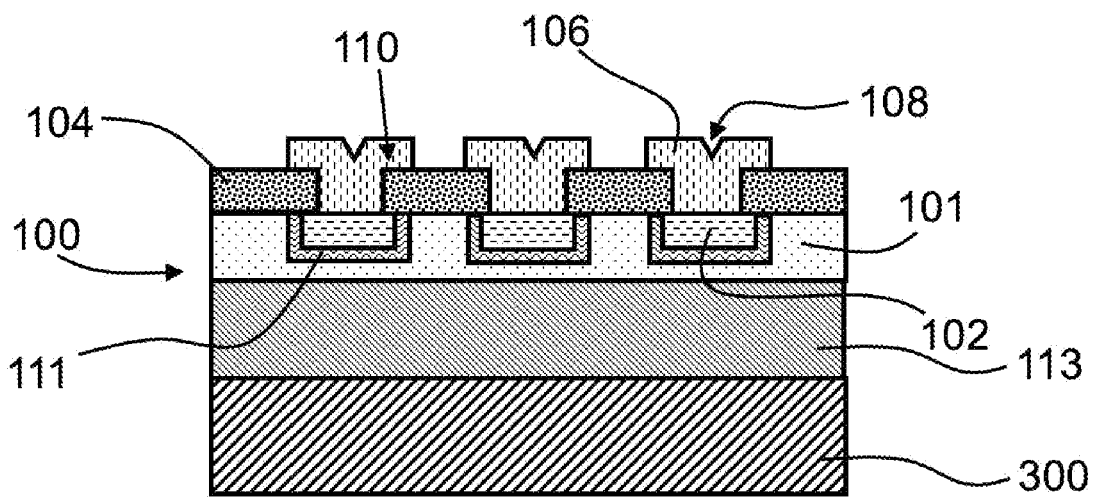


Fig. 9

[Fig. 10]

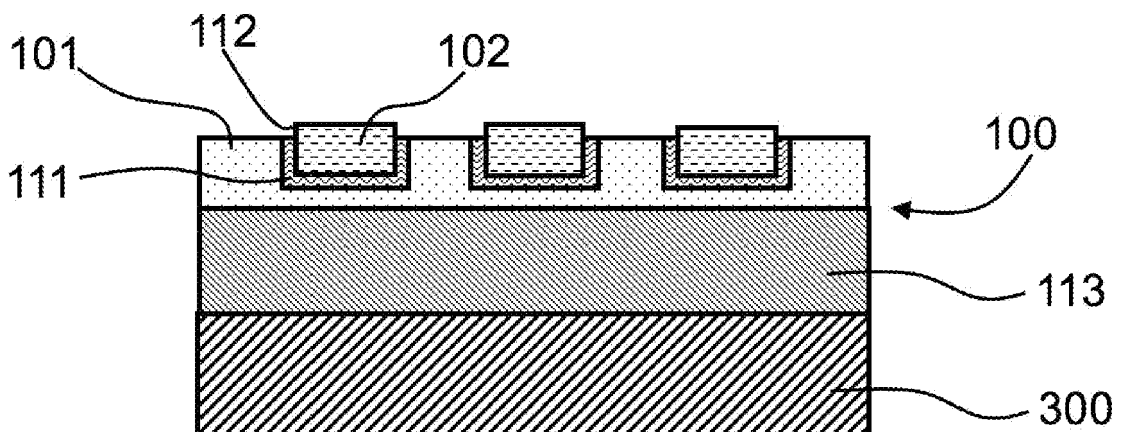
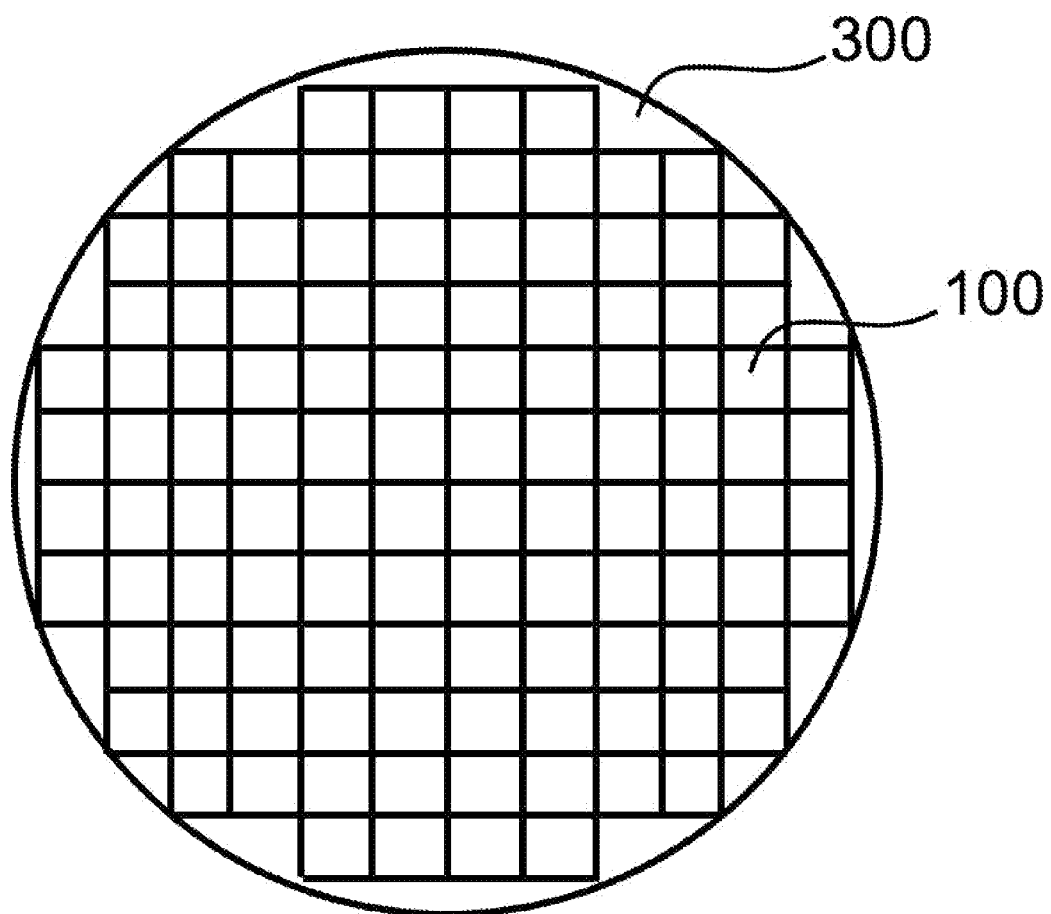


Fig. 10

[Fig. 11]

**Fig. 11**

**RAPPORT DE RECHERCHE
 PRÉLIMINAIRE**

 établi sur la base des dernières revendications
 déposées avant le commencement de la recherche

 N° d'enregistrement
 national

 FA 863076
 FR 1872008

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2018/331000 A1 (DELACRUZ JAVIER A [US] ET AL) 15 novembre 2018 (2018-11-15) * figures 1-5 * * alinéa [0002] * * alinéa [0005] - alinéa [0007] * * alinéa [0019] * * alinéa [0022] - alinéa [0052] * -----	1-8	G01R31/28 B81C1/00 H01L21/46 H01L21/02
A	US 2017/053844 A1 (TSAI WEN-CHING [TW] ET AL) 23 février 2017 (2017-02-23) * le document en entier * -----	4	DOMAINES TECHNIQUES RECHERCHÉS (IPC) G01R H01L
A	US 8 860 229 B1 (LIN JING-CHENG [TW]) 14 octobre 2014 (2014-10-14) * le document en entier * -----	4	
A	WEI-LIN WANG ET AL: "The Reliability Improvement of CU Interconnection by the Control of Crystallized a-Ta/TaNx Diffusion Barrier", JOURNAL OF NANOMATERIALS, vol. 2015, 1 janvier 2015 (2015-01-01), pages 1-6, XP055626639, US ISSN: 1687-4110, DOI: 10.1155/2015/917935 * le document en entier * -----	4	
Date d'achèvement de la recherche		Examineur	
30 septembre 2019		Nguyen, Minh	
CATÉGORIE DES DOCUMENTS CITÉS X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1872008 FA 863076**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **30-09-2019**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2018331000 A1	15-11-2018	AUCUN	

US 2017053844 A1	23-02-2017	CN 106469717 A	01-03-2017
		DE 102015114902 A1	23-02-2017
		KR 20170022825 A	02-03-2017
		TW 201709469 A	01-03-2017
		US 2017053844 A1	23-02-2017

US 8860229 B1	14-10-2014	US 8860229 B1	14-10-2014
		US 2015021789 A1	22-01-2015
		US 2018005977 A1	04-01-2018
