



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년08월25일
(11) 등록번호 10-2436715
(24) 등록일자 2022년08월23일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) G02F 1/13 (2006.01)
H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
G02F 1/13 (2013.01)
(21) 출원번호 10-2017-0149085
(22) 출원일자 2017년11월10일
심사청구일자 2020년10월22일
(65) 공개번호 10-2019-0053338
(43) 공개일자 2019년05월20일
(56) 선행기술조사문헌
KR1020140095831 A*
KR1020160040163 A*
KR1020170003796 A*
KR1020150066134 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
백주혁
경기도 파주시 월롱면 엘지로 245
배종욱
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인천문

전체 청구항 수 : 총 11 항

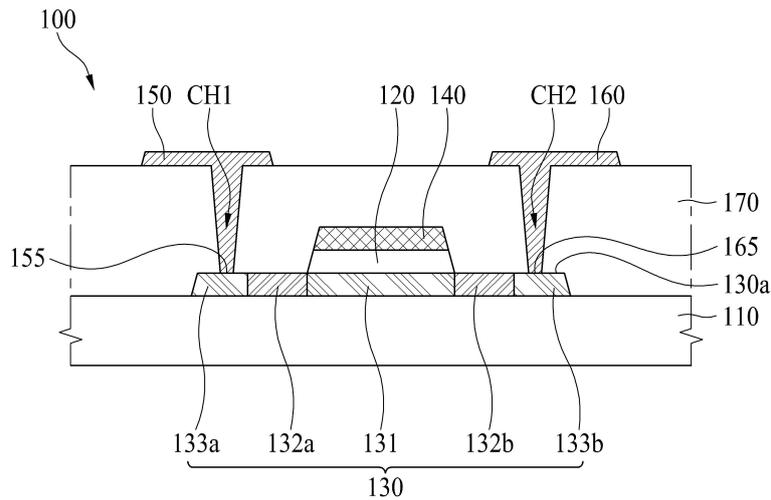
심사관 : 임창연

(54) 발명의 명칭 수소 차단용 도핑부를 갖는 박막 트랜지스터, 그 제조방법 및 이를 포함하는 표시장치

(57) 요약

본 발명의 일 실시예는, 본 발명의 일 실시예는, 기판 상의 산화물 반도체층, 상기 산화물 반도체층 상의 게이트 절연막, 상기 게이트 절연막 상의 게이트 전극, 상기 산화물 반도체층과 연결된 소스 전극 및 상기 소스 전극과 이격되어 상기 산화물 반도체층과 연결된 드레인 전극을 포함하고, 상기 산화물 반도체층은 소정 영역에 배치된 도핑층을 포함하는 박막 트랜지스터를 제공한다.

대표도 - 도2



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 29/78618 (2013.01)

H01L 29/78633 (2013.01)

명세서

청구범위

청구항 1

기관 상의 산화물 반도체층;
 상기 산화물 반도체층 상의 게이트 절연막;
 상기 게이트 절연막 상의 게이트 전극;
 상기 산화물 반도체층과 연결된 소스 전극; 및
 상기 소스 전극과 이격되어 상기 산화물 반도체층과 연결된 드레인 전극;을 포함하고,
 상기 산화물 반도체층은
 상기 게이트 전극과 중첩하는 채널부;
 상기 소스 전극과 연결되는 제1 연결부;
 상기 드레인 전극과 연결되는 제2 연결부;
 상기 채널부와 상기 제1 연결부 사이의 제1 도핑부; 및
 상기 채널부와 상기 제2 연결부 사이의 제2 도핑부;를 포함하며,
 상기 제1 도핑부 및 상기 제2 도핑부는 6B족 원소를 포함하고,
 공증착에 의하여 상기 제1 도핑부 및 상기 제2 도핑부가 형성되어, 상기 6B족 원소가 상기 제1 도핑부 및 상기 제2 도핑부 전체 영역에 균일하게 분포된,
 박막 트랜지스터.

청구항 2

제1항에 있어서,
 상기 6B족 원소는 크롬(Cr), 몰리브덴(Mo) 및 텅스텐(W) 중 적어도 하나를 포함하는, 박막 트랜지스터.

청구항 3

제1항에 있어서,
 상기 6B족 원소는, 원자수 기준으로, 상기 제1 도핑부 및 상기 제2 도핑부의 전체 금속 원소 대비 4 내지 10 원자%(at%)의 함량을 갖는, 박막 트랜지스터.

청구항 4

삭제

청구항 5

제1항에 있어서,
 상기 제1 도핑부 및 상기 제2 도핑부는 상기 채널부와 동일한 두께를 갖는, 박막 트랜지스터.

청구항 6

제1항에 있어서,
 상기 기관 상의 광차단층; 및

상기 광차단층 상의 버퍼층;을 더 포함하며,
 상기 광차단층은 상기 산화물 반도체층과 중첩하는, 박막 트랜지스터.

청구항 7

기관 상에 제1 도핑부 및 제2 도핑부를 형성하는 단계;
 상기 제1 도핑부 및 제2 도핑부를 포함하는 기관 상에 산화물 반도체 물질층을 형성하는 단계;
 상기 제1 도핑부 및 상기 제2 도핑부 사이의 상기 산화물 반도체 물질층 상에 게이트 절연막 및 게이트 전극을 형성하는 단계;
 상기 산화물 반도체 물질층을 패터닝하여는 산화물 반도체층을 형성하는 단계; 및
 서로 이격되어, 상기 산화물 반도체층과 각각 연결되는 소스 전극 및 드레인 전극을 형성하는 단계;를 포함하며,
 상기 산화물 반도체층은,
 상기 게이트 전극과 중첩하는 채널부;
 상기 소스 전극과 연결되는 제1 연결부;
 상기 드레인 전극과 연결되는 제2 연결부;
 상기 채널부와 상기 제1 연결부 사이의 제1 도핑부; 및
 상기 채널부와 상기 제2 연결부 사이의 제2 도핑부;를 포함하는,
 박막 트랜지스터의 제조방법.

청구항 8

제7항에 있어서,
 상기 제1 도핑부 및 제2 도핑부를 형성하는 단계는, 산화물 반도체 물질 및 6B족 원소를 이용하는 공증착 단계를 포함하는, 박막 트랜지스터의 제조방법.

청구항 9

제8항에 있어서,
 상기 6B족 원소는, 원자수 기준으로, 상기 제1 도핑부 및 상기 제2 도핑부의 전체 금속 원소 대비 4 내지 10 원자%(at%)의 함량을 갖는, 박막 트랜지스터의 제조방법.

청구항 10

제7항에 있어서,
 상기 패터닝에 의하여, 상기 제1 도핑부 및 상기 제2 도핑부가 산화물 반도체 물질층으로부터 노출되고, 상기 소스 전극과 연결되는 제1 연결부 및 상기 드레인 전극과 연결되는 제2 연결부가 형성되는,
 박막 트랜지스터의 제조방법.

청구항 11

제7항에 있어서,
 상기 기관 상에 광차단층을 형성하는 단계; 및
 상기 광차단층 상에 버퍼층을 형성하는 단계;를 더 포함하며,
 상기 산화물 반도체층은 평면상으로 상기 광차단층과 중첩하여 형성되는,
 박막 트랜지스터의 제조방법.

청구항 12

기관;

상기 기관 상에 배치된 박막 트랜지스터; 및

상기 박막 트랜지스터와 연결된 제1 전극;을 포함하며,

상기 박막 트랜지스터는,

상기 기관 상의 산화물 반도체층;

상기 산화물 반도체층 상의 게이트 절연막;

상기 게이트 절연막 상의 게이트 전극;

상기 산화물 반도체층과 연결된 소스 전극; 및

상기 소스 전극과 이격되어 상기 산화물 반도체층과 연결된 드레인 전극;을 포함하고,

상기 산화물 반도체층은

상기 게이트 전극과 중첩하는 채널부;

상기 소스 전극과 연결되는 제1 연결부;

상기 드레인 전극과 연결되는 제2 연결부;

상기 채널부와 상기 제1 연결부 사이의 제1 도핑부; 및

상기 채널부와 상기 제2 연결부 사이의 제2 도핑부;를 포함하며,

상기 제1 도핑부 및 상기 제2 도핑부는 6B족 원소를 포함하고,

공증착에 의하여 상기 제1 도핑부 및 상기 제2 도핑부가 형성되어, 상기 6B족 원소가 상기 제1 도핑부 및 상기 제2 도핑부 전체 영역에 균일하게 분포된,

표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 수소 차단용 도핑부를 갖는 박막 트랜지스터, 이러한 박막 트랜지스터의 제조방법 및 이러한 박막 트랜지스터를 포함하는 표시장치에 관한 것이다.

배경 기술

[0002] 트랜지스터는 전자 기기 분야에서 스위칭 소자(switching device)나 구동 소자(driving device)로 널리 사용되고 있다. 특히, 박막 트랜지스터(thin film transistor)는 유리 기판이나 플라스틱 기판 상에 제조될 수 있기 때문에, 액정표시장치(Liquid Crystal Display Device) 또는 유기 발광장치(Organic Light Emitting Device) 등과 같은 표시장치의 스위칭 소자로서 널리 이용되고 있다.

[0003] 박막 트랜지스터는, 액티브층을 구성하는 물질을 기준으로 하여, 비정질 실리콘이 액티브층으로 사용되는 비정질 실리콘 박막 트랜지스터, 다결정 실리콘이 액티브층으로 사용되는 다결정 실리콘 박막 트랜지스터, 및 산화물 반도체가 액티브층으로 사용되는 산화물 반도체 박막 트랜지스터로 구분될 수 있다.

[0004] 비정질 실리콘 박막 트랜지스터(a-Si TFT)는, 짧은 시간 내에 비정질 실리콘이 증착되어 액티브층이 형성될 수 있으므로, 제조 공정 시간이 짧고 생산 비용이 적게 드는 장점을 가지고 있는 반면, 이동도(mobility)가 낮아 전류 구동 능력이 좋지 않고, 문턱전압의 변화가 발생하기 때문에 능동 매트릭스 유기 발광 소자(AMOLED) 등에는 사용이 제한되는 단점을 가지고 있다.

[0005] 다결정 실리콘 박막 트랜지스터(poly-Si TFT)는, 비정질 실리콘이 증착된 후 비정질 실리콘이 결정화되어 만들어진다. 다결정 실리콘 박막 트랜지스터의 제조 과정에서 비정질 실리콘이 결정화되는 공정이 필요하기 때문에,

공정 수가 증가하여 제조비용이 상승하며, 높은 공정 온도에서 결정화 공정이 수행되기 때문에 다결정 실리콘 박막 트랜지스터는 대면적 장치에 적용되는 데에 어려움이 있다. 또한, 다결정 특성으로 인해, 다결정 실리콘 박막 트랜지스터의 균일도(Uniformity)를 확보하는 데 어려움이 있다.

[0006] 산화물 반도체 박막 트랜지스터(Oxide semiconductor TFT)는, 비교적 낮은 온도에서 액티브층을 구성하는 산화물이 성장될 수 있고, 높은 이동도(mobility)를 가지며, 산소의 함량에 따라 큰 저항 변화를 가지기 때문에, 원하는 물성이 용이하게 얻어질 수 있다는 장점을 가지고 있다. 또한, 산화물의 특성상, 산화물 반도체는 투명하기 때문에, 투명 디스플레이를 구현하는 데도 유리하다. 그러나, 절연막 또는 도핑부와의 접촉에 의한 수소 침투로 인해 산화물 반도체에서 산소 결핍 등이 생겨, 산화물 반도체의 신뢰성이 저하될 수 있다.

선행기술문헌

특허문헌

- [0007] (특허문헌 0001) 1. 한국공개특허 10-2011-0041116호
- (특허문헌 0002) 2. 한국공개특허 10-2010-0051550호
- (특허문헌 0003) 3. 한국공개특허 10-2011-0128038호

발명의 내용

해결하려는 과제

- [0008] 본 발명의 일 실시예는, 산화물 반도체층의 소정 영역에 형성되어, 채널 영역으로 유입되는 수소를 차단하는 도핑부를 포함하는 박막 트랜지스터를 제공하고자 한다.
- [0009] 본 발명의 다른 일 실시예는, 산화물 반도체층의 소정 영역에 도핑부를 형성하는 단계를 포함하는, 박막 트랜지스터의 제조방법을 제공하고자 한다.
- [0010] 본 발명의 또 다른 일 실시예는 이러한 박막 트랜지스터를 포함하는 표시장치를 제공하고자 한다.

과제의 해결 수단

- [0011] 전술한 기술적 과제를 달성하기 위한 본 발명의 일 실시예는, 기판 상의 산화물 반도체층, 상기 산화물 반도체층 상의 게이트 절연막, 상기 게이트 절연막 상의 게이트 전극, 상기 산화물 반도체층과 연결된 소스 전극 및 상기 소스 전극과 이격되어 상기 산화물 반도체층과 연결된 드레인 전극을 포함하고, 상기 산화물 반도체층은 상기 게이트 전극과 중첩하는 채널부, 상기 소스 전극과 연결되는 제1 연결부, 상기 드레인 전극과 연결되는 제2 연결부, 상기 채널부와 상기 제1 연결부 사이의 제1 도핑부 및 상기 채널부와 상기 제2 연결부 사이의 제2 도핑부를 포함하며, 상기 제1 도핑부 및 상기 제2 도핑부는 6B족 원소를 포함하는, 박막 트랜지스터를 제공한다.
- [0012] 상기 6B족 원소는 크롬(Cr), 몰리브덴(Mo) 및 텅스텐(W) 중 적어도 하나를 포함한다.
- [0013] 상기 6B족 원소는, 원자수 기준으로, 상기 제1 도핑부 및 상기 제2 도핑부의 전체 금속 원소 대비 4 내지 10 원자%(at%)의 함량을 갖는다.
- [0014] 상기 6B족 원소는, 상기 제1 도핑부 및 상기 제2 도핑부 전체에 걸쳐 균일하게 분포되어 있다.
- [0015] 상기 제1 도핑부 및 상기 제2 도핑부는 상기 채널부와 동일한 두께를 갖는다.
- [0016] 상기 박막 트랜지스터는 상기 기판 상의 광차단층 및 상기 광차단층 상의 버퍼층을 더 포함하며, 상기 광차단층은 상기 산화물 반도체층과 중첩한다.
- [0017] 본 발명의 다른 일 실시예는, 기판 상에 제1 도핑부 및 제2 도핑부를 형성하는 단계, 상기 제1 도핑부 및 제2 도핑부를 포함하는 기판 상에 산화물 반도체 물질층을 형성하는 단계, 상기 제1 도핑부 및 상기 제2 도핑부 사이의 상기 산화물 반도체 물질층 상에 게이트 절연막 및 게이트 전극을 형성하는 단계, 상기 산화물 반도체 물질층을 패터닝하여는 산화물 반도체층을 형성하는 단계 및 서로 이격되어, 상기 산화물 반도체층과 각각 연결되는 소스 전극 및 드레인 전극을 형성하는 단계를 포함하며, 상기 산화물 반도체층은 상기 게이트 전극과 중첩하는 채널부, 상기 소스 전극과 연결되는 제1 연결부, 상기 드레인 전극과 연결되는 제2 연결부, 상기 채널부와

상기 제1 연결부 사이의 제1 도핑부 및 상기 채널부와 상기 제2 연결부 사이의 제2 도핑부를 포함하는, 박막 트랜지스터의 제조방법을 제공한다.

- [0018] 상기 제1 도핑부 및 제2 도핑부를 형성하는 단계는, 산화물 반도체 물질 및 6B족 원소를 이용하는 공증착 단계를 포함한다.
- [0019] 상기 6B족 원소는, 원자수 기준으로, 상기 제1 도핑부 및 상기 제2 도핑부의 전체 금속 원소 대비 4 내지 10 원자%(at%)의 함량을 갖는다.
- [0020] 상기 패터닝에 의하여, 상기 제1 도핑부 및 상기 제2 도핑부가 산화물 반도체 물질층으로부터 노출되고, 상기 소스 전극과 연결되는 제1 연결부 및 상기 드레인 전극과 연결되는 제2 연결부가 형성된다.
- [0021] 상기 박막 트랜지스터의 제조방법은 상기 기판 상에 광차단층을 형성하는 단계 및 상기 광차단층 상에 버퍼층을 형성하는 단계를 더 포함하며, 상기 산화물 반도체층은 평면상으로 상기 광차단층과 중첩하여 형성된다.
- [0022] 본 발명의 또 다른 일 실시예는, 기판, 상기 기판 상에 배치된 상기의 박막 트랜지스터 및 상기 박막 트랜지스터와 연결된 제1 전극을 포함하는, 표시장치를 제공한다.

발명의 효과

- [0023] 본 발명의 일 실시예에 따른 박막 트랜지스터는 산화물 반도체층의 소정 영역에 배치된 도핑부를 포함하며, 도핑부는 산화물 반도체층의 채널부로 유입되는 수소를 차단하여 채널부를 보호한다. 또한, 도핑부는 산화물 반도체층의 일부 영역에만 배치되기 때문에, 산화물 반도체층 하부의 수소가 외부로 배출되는 경로를 차단하지 않는다.
- [0024] 이러한 도핑부를 포함하는 본 발명의 일 실시예에 따른 박막 트랜지스터는 수소 침투에 대해 우수한 신뢰성 및 안정성을 갖는다. 또한, 본 발명의 일 실시예에 따른 박막 트랜지스터를 포함하는 표시장치는 우수한 신뢰성을 가질 수 있다.
- [0025] 위에서 언급된 효과 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0026] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터의 평면도이다.
- 도 2는 도 1의 I-I'를 따라 자른 단면도이다.
- 도 3는 본 발명의 다른 일 실시예에 따른 박막 트랜지스터의 단면도이다.
- 도 4는 본 발명의 또 다른 일 실시예에 따른 박막 트랜지스터의 단면도이다.
- 도 5a 내지 5i는 본 발명의 다른 일 실시예에 따른 박막 트랜지스터의 제조 공정도이다.
- 도 6은 본 발명의 또 다른 일 실시예에 따른 표시장치의 개략적인 단면도이다.
- 도 7은 본 발명의 또 다른 일 실시예에 따른 표시장치의 개략적인 단면도이다.
- 도 8a, 8b, 8c는 각각 실시예 1, 비교예 1 및 비교예 2의 박막 트랜지스터에 대한 문턱전압(Vth) 측정 그래프이다.
- 도 9는 채널 영역의 도체화 길이(ΔL)를 설명하는 상세도이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0028] 본 발명의 실시예들을 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로, 본

발명이 도면에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 구성 요소는 동일 참조 부호로 지칭될 수 있다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명은 생략된다.

- [0029] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이라는 표현이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소가 단수로 표현된 경우, 특별히 명시적인 기재 사항이 없는 한 복수를 포함한다.
- [0030] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0031] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이라는 표현이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수 있다.
- [0032] 공간적으로 상대적인 용어인 "아래(below, beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 마찬가지로, 예시적인 용어인 "위" 또는 "상"은 위와 아래의 방향을 모두 포함할 수 있다.
- [0033] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이라는 표현이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0034] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0035] "제1 수평 축 방향", "제2 수평 축 방향" 및 "수직 축 방향"은 서로 간의 관계가 수직으로 이루어진 기하학적인 관계만으로 해석되어서는 아니 되며, 본 발명의 구성이 기능적으로 작용할 수 있는 범위 내에서 보다 넓은 방향성을 가지는 것을 의미할 수 있다.
- [0036] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.
- [0037] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시될 수도 있다.
- [0038] 이하에서는 본 발명의 일 실시예에 따른 박막 트랜지스터, 그 제조방법 및 표시장치를 첨부된 도면을 참조하여 상세히 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다.
- [0039] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터(100)의 평면도이고, 도 2는 도 1의 I-I'를 따라 자른 단면도이다.
- [0040] 도 1 및 2를 참조하면, 본 발명의 일 실시예에 따른 박막 트랜지스터(100)는 기판(110) 상의 산화물 반도체층(130), 산화물 반도체층(130) 상의 게이트 절연막(120), 게이트 절연막(120) 상의 게이트 전극(140), 산화물 반도체층(130)과 연결된 소스 전극(150), 소스 전극(150)과 이격되어 산화물 반도체층(130)과 연결된 드레인 전극(160)을 포함한다.
- [0041] 기판(110)으로 유리 또는 플라스틱이 이용될 수 있다. 플라스틱으로 플렉서블 특성을 갖는 투명 플라스틱, 예를 들어, 폴리이미드가 이용될 수 있다. 폴리이미드가 기판(110)으로 사용되는 경우, 기판(110) 상에서 고온 증착 공정이 이루어짐을 고려할 때, 고온에서 견딜 수 있는 내열성 폴리이미드가 사용될 수 있다.

- [0042] 도시되지 않았지만, 기판(110) 상에 버퍼층이 배치될 수 있다. 버퍼층은 실리콘 산화물 및 실리콘 질화물 중 적어도 하나를 포함할 수 있다. 버퍼층은 단일막으로 이루어질 수도 있고, 2개 이상의 막이 적층된 적층 구조를 가질 수도 있다. 버퍼층은 우수한 수증기 및 기체 차단 특성을 가져 산화물 반도체층(130)을 보호한다. 또한, 버퍼층은 평탄화 특성을 가져, 기판(110)의 상부를 평탄화할 수 있다.
- [0043] 산화물 반도체층(130)은 기판(110) 상에 배치된다. 산화물 반도체층(130)은 산화물 반도체 물질을 포함한다. 예를 들어, 산화물 반도체층(130)은 IZO(InZnO)계, IGO(InGaO)계, ITO(InSnO)계, IGZO(InGaZnO)계, IGZTO(InGaZnSnO)계, GZTO(GaZnSnO)계 및 ITZO(InSnZnO)계 산화물 반도체 물질 중 적어도 하나를 포함할 수 있다. 그러나, 본 발명의 일 실시예가 이에 한정되는 것은 아니며, 당업계에 알려진 다른 산화물 반도체 물질에 의하여 산화물 반도체층(130)이 만들어질 수도 있다.
- [0044] 산화물 반도체층(130)의 상세한 구성은 후술된다.
- [0045] 산화물 반도체층(130) 상에 게이트 절연막(120)이 배치된다. 게이트 절연막(120)은 실리콘 산화물 및 실리콘 질화물 중 적어도 하나를 포함할 수 있다. 게이트 절연막(120)은 단일막 구조를 가질 수도 있고, 다층막 구조를 가질 수도 있다.
- [0046] 도 1 및 도 2를 참조하면, 게이트 절연막(120)은 산화물 반도체층(130)의 일부분 상에 배치된다. 게이트 절연막(120)은 산화물 반도체층(130)과 접촉한다.
- [0047] 게이트 전극(140)은 게이트 절연막(120) 상에 배치된다. 구체적으로, 게이트 전극(140)은 산화물 반도체층(130)과 절연되어, 산화물 반도체층(130)과 적어도 일부 중첩한다. 도 2에 도시된 바와 같이, 게이트 전극(140)이 산화물 반도체층(130) 위에 배치된 박막 트랜지스터(100)의 구조를 탑 게이트 구조 라고도 한다.
- [0048] 게이트 전극(140)은 알루미늄(Al)이나 알루미늄 합금과 같은 알루미늄 계열의 금속, 은(Ag)이나 은 합금과 같은 은 계열의 금속, 구리(Cu)나 구리 합금과 같은 구리 계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금과 같은 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta), 네오듐(Nd) 및 티타늄(Ti) 중 적어도 하나를 포함할 수 있다. 게이트 전극(140)은 물리적 성질이 다른 적어도 두 개의 도전막을 포함하는 다층막 구조를 가질 수도 있다.
- [0049] 게이트 전극(140) 상에 층간 절연막(170)이 배치된다. 층간 절연막(170)은 절연물질로 이루어진다. 구체적으로, 층간 절연막(170)은 유기물로 이루어질 수도 있고, 무기물로 이루어질 수도 있으며, 유기물층과 무기물층의 적층체로 이루어질 수도 있다.
- [0050] 층간 절연막(170) 상에 소스 전극(150) 및 드레인 전극(160)이 배치된다. 소스 전극(150)과 드레인 전극(160)은 서로 이격되어 각각 산화물 반도체층(130)과 연결된다.
- [0051] 도 2를 참조하면, 소스 전극(150)은 층간 절연막(170)에 형성된 제1 콘택홀(CH1)을 통하여 산화물 반도체층(130)과 연결된다. 제1 콘택홀(CH1)은 복수개 형성될 수 있다. 제1 콘택홀(CH1)에 의하여 소스 전극 연결 영역(155)이 정의된다. 소스 전극 연결 영역(155)은 제1 콘택홀(CH1)에 의하여 층간 절연막(170)으로부터 노출된 산화물 반도체층(130)의 표면 영역이다. 본 발명의 일 실시예에 따르면, 소스 전극(150)은 산화물 반도체층 표면(130a)의 소스 전극 연결 영역(155)에서 산화물 반도체층(130)과 접촉 및 연결된다.
- [0052] 드레인 전극(160)은 층간 절연막(170)에 형성된 제2 콘택홀(CH2)을 통하여 산화물 반도체층(130)과 연결된다. 제2 콘택홀(CH2)은 복수개 형성될 수 있다. 제2콘택홀(CH2)에 의하여 드레인 전극 연결 영역(165)이 정의된다. 드레인 전극 연결 영역(165)은 제2 콘택홀(CH2)에 의하여 층간 절연막(170)으로부터 노출된 산화물 반도체층(130)의 표면 영역이다. 본 발명의 일 실시예에 따르면, 드레인 전극(160)은 산화물 반도체층 표면(130a)의 드레인 전극 연결 영역(165)에서 산화물 반도체층(130)과 접촉 및 연결된다.
- [0053] 소스 전극(150) 및 드레인 전극(160)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오듐(Nd), 구리(Cu), 및 이들의 합금 중 적어도 하나를 포함할 수 있다. 소스 전극(150) 및 드레인 전극(160)은 각각 금속 또는 금속의 합금으로 만들어진 단일층으로 이루어질 수도 있고, 2층 이상의 다중층으로 이루어질 수도 있다.
- [0054] 이하, 산화물 반도체층(130)을 보다 상세히 설명한다.
- [0055] 산화물 반도체층(130)은, 게이트 전극(140)과 중첩하는 채널부(131), 소스 전극(150)과 연결되는 제1 연결부(133a), 드레인 전극(160)과 연결되는 제2 연결부(133b), 채널부(131)와 제1 연결부(133a) 사이의 제1 도핑부(132a) 및 채널부(131)와 제2 연결부(133b) 사이의 제2 도핑부(132b)를 포함한다.

- [0056] 채널부(131)는 산화물 반도체층(130) 중 게이트 전극(140)과 중첩하는 영역이다. 산화물 반도체층(130)의 채널은 채널부(131)에 형성된다.
- [0057] 제1 연결부(133a)는 소스 전극(150)과 접촉하는 소스 전극 연결 영역(155)을 포함하고, 제2 연결부(133b)는 드레인 전극(160)과 접촉하는 드레인 전극 연결 영역(165)을 포함한다. 산화물 반도체층(130)은 제1 연결부(133a)에서 소스 전극(150)과 연결되고, 제2 연결부(133b)에서 드레인 전극(160)과 연결된다.
- [0058] 제1 연결부(133a)와 제2 연결부(133b)를 함께 연결부(133a, 133b)라고도 한다. 연결부(133a, 133b)는 우수한 도전성 및 높은 이동도를 갖는다. 연결부(133a, 133b)는 산화물 반도체층(130)의 선택적 도체화에 의해 형성될 수 있다. 도체화를 위해, 연결부(133a, 133b) 영역이 플라즈마 처리될 수도 있고, 연결부(133a, 133b) 영역의 표면이 도전성 금속에 의하여 도핑될 수도 있다.
- [0059] 연결부(133a, 133b)를 통해, 산화물 반도체층(130)은 소스 전극(150) 및 드레인 전극(160)과 우수한 전기적 접촉을 할 수 있다.
- [0060] 제1 도핑부(132a)는 채널부(131)와 제1 연결부(133a) 사이에 위치하고, 제2 도핑부(132b)는 채널부(131)와 제2 연결부(133b) 사이에 위치한다. 제1 도핑부(132a)와 제2 도핑부(132b)를 함께 도핑부(132a, 132b)라고도 한다.
- [0061] 제1 도핑부(132a) 및 제2 도핑부(132b)는 층간 절연막(170) 또는 외부 환경으로부터 유입된 수소가 산화물 반도체층(130)의 채널부(131)로 침투하는 것을 차단한다. 제1 도핑부(132a) 및 제2 도핑부(132b)는 수소 차단용 격벽 역할을 한다.
- [0062] 본 발명의 일 실시예에 따르면, 제1 도핑부(132a) 및 제2 도핑부(132b)가 산화물 반도체층(130)의 채널부(131)에 근접하여 배치됨으로써, 채널부(131)로 침투하는 수소를 효율적으로 차단할 수 있다. 그 결과, 수소 침투에 의한 채널부(131)의 도체화가 직접적으로 그리고 효과적으로 방지될 수 있다.
- [0063] 제1 도핑부(132a) 및 제2 도핑부(132b)는 각각 6B족 원소를 포함한다.
- [0064] 또한, 본 발명의 일 실시예에 따른 산화물 반도체층(130)은, IZO(InZnO)계, IGO(InGaO)계, ITO(InSnO)계, IGZO(InGaZnO)계, IGZTO(InGaZnSnO)계, GZTO(GaZnSnO)계 및 ITZO(InSnZnO)계 산화물 반도체 물질 중 적어도 하나를 포함하며, 제1 도핑부(132a) 및 제2 도핑부(132b)는 산화물 반도체층(130)에 6B족 원소가 도핑되어 이루어진 것이다.
- [0065] 6B족 원소(M)는 d-오비탈(d-orbital)을 가지며, 산화물 반도체 물질 내에 소량 도핑될 경우 산화물 반도체 물질 내에서 산소(O)와 결합하여 MO₃를 형성하여, 산화물 반도체 물질 내의 부분적 과잉 산소를 제거할 수 있다.
- [0066] 제1 도핑부(132a) 및 제2 도핑부(132b)에 도핑되어 있는 6B족 원소(M)는 산소(O)와 결합하여 MO₃ 형태의 매우 안정적인 결합을 형성한다. 그 결과, 제1 도핑부(132a) 및 제2 도핑부(132b) 내에서 비결합 상태수(non-bonding state)가 감소되어, 수소(H)에 의한 O-H 결합 확률이 감소된다. 이러한 제1 도핑부(132a) 및 제2 도핑부(132b)에 의해 수소가 차단되며, 제1 도핑부(132a) 및 제2 도핑부(132b)는 수소(H)로부터 채널부(131)를 보호할 수 있으며, 수소(H) 침투에 의한 채널부(131)에서의 산소 결손(O-vacancy)이 방지될 수 있다.
- [0067] 본 발명의 일 실시예에 따르면, 6B족 원소로, 예를 들어, 크롬(Cr), 몰리브덴(Mo) 및 텅스텐(W) 중 적어도 하나가 사용될 수 있다. 크롬(Cr), 몰리브덴(Mo) 및 텅스텐(W)은 d-오비탈을 갖는 금속(M)으로, 산소와 결합하여 안정적인 MO₃를 형성하여 과잉 산소를 제거할 수 있다. 그에 따라, 크롬(Cr), 몰리브덴(Mo) 및 텅스텐(W) 중 적어도 하나가 도핑되어 이루어진 제1 도핑부(132a) 및 제2 도핑부(132b)는 채널부(131)로 침투하는 수소(H)를 안정적으로 차단할 수 있다.
- [0068] 제1 도핑부(132a) 및 제2 도핑부(132b)는 각각 채널부(131)와 제1 연결부(133a) 사이 및 채널부(131)와 제2 연결부(133b) 사이에 배치되며, 박막 트랜지스터가 ON 상태인 경우, 제1 도핑부(132a) 및 제2 도핑부(132b)를 통하여 전류가 흐른다. 따라서, 제1 도핑부(132a) 및 제2 도핑부(132b)는 수소 차단 특성 외에 전기적 특성을 가져야 한다. 제1 도핑부(132a) 및 제2 도핑부(132b) 내의 6B족 원소(M)의 함량이 많아질 경우, 과도한 산화물(MO₃) 형성으로 인해 제1 도핑부(132a) 및 제2 도핑부(132b)의 전기적 특성이 저하될 수 있고 막 형성이 어려워질 수 있다.
- [0069] 구체적으로, 6B족 원소(M)의 함량이 4 원자% 미만인 경우, 제1 도핑부(132a) 및 제2 도핑부(132b)의 수소 차단 능력이 저하될 수 있다. 반면, 6B족 원소(M)의 함량이 10 원자%를 초과하는 경우, 제1 도핑부(132a) 및 제2 도

핑부(132b)에서 MO_3 형태의 산화물이 과도하게 형성되어, 제1 도핑부(132a) 및 제2 도핑부(132b)의 전기적 특성이 저하될 수 있다. 따라서, 6B족 원소는, 원자수 기준으로, 제1 도핑부(132a) 및 제2 도핑부(132b)의 전체 금속 원소 대비 4 내지 10 원자%(at%)의 함량을 가진다.

- [0070] 도 2를 참조하면, 6B족 원소는 제1 도핑부(132a) 및 제2 도핑부(132b) 전체에 걸쳐 균일하게 분포되어 있다. 본 발명의 일 실시예에 따르면, 6B족 원소는 제1 도핑부(132a) 및 제2 도핑부(132b)의 표면에만 도핑되는 것이 아니라 제1 도핑부(132a) 및 제2 도핑부(132b) 영역의 전체 두께에 대하여 균일하게 도핑된다. 예를 들어, 산화물 반도체 물질과 6B족 도핑 물질을 이용한 공증착에 의하여 제1 도핑부(132a) 및 제2 도핑부(132b)가 형성됨으로써, 6B족 원소가 제1 도핑부(132a) 및 제2 도핑부(132b) 전체에 걸쳐 균일하게 분포될 수 있다.
- [0071] 예를 들어, 6B족 원소는, 제1 도핑부(132a) 및 제2 도핑부(132b)에서, 산화물 반도체층(130)의 기판(110) 방향 표면으로부터 게이트 전극(140) 방향 표면(130a)에 걸쳐 균일하게 분포될 수 있다.
- [0072] 6B족 원소가 제1 도핑부(132a) 및 제2 도핑부(132b)의 표면에만 도핑되는 경우, 제1 도핑부(132a) 및 제2 도핑부(132b)의 상부로부터 유입되는 수소는 차단될 수 있지만, 제1 도핑부(132a) 및 제2 도핑부(132b)의 측면이나 하부로부터 유입되는 수소의 차단에는 한계가 있다.
- [0073] 본 발명의 일 실시예에 따르면, 6B족 원소가 제1 도핑부(132a) 및 제2 도핑부(132b) 영역의 전체에서 대하여 균일하게 분포되어 있기 때문에, 제1 도핑부(132a) 및 제2 도핑부(132b)의 상부로부터 유입되는 수소뿐만 아니라 제1 도핑부(132a) 및 제2 도핑부(132b)의 측면이나 하부로부터 유입되는 수소도 모두 차단될 수 있다. 그에 따라, 제1 도핑부(132a) 및 제2 도핑부(132b)가 채널부(131)를 효율적으로 보호할 수 있다.
- [0074] 본 발명의 일 실시예에 따르면, 제1 도핑부(132a) 및 제2 도핑부(132b)는 채널부(131)와 동일한 두께를 가질 수 있다. 이 경우, 제1 도핑부(132a) 및 제2 도핑부(132b)가 채널부(131)와 일체를 형성하기 때문에, 채널부(131)의 측면을 통한 수소 침투가 효율적으로 방지될 수 있다. 또한, 제1 도핑부(132a) 및 제2 도핑부(132b)와 채널부(131)가 동일한 두께를 가지는 경우, 채널부(131)와 제1 도핑부(132a) 사이 또는 채널부(131)와 제2 도핑부(132b) 사이에 불균일 면이 존재하지 않아, 층간 절연막(170) 등의 제조과정에서 보이드 등이 발생하지 않고, 막(layer)의 안정성이 향상된다.
- [0075] 그러나 본 발명의 일 실시예가 이에 한정되는 것은 아니며, 제1 도핑부(132a) 및 제2 도핑부(132b)는 채널부(131)와 다른 두께를 가질 수도 있다. 이 경우 공정 마진이 증가하며, 제조 공정의 용이성이 증가한다.
- [0076] 도 3는 본 발명의 다른 일 실시예에 따른 박막 트랜지스터(200)의 단면도이다. 이하, 중복을 피하기 위하여, 이미 설명된 구성요소에 대한 설명은 생략된다.
- [0077] 도 3의 박막 트랜지스터(200)는, 도 2의 박막 트랜지스터(100)와 비교하여, 기판(110) 상의 광차단층(180) 및 광차단층(180) 상의 버퍼층(121)을 더 포함한다.
- [0078] 광차단층(180)은 산화물 반도체층(130)과 중첩한다. 광차단층(180)은 외부로부터 산화물 반도체층(130)으로 입사되는 광을 차단하여, 외부 입사 광에 의한 산화물 반도체층(130)의 손상을 방지한다.
- [0079] 광차단층(180)은 금속과 같은 전기 전도성 물질로 만들어질 수 있다.
- [0080] 광차단층(180) 상에 버퍼층(121)이 배치된다. 버퍼층(121)은 실리콘 산화물 및 실리콘 질화물 중 적어도 하나를 포함할 수 있다. 버퍼층(121)은 단일막으로 이루어질 수도 있고, 2개 이상의 막이 적층된 적층 구조를 가질 수도 있다. 버퍼층(121)은 우수한 절연성 및 평탄화 특성을 가지며, 산화물 반도체층(130)을 보호할 수 있다.
- [0081] 도 4는 본 발명의 또 다른 일 실시예에 따른 박막 트랜지스터(300)의 단면도이다.
- [0082] 도 4의 박막 트랜지스터(300)는, 도 3의 박막 트랜지스터(200)와 비교하여 드레인 전극(160)이 산화물 반도체층(130)뿐만 아니라 광차단층(180)과도 연결된다. 광차단층(180)은 도전성을 갖는다. 따라서, 박막 트랜지스터(300)의 안정적인 구동을 위해, 드레인 전극(160)이 산화물 반도체층(130)과 연결된다.
- [0083] 도 4를 참조하면, 드레인 전극(160)은 버퍼층(121) 및 층간 절연막(170)에 형성된 제3 콘택홀(CH3)을 통하여 광차단층(180)과 연결된다.
- [0084] 이하, 도 5a 내지 5i를 참조하여, 박막 트랜지스터(200)의 제조방법을 설명한다. 도 5a 내지 5i는 본 발명의 다른 일 실시예에 따른 박막 트랜지스터(200)의 제조 공정도이다.
- [0085] 도 5a를 참조하면, 기판(110) 상에 광차단층(180)이 형성된다.

- [0086] 기관(110)으로 유리가 사용될 수 있고, 구부리거나 휘 수 있는 플라스틱이 사용될 수도 있다. 기관(110)으로 사용되는 플라스틱의 예로, 폴리이미드가 있다. 폴리이미드가 기관(110)으로 사용되는 경우, 기관(110) 상에서 고온 공정이 이루어짐을 고려할 때, 고온에서 견딜 수 있는 내열성 폴리이미드가 사용될 수 있다.
- [0087] 플라스틱이 기관(110)으로 사용되는 경우, 플라스틱 기관이 유리와 같은 고 내구성 재료로 이루어진 캐리어 기관상에 배치된 상태에서, 증착, 식각 등의 공정이 진행될 수 있다.
- [0088] 광차단층(180)은 외부로부터 입사되는 광에 의한 산화물 반도체층(130)의 손상을 방지한다. 광차단층(180)은 빛을 반사하거나 흡수하는 물질로 만들어질 수 있는데, 예를 들어, 금속과 같은 전기 전도성 물질로 만들어질 수 있다.
- [0089] 도 5b를 참조하면, 광차단층(180)을 포함하는 기관(110) 상에 버퍼층(121)이 형성된다. 버퍼층(121)은 실리콘 산화물에 의하여 형성될 수 있다. 예를 들어, 버퍼층(121)은 단일막 또는 다층막 구조를 가질 수 있다.
- [0090] 도 5c를 참조하면, 버퍼층(121) 상에 제1 도핑부(132a) 및 제2 도핑부(132b)가 형성된다. 제1 도핑부(132a) 및 제2 도핑부(132b)는 증착에 의해 형성될 수 있다. 증착의 방법에 특별한 제한이 있는 것은 아니다. 증착 방법으로, 예를 들어 유기 금속 화학 기상 증착(Metal Organic Chemical Vapor Deposition, MOCVD) 방법이 있다.
- [0091] 구체적으로, 증착에 의하여 버퍼층(121) 전면에 도핑부용 물질층이 형성된 후, 패터닝에 의하여 제1 도핑부(132a) 및 제2 도핑부(132b)가 형성될 수 있다.
- [0092] 본 발명의 다른 일 실시예에 따르면, 제1 도핑부(132a) 및 제2 도핑부(132b)는 산화물 반도체 물질 외에 6B족 원소를 포함하며, 6B족 원소는 제1 도핑부(132a) 및 제2 도핑부(132b) 전체에 걸쳐 균일하게 분포되어 있다. 이를 위해, 산화물 반도체 물질 및 6B족 원소를 이용하는 공증착에 의해 제1 도핑부(132a) 및 제2 도핑부(132b)가 형성될 수 있다.
- [0093] 보다 구체적으로, 제1 도핑부(132a) 및 제2 도핑부(132b)를 형성하는 단계는, 산화물 반도체 물질 및 6B족 원소를 이용하는 공증착 단계를 포함할 수 있다. 이러한 공증착에 의하여, 6B족 원소가 전 영역에 걸쳐 균일하게 분포되어 있는 제1 도핑부(132a) 및 제2 도핑부(132b)가 형성된다.
- [0094] 6B족 원소는, 원자수 기준으로, 제1 도핑부(132a) 및 제2 도핑부(132b)의 전체 금속 원소 대비 4 내지 10 원자%(at%)의 함량을 갖는다. 6B족 원소(M)의 함량이 4 원자% 미만인 경우 제1 도핑부(132a) 및 제2 도핑부(132b)의 수소 차단 능력이 저하될 수 있고, 6B족 원소(M)의 함량이 10 원자%를 초과하는 경우 제1 도핑부(132a) 및 제2 도핑부(132b)에서 MO₃ 형태의 산화물이 과도하게 형성되어 제1 도핑부(132a) 및 제2 도핑부(132b)의 전기적 특성이 저하될 수 있다.
- [0095] 도 5d를 참조하면, 제1 도핑부(132a) 및 제2 도핑부(132b)를 포함하는 기관(110) 상에 산화물 반도체 물질층(135)이 형성된다. 산화물 반도체 물질층(135)은 산화물 반도체 물질로 만들어진다. 예를 들어, 산화물 반도체 물질층(135)은 IZO(InZnO)계, IGO(InGaO)계, ITO(InSnO)계, IGZO(InGaZnO)계, IGZTO(InGaZnSnO)계, GZTO(GaZnSnO)계 및 ITZO(InSnZnO)계 산화물 반도체 물질 중 적어도 하나를 포함할 수 있다. 산화물 반도체 물질층(135)은 증착 또는 스퍼터링에 의하여 형성될 수 있다.
- [0096] 도 5e를 참조하면, 제1 도핑부(132a) 및 제2 도핑부(132b) 사이의 산화물 반도체 물질층(135) 상에 게이트 절연막(120) 및 게이트 전극(140)이 형성된다. 게이트 전극(140)은 산화물 반도체 물질층(135)과 절연되어, 제1 도핑부(132a) 및 제2 도핑부(132b) 사이에 형성된다. 게이트 절연막(120)은 게이트 전극(140)과 산화물 반도체 물질층(135) 사이에 형성되어 게이트 전극(140)과 산화물 반도체 물질층(135)을 절연시킨다.
- [0097] 도 5f를 참조하면, 산화물 반도체 물질층(135)이 패터닝된다. 구체적으로, 산화물 반도체 물질층(135) 상에 포토 레지스트(179)가 선택적으로 배치된 상태에서 에칭(드라이 에칭, D/E)이 실시되어, 산화물 반도체 물질층(135)이 패터닝된다. 이 때, 포토 레지스트(179)는 제1 연결부(133a) 및 제2 연결부(133b)가 형성될 영역 상에 배치된다. 포토 레지스트(179)는 게이트 전극(140) 상에도 배치될 수 있다.
- [0098] 드라이 에칭(D/E)에 의한 패터닝에 의해, 제1 도핑부(132a) 및 제2 도핑부(132b)가 산화물 반도체 물질층(135)으로부터 노출되고, 소스 전극(150)과 연결되는 제1 연결부(133a) 및 드레인 전극(160)과 연결되는 제2 연결부(133b)가 형성된다(도 5g 참조).
- [0099] 도 5g를 참조하면, 산화물 반도체층(130)은, 게이트 전극(140)과 중첩하는 채널부(131), 소스 전극(150)과 연결되는 제1 연결부(133a), 드레인 전극(160)과 연결되는 제2 연결부(133b), 채널부(131)와 제1 연결부(133a) 사이

의 제1 도핑부(132a) 및 채널부(131)와 제2 연결부(133b) 사이의 제2 도핑부(132b)를 포함한다.

- [0100] 도 5h를 참조하면, 게이트 전극(140) 상에 층간 절연막(170)이 형성된다. 층간 절연막(170)은 유기물로 이루어질 수도 있고, 무기물로 이루어질 수도 있으며, 유기물층과 무기물층의 적층체로 이루어질 수도 있다.
- [0101] 도 5i를 참조하면, 층간 절연막(170) 상에 소스 전극(150)과 드레인 전극(160)이 형성된다. 소스 전극(150)과 드레인 전극(160)은 서로 이격되어 각각 산화물 반도체층(130)과 연결된다.
- [0102] 구체적으로, 층간 절연막(170)을 식각하여 산화물 반도체층(130)의 적어도 일부를 노출시키는 제1 콘택홀(CH1) 및 제2 콘택홀(CH2)을 형성한 후, 소스 전극(150)과 드레인 전극(160)을 각각 형성함으로써, 소스 전극(150)과 드레인 전극(160)이 각각 산화물 반도체층(130)과 연결되도록 할 수 있다. 제1 콘택홀(CH1) 및 제2 콘택홀(CH2)에 의하여 층간 절연막(170)으로부터 노출된 산화물 반도체층(130)의 표면은 각각 소스 전극 연결 영역(155) 및 드레인 전극 연결 영역(165)이 된다.
- [0103] 소스 전극(150)은 제1 연결부(133a)에서 산화물 반도체층(130)과 연결되고, 드레인 전극(160)은 제2 연결부(133b)에서 산화물 반도체층(130)과 연결된다. 그 결과, 도 5i에 도시된 바와 같은 박막 트랜지스터(200)가 만들어진다.
- [0104] 도 6은 본 발명의 또 다른 일 실시예에 따른 표시장치(400)의 개략적인 단면도이다.
- [0105] 본 발명의 또 다른 일 실시예에 따른 표시장치(400)는 기관(110), 박막 트랜지스터(200) 및 박막 트랜지스터(200)와 연결된 유기 발광 소자(270)를 포함한다.
- [0106] 도 6에는 도 3의 박막 트랜지스터(200)를 포함하는 표시장치(400)가 도시되어 있다. 그러나, 본 발명의 또 다른 일 실시예가 이에 한정되는 것은 아니며, 도 2 및 도 4에 도시된 박막 트랜지스터들(100, 300)이 도 6의 표시장치(400)에 적용될 수도 있다.
- [0107] 도 6을 참조하면, 표시장치(400)는 기관(110), 기관(110) 상에 배치된 박막 트랜지스터(200), 박막 트랜지스터(200)와 연결된 제1 전극(271)을 포함한다. 또한, 표시장치(400)는 제1 전극(271) 상에 배치된 유기층(272) 및 유기층(272) 상에 배치된 제2 전극(273)을 포함한다.
- [0108] 구체적으로, 기관(110)은 유리 또는 플라스틱으로 만들어질 수 있다. 기관(110)상에는 버퍼층(121)이 배치된다. 또한, 기관(110)과 버퍼층(121) 사이에는 광차단층(180)이 배치된다.
- [0109] 박막 트랜지스터(200)는 기관(110) 상의 버퍼층(121) 상에 배치된다. 박막 트랜지스터(200)는 버퍼층(121) 상의 산화물 반도체층(130), 산화물 반도체층(130) 상의 게이트 절연막(120), 게이트 절연막(120) 상의 게이트 전극(140), 산화물 반도체층(130)과 연결된 소스 전극(150), 및 소스 전극(150)과 이격되어 산화물 반도체층(130)과 연결된 드레인 전극(160)을 포함한다.
- [0110] 산화물 반도체층(130)은, 게이트 전극(140)과 중첩하는 채널부(131), 소스 전극(150)과 연결되는 제1 연결부(133a), 드레인 전극(160)과 연결되는 제2 연결부(133b), 채널부(131)와 제1 연결부(133a) 사이의 제1 도핑부(132a) 및 채널부(131)와 제2 연결부(133b) 사이의 제2 도핑부(132b)를 포함한다.
- [0111] 평탄화막(190)은 박막 트랜지스터(200) 상에 배치되어 기관(110)의 상부를 평탄화시킨다. 평탄화막(190)은 감광성을 갖는 아크릴 수지와 같은 유기 절연 물질로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다.
- [0112] 제1 전극(271)은 평탄화막(190) 상에 배치된다. 제1 전극(271)은 평탄화막(190)에 구비된 콘택홀(CH4)을 통해 박막 트랜지스터(200)의 드레인 전극(160)과 연결된다.
- [0113] बैं크층(250)은 제1 전극(271) 및 평탄화막(190) 상에 배치되어 화소 영역 또는 발광 영역을 정의한다. 예를 들어, बैं크층(250)이 복수의 화소들 사이의 경계 영역에 매트릭스 구조로 배치됨으로써, 화소 영역이 정의될 수 있다.
- [0114] 유기층(272)은 제1 전극(271) 상에 배치된다. 유기층(272)은 बैं크층(250) 상에도 배치될 수 있다. 즉, 유기층(272)은 화소 별로 분리되지 않고 인접하는 화소 사이에 서로 연결될 수 있다.
- [0115] 유기층(272)은 유기 발광층을 포함한다. 유기층(272)은 하나의 유기 발광층을 포함할 수도 있고, 상하로 적층된 2개의 유기 발광층 또는 그 이상의 유기 발광층을 포함할 수도 있다. 이러한 유기층(272)에서는 적색, 녹색 및 청색 중 어느 하나의 색을 갖는 광이 방출될 수 있으며, 백색(White) 광이 방출될 수도 있다.

- [0116] 제2 전극(273)은 유기층(272) 상에 배치된다.
- [0117] 제1 전극(271), 유기층(272) 및 제2 전극(273)이 적층되어 유기 발광 소자(270)가 이루어질 수 있다. 유기 발광 소자(270)는 표시장치(400)에서 광량 조절층 역할을 할 수 있다.
- [0118] 도시되지 않았지만, 유기층(272)이 백색(White) 광을 발광하는 경우, 개별 화소는 유기층(272)에서 방출되는 백색(White) 광을 과장 별로 필터링하기 위한 컬러 필터가 사용될 수 있다. 컬러 필터는 광의 이동경로 상에 배치된다. 유기층(272)에서 방출된 광이 하부의 기관(110) 방향으로 진행되는 소위 바텀 에미션(Bottom Emission) 방식인 경우에는 컬러 필터가 유기층(272)의 아래에 배치되고, 유기층(272)에서 방출된 광이 상부의 제2 전극(273) 방향으로 진행되는 소위 탑 에미션(Top Emission) 방식인 경우에는 컬러 필터가 유기층(272)의 위에 배치된다.
- [0119] 도 7은 본 발명의 또 다른 일 실시예에 따른 표시장치(500)의 개략적인 단면도이다.
- [0120] 도 7을 참조하면, 본 발명의 또 다른 일 실시예에 따른 표시장치(500)는 기관(110), 기관(110) 상에 배치된 박막 트랜지스터(200), 박막 트랜지스터(200)와 연결된 제1 전극(381)을 포함한다. 또한, 표시장치(500)는 제1 전극(381) 상의 액정층(382) 및 액정층(382) 상의 제2 전극(383)을 포함한다.
- [0121] 액정층(382)은 광량 조절층으로 작용한다. 이와 같이, 도 7에 도시된 표시장치(500)는 액정층(382)을 포함하는 액정 표시장치이다.
- [0122] 구체적으로, 도 7의 표시장치(500)는, 기관(110), 박막 트랜지스터(200), 평탄화막(190), 제1 전극(381), 액정층(382), 제2 전극(383), 배리어층(320), 컬러필터(341, 342), 차광부(350) 및 대향 기관(310)을 포함한다.
- [0123] 기관(110)은 유리 또는 플라스틱으로 만들어질 수 있다. 기관(110)상에는 버퍼층(121)이 배치된다. 또한, 기관(110)과 버퍼층(121) 사이에는 광차단층(180)이 배치된다.
- [0124] 도 7을 참조하면, 박막 트랜지스터(200)는 기관(110) 상의 버퍼층(121) 상에 배치된다. 박막 트랜지스터(200)는 버퍼층(121) 상의 산화물 반도체층(130), 산화물 반도체층(130) 상의 게이트 절연막(120), 게이트 절연막(120) 상의 게이트 전극(140), 산화물 반도체층(130)과 연결된 소스 전극(150) 및 소스 전극(150)과 이격되어 산화물 반도체층(130)과 연결된 드레인 전극(160)을 포함한다.
- [0125] 평탄화막(190)은 박막 트랜지스터(200) 상에 배치되어 기관(110)의 상부를 평탄화시킨다.
- [0126] 제1 전극(381)은 평탄화막(190) 상에 배치된다. 제1 전극(381)은 평탄화막(190)에 구비된 콘택홀(CH5)을 통해 박막 트랜지스터(200)의 드레인 전극(160)과 연결된다.
- [0127] 대향 기관(310)은 기관(110)에 대향되어 배치된다.
- [0128] 대향 기관(310) 상에 차광부(350)가 배치된다. 차광부(350)는 복수의 개구부들을 갖는다. 복수의 개구부들은 화소 전극인 제1 전극(381)에 대응하여 배치된다. 차광부(350)는 개구부들을 제외한 부분에서의 광을 차단한다. 차광부(350)는 반드시 필요한 것은 아니며, 생략될 수도 있다.
- [0129] 컬러필터(341, 342)는 대향 기관(310) 상에 배치되며, 백라이트부(미도시)로부터 입사된 광의 과장을 선택적으로 차단한다. 구체적으로, 컬러필터(341, 342)는 차광부(350)에 의해 정의되는 복수의 개구부에 배치될 수 있다. 각각의 컬러필터(341, 342)는 적색, 녹색, 청색 중 어느 하나의 색을 표현할 수 있다. 각각의 컬러필터(341, 342)는 적색, 녹색, 청색 이외의 다른 색을 표현할 수도 있다.
- [0130] 컬러필터(341, 342)와 차광부(350) 상에 배리어층(320)이 배치될 수 있다. 배리어층(320)은 생략될 수 있다.
- [0131] 제2 전극(383)은 배리어층(320) 상에 배치된다. 예를 들어, 제2 전극(383)은 대향 기관(310)의 전면에 위치할 수 있다. 제2 전극(383)은 ITO 또는 IZO 등의 투명한 도전물질로 이루어질 수 있다.
- [0132] 제1 전극(381)과 제2 전극(383)은 대향되어 배치되며, 그 사이에 액정층(382)이 배치된다. 제2 전극(383)은 제1 전극(381)과 함께 액정층(382)에 전계를 인가한다.
- [0133] 기관(110)과 대향 기관(310) 사이의 마주보는 면들을 각각 해당 기관의 상부면으로 정의하고, 그 상부면들의 반대편에 위치한 면들을 각각 해당 기관의 하부면으로 정의할 때, 기관(110)의 하부면과 대향 기관(310)의 하부면에 각각 편광판이 배치될 수 있다.
- [0134] 이하, 실시예, 비교예 및 시험예를 참조하여 본 발명을 보다 상세히 설명한다.

- [0135] [실시에 1]
- [0136] 하나의 유리로 된 마더 글라스(기판) 상에 공통 공정에 의해 복수개(10x10개)의 박막 트랜지스터를 형성하였다.
- [0137] 구체적으로, 유리로 된 기판(110) 상에 실리콘 산화물로 된 버퍼층(121)을 형성하고, 버퍼층(121) 상에 증착에 의해 30nm 두께의 산화물 반도체층(130)을 형성하였다.
- [0138] 산화물 반도체 물질 및 6B족 원소를 이용하는 공증착에 의해 제1 도핑부(132a) 및 제2 도핑부(132b)를 형성하였다. 이 때, 산화물 반도체층 물질로 원자수 기준으로, 인듐(In) 갈륨(Ga)과 아연(Zn)의 비가 1:1:1인 IGZO계 산화물 반도체 물질이 사용되었다. 6B족 원소로 몰리브덴(Mo)이 사용되었다. 6B족 원소는, 원자수 기준으로, 제1 도핑부(132a) 및 제2 도핑부(132b)의 전체 금속 원소 대비 5 원자%(at%) 만큼 사용되었다.
- [0139] 제1 도핑부(132a) 및 제2 도핑부(132b)를 포함하는 기판(110) 상에 산화물 반도체 물질층(135)을 형성하였다. 산화물 반도체 물질층(135) 형성을 위해 원자수 기준으로, 인듐(In) 갈륨(Ga)과 아연(Zn)의 비가 1:1:1인 IGZO계 산화물 반도체 물질이 사용되었다.
- [0140] 제1 도핑부(132a) 및 제2 도핑부(132b) 사이의 산화물 반도체 물질층(135) 상에 실리콘 질화물로 된 게이트 절연막(120) 및 Mo/Ti의 합금으로 이루어진 100nm 두께의 게이트 전극(140)을 형성하였다.
- [0141] 다음, 산화물 반도체 물질층(135) 상에 포토 레지스트(179)를 선택적으로 배치하고, 에칭(드라이 에칭 D/E)에 의해 산화물 반도체 물질층(135)이 패터닝함으로써, 게이트 전극(140)과 중첩하는 채널부(131), 소스 전극(150)과 연결되는 제1 연결부(133a), 드레인 전극(160)과 연결되는 제2 연결부(133b), 채널부(131)와 제1 연결부(133a) 사이의 제1 도핑부(132a) 및 채널부(131)와 제2 연결부(133b) 사이의 제2 도핑부(132b)를 포함하는 산화물 반도체층(130)을 형성하였다.
- [0142] 산화물 반도체층(130)을 포함하는 기판(110) 상에 층간 절연막(170)을 형성하고, Mo/Ti 합금을 이용하여 100nm 두께의 소스 전극(150)과 드레인 전극(160)을 형성하여 박막 트랜지스터를 제조하였다.
- [0143] [비교예 1]
- [0144] 산화물 반도체층(130) 형성 과정에서 제1 도핑부(132a) 및 제2 도핑부(132b)를 형성하지 않고, 산화물 반도체 물질층(135)을 버퍼층(121) 상에 형성한 후 패터닝함으로써 산화물 반도체층(130)을 형성한 것을 제외하고, 실시예 1과 동일하게, 하나의 유리로 된 마더 글라스(기판) 상에 복수개(10x10개)의 박막 트랜지스터를 형성하였다.
- [0145] [비교예 2]
- [0146] 비교예 1의 방법에 따르되, 산화물 반도체층(130) 상의 전면에 플라즈마를 이용하여 몰리브덴(Mo)을 도핑한다는 것을 제외하고, 비교예 1과 동일하게, 하나의 유리로 된 마더 글라스(기판) 상에 복수개(10x10개)의 박막 트랜지스터를 형성하였다.
- [0147] [시험예 1] 문턱전압(Vth) 측정
- [0148] 실시예 1, 비교예 1 및 비교예 2에서 제조된 박막 트랜지스터들 중 임의의 9개 지점의 박막 트랜지스터에 대해 문턱전압(Vth)을 측정하였다. 문턱전압(Vth) 측정을 위해, -20V 내지 +20V 범위의 게이트 전압(Vg)을 인가하면서 드레인-소스 전류(DS Current)를 측정하였다. 소스 전극(150)과 드레인 전극(160) 사이에는 0.1V 및 10V의 전압이 인가되었다. 그 결과는 도 8a, 8b 및 8c에 도시되어 있다.
- [0149] 도 8a, 8b, 8c는 각각 실시예 1, 비교예 1 및 비교예 2의 박막 트랜지스터에 대한 문턱전압(Vth) 측정 그래프이다. 도 8a, 8b 및 8c의 V10은 소스 전극(150)과 드레인 전극(160) 사이에 10V의 전압이 인가된 때의 측정 결과이고, V0.1은 소스 전극(150)과 드레인 전극(160) 사이에 0.1V의 전압이 인가된 때의 측정 결과이다.
- [0150] 도 8a를 참조하면, 실시예 1의 박막 트랜지스터는 매우 작은 문턱전압(Vth)의 편차(ΔV_{th})를 가진다는 것을 확인할 수 있다. 실시예 1의 박막 트랜지스터에 있어서 문턱전압(Vth)의 평균은 0.49V이며, 문턱전압(Vth)이 양(+)의 값으로 아주 조금 쉬프트 되었음을 확인하였다. 또한, 실시예 1의 박막 트랜지스터는 0.1 정도의 매우 작은 s-팩터(s-factor)를 가지는 것으로 확인되었다.
- [0151] 도 8b를 참조하면, 비교예 1의 박막 트랜지스터는 매우 큰 문턱전압(Vth)의 편차(ΔV_{th})를 가진다는 것을 확인할 수 있다. 비교예 1의 박막 트랜지스터에 있어서 문턱전압(Vth)의 평균은 -4.67V이고, 문턱전압(Vth)이 음(-)의 값으로 많이 쉬프트 되었음을 확인하였다. 또한, 비교예 1의 박막 트랜지스터는 비교적 큰 0.59의 s-팩터

(s-factor)를 가지는 것으로 확인되었다.

- [0152] s-팩터(sub-threshold swing: s-factor)는 게이트 전압에 대한 드레인 전류 특성의 그래프에서, 스위칭 소자로서 작동하는 구간에서의 기울기의 역수값을 나타낸다. S-팩터가 증가되면, 게이트 전압에 대한 드레인 전류 특성 그래프의 기울기가 감소되어, 박막 트랜지스터(100)의 스위칭 특성이 저하된다.
- [0153] 도 8c를 참조하면, 비교예 2의 박막 트랜지스터는 매우 작은 문턱전압(V_{th})의 편차(ΔV_{th})를 가지며, 문턱전압(V_{th})이 양(+)의 값으로 조금 쉬프트 되었음을 확인할 수 있다. 그러나, 비교예 1의 박막 트랜지스터는 $35 \text{ cm}^2/\text{V} \cdot \text{s}$ 미만의 낮은 이동도(Mobility)를 가지는 것으로 확인되었다.
- [0154] [시험예 2] 이동도(Mobility) 측정
- [0155] 홀 측정방법(Hall measurement)에 따라, 실시예 1, 비교예 1 및 비교예 2의 박막 트랜지스터에 대해 이동도(Mobility)를 측정하였다. 그 결과, 실시예 1에 따른 박막 트랜지스터는 $45.21 \text{ cm}^2/\text{V} \cdot \text{s}$ 의 이동도를 가지며, 비교예 1에 따른 박막 트랜지스터는 $64.61 \text{ cm}^2/\text{V} \cdot \text{s}$ 의 이동도를 가지며, 비교예 2에 따른 박막 트랜지스터는 $32.43 \text{ cm}^2/\text{V} \cdot \text{s}$ 의 낮은 이동도를 가지는 것으로 측정되었다.
- [0156] 비교예 1에 따른 박막 트랜지스터는, 수소 유입에 의해 산화물 반도체층(130)이 도체화되어, 실시예 1의 박막 트랜지스터보다 높은 이동도를 가지는 것으로 해석된다.
- [0157] 비교예 2에 따른 박막 트랜지스터는, 산화물 반도체층(130)의 전체 표면이 몰리브덴(Mo)으로 도핑되어, 채널부에까지 몰리브덴 산화물(MoO_3)이 형성된 결과, 낮은 이동도를 가지게 된 것으로 해석된다. 이와 같이, 6B족 원소가 산화물 반도체층의 전체면에 도핑되는 경우 박막 트랜지스터의 전기적 특성이 저하될 수 있다.
- [0158] [시험예 3] 수소(H) 함량비 측정
- [0159] TOF-SIMS (Time of Flight Secondary Ion Mass Spectrometry, 비행 시간형 2차 이온 질량분석기)를 이용하여, 실시예 1 및 비교예 1에 따른 박막 트랜지스터의 채널부에 포함된 수소의 함량비를 측정하였다. 여기서, 채널부는 산화물 반도체층(130) 중 게이트 전극(140)과 중첩하는 영역이다.
- [0160] TOF-SIMS는 일정한 에너지를 가진 일차 이온을 고체표면에 입사시킨 후 방출되어 나오는 이차이온을 분석하여 재료 표면을 구성하고 있는 원자나 분자를 분석하는 장치이다. 측정 결과, 실시예 1에 따른 박막 트랜지스터의 산화물 반도체층에 포함된 수소의 함량비는 1 원자%(at%)였고, 비교예 1에 따른 박막 트랜지스터의 산화물 반도체층에 포함된 수소의 함량비는 5 원자%(at%)였다. 이와 같이, 비교예 1에 따른 박막 트랜지스터의 산화물 반도체층에는 수소가 다량 유입되었음을 확인할 수 있다.
- [0161] [시험예 4] ΔL 측정
- [0162] 실시예 1 및 비교예 1에 따른 박막 트랜지스터의 산화물 반도체층에 대해, 채널부의 도체화 길이(ΔL)를 측정하였다.
- [0163] 도 9는 채널부의 도체화 길이(ΔL)를 설명하는 상세도이다. 도 9를 참조하면, 산화물 반도체층(130) 중 게이트 전극(140)과 중첩하는 채널부는 " L_{ideal} "로 표시된다. 산화물 반도체층(130) 중 채널부(L_{ideal})이외의 영역(L_D)은 연결 영역(L_D)이라 한다. 실시예 1에 따른 박막 트랜지스터의 산화물 반도체층에 있어서, 도핑부(132a, 132b)는 연결 영역(L_D)에 포함된다.
- [0164] 산화물 반도체층(130)으로 수소가 유입되면, 채널부(L_{ideal})의 일부가 도체화되며, 도체화된 영역은 채널의 역할을 하지 못한다. 채널부(L_{ideal}) 중 도체화된 부분의 길이를 도체화 길이(ΔL)라고 한다. 또한, 채널부(L_{ideal}) 중 도체화되지 않고 유효하게 채널 역할을 할 수 있는 영역의 길이를 유효 채널 길이(L_{eff})라고 한다. 채널부(L_{ideal}) 중의 도체화 길이(ΔL)가 커지면 유효 채널 길이(L_{eff})가 감소되어, 박막 트랜지스터의 스위칭 기능이 저하된다.
- [0165] 본 발명의 일 실시예에 따르면, 유효 채널 길이(L_{eff})가 소정의 길이 이상, 예를 들어, $4\mu\text{m}$ 이상이어야 박막 트랜지스터가 스위칭 기능을 할 수 있다. 유효 채널 길이(L_{eff}) 확보를 위해 도체화 길이(ΔL)를 감소시키는 것이 필요하다. 도체화 길이(ΔL)가 감소되는 경우, 작은 면적의 산화물 반도체층(130)에서도 유효 채널 길이(L_{eff})가

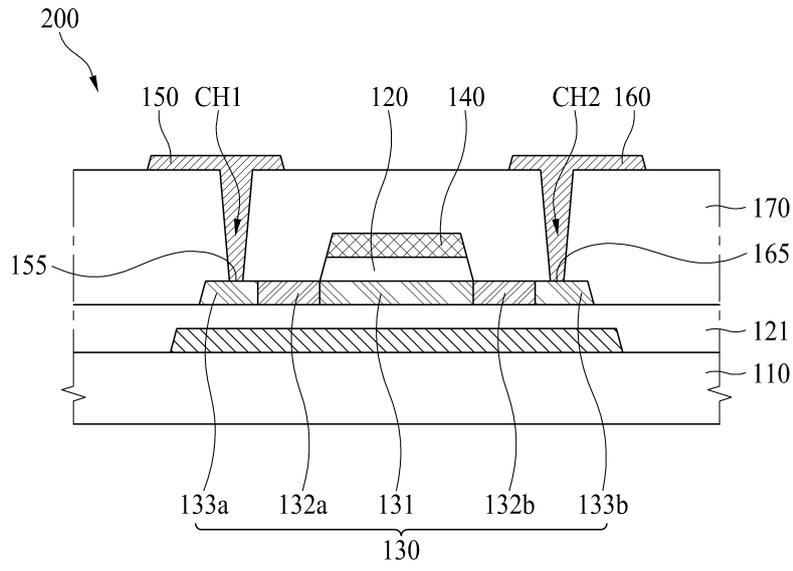
확보될 수 있기 때문에, 소자의 소형화 및 고밀도화가 가능해진다.

- [0166] 시험예 4에서는 산화물 반도체층(130)의 각 부분별 캐리어(전자) 농도를 측정하여 도체화 길이(ΔL)를 측정하였다. 구체적으로, 채널부(L_{ideal}) 중 연결 영역(L_D)의 캐리어(전자) 농도 대비 1/100 이하의 캐리어(전자) 농도를 갖는 영역의 길이를 유효 채널 길이(L_{eff})이라 하였으며, 이를 초과하는 캐리어(전자) 농도를 갖는 영역은 도체화 되었다고 판정하였다.
- [0167] 보다 구체적으로, 연결 영역(L_D)은 10^{20} 개 이상의 캐리어(전자) 농도를 갖는다는 것을 확인하였다. 따라서, 채널부(L_{ideal}) 중 10^{18} 개 이하의 캐리어(전자) 농도를 갖는 영역의 길이를 측정하여 이를 유효 채널 길이(L_{eff})라 하고, 10^{18} 개를 초과하는 캐리어(전자) 농도를 갖는 영역의 길이를 도체화 길이(ΔL)라고 하였다.
- [0168] 평가를 위해, 채널부(L_{ideal}) 양쪽의 도체화 길이($2\Delta L$)를 계산하였다. 그 결과, 실시예 1에 따른 산화물 반도체층(130)에서 채널부(L_{ideal}) 양쪽의 도체화 길이($2\Delta L$)는 $1.5\mu m$ 였고, 비교예 1에 따른 산화물 반도체층(130)에서 채널부(L_{ideal}) 양쪽의 도체화 길이($2\Delta L$)는 $3.4\mu m$ 였다. 이와 같이, 비교예 1의 산화물 반도체층(130)의 채널부(L_{ideal})에서는 수소에 의한 도체화 길이가 증가되어, 유효 채널 길이(L_{eff})가 심각하게 감소됨을 확인할 수 있다.
- [0169] 반면, 본 발명의 일 실시예에 따른 산화물 반도체층(130)의 채널부(L_{ideal})에서는 도체화가 심하게 발생하지 않기 때문에, 유효 채널 길이(L_{eff}) 확보가 용이하여, 산화물 반도체층(130)의 면적이 좀더라도 유효 채널 길이(L_{eff})를 확보할 수 있다. 따라서, 박막 트랜지스터의 소형화 및 고집적화가 가능하다.
- [0170] 이상의 결과로부터, 본 발명의 일 실시예에 따른 박막 트랜지스터는 우수한 문턱전압(V_{th}) 특성을 가지며, 산화물 반도체층(130)으로 유입된 수소의 함량이 적으며, 채널 영역의 도체화 길이(ΔL)가 짧다는 것을 확인할 수 있다.
- [0171] 이와 같이, 본 발명의 일 실시예에 따른 박막 트랜지스터는 우수한 신뢰성 및 구동 특성을 가지며, 이러한 박막 트랜지스터를 포함하는 본 발명의 일 실시예에 따른 표시장치는 우수한 신뢰성을 가질 수 있다.
- [0172] 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니며, 본 발명의 기술적 사항을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다. 그러므로, 본 발명의 범위는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미, 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

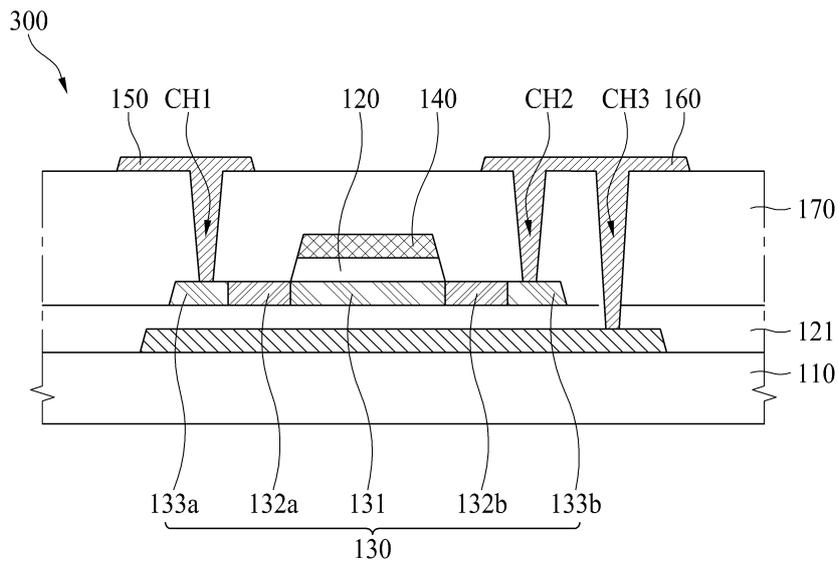
부호의 설명

- [0173] 100, 200, 300: 박막 트랜지스터
- 110: 기판
- 120: 게이트 절연막
- 130: 산화물 반도체층
- 131: 채널부
- 132a: 제1 도핑부
- 132b: 제2 도핑부
- 133a: 제1 연결부
- 133b: 제1 연결부
- 140: 게이트 전극
- 150: 소스 전극
- 160: 드레인 전극
- 170: 층간 절연막
- 180: 광차단층
- 190: 평탄화막
- 250: बैं크층
- 270: 유기 발광 소자
- 271, 381: 제1 전극
- 272: 유기층
- 273, 383: 제2 전극
- 310: 대향 기판

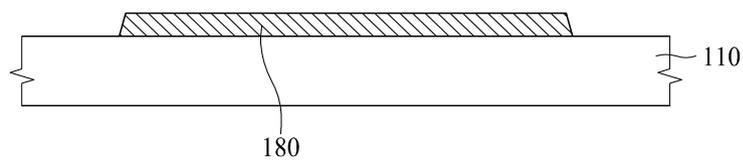
도면3



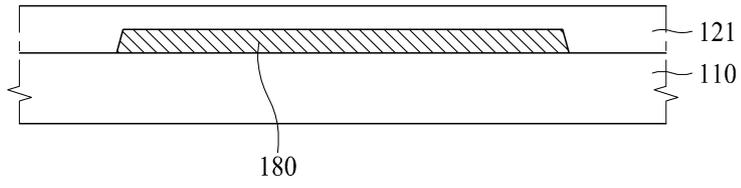
도면4



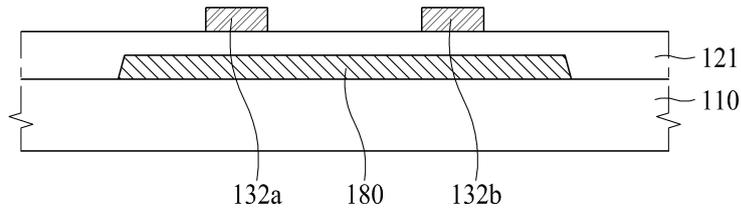
도면5a



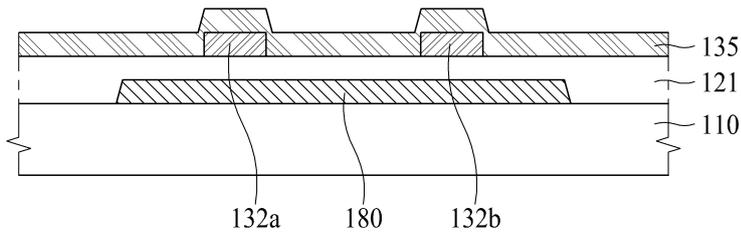
도면5b



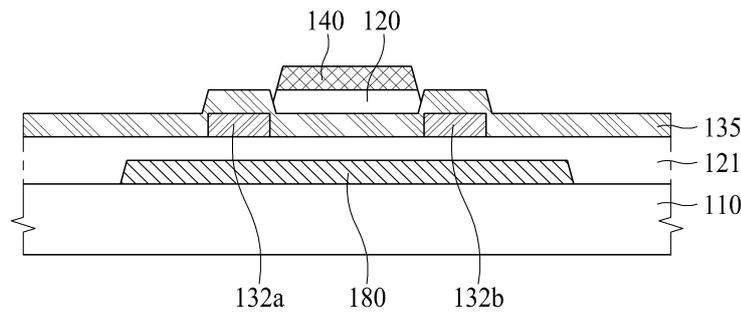
도면5c



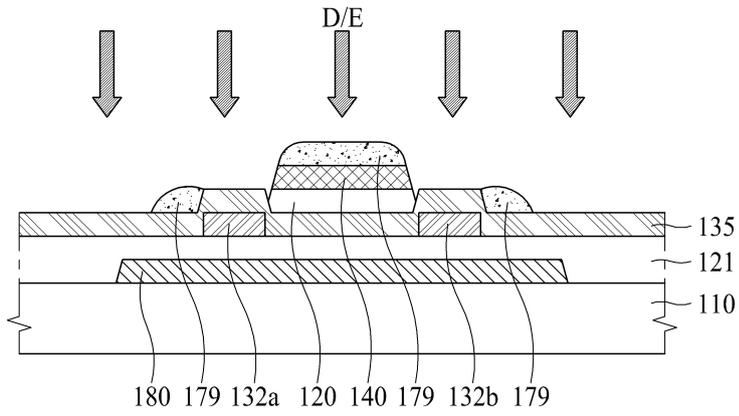
도면5d



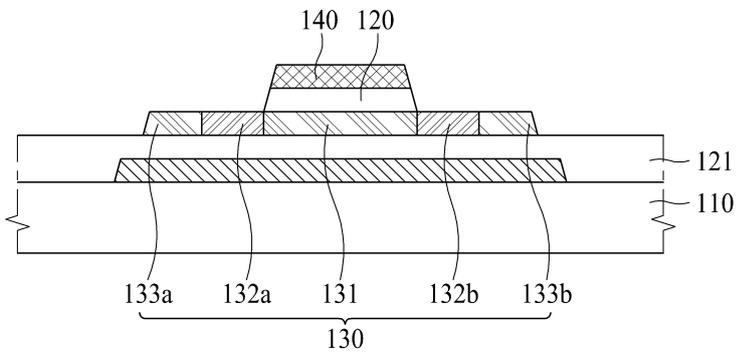
도면5e



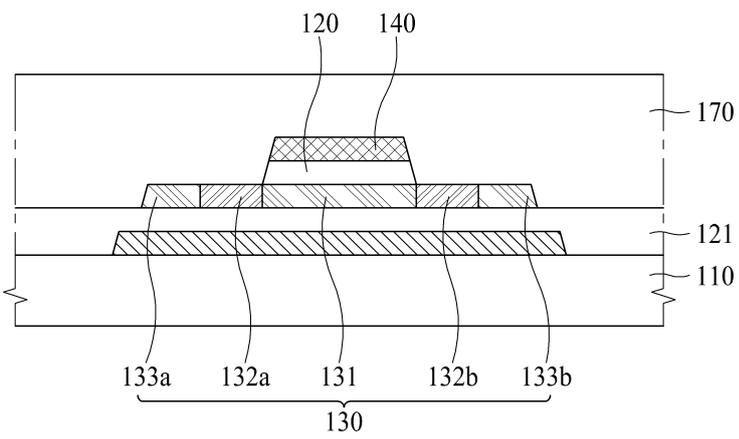
도면5f



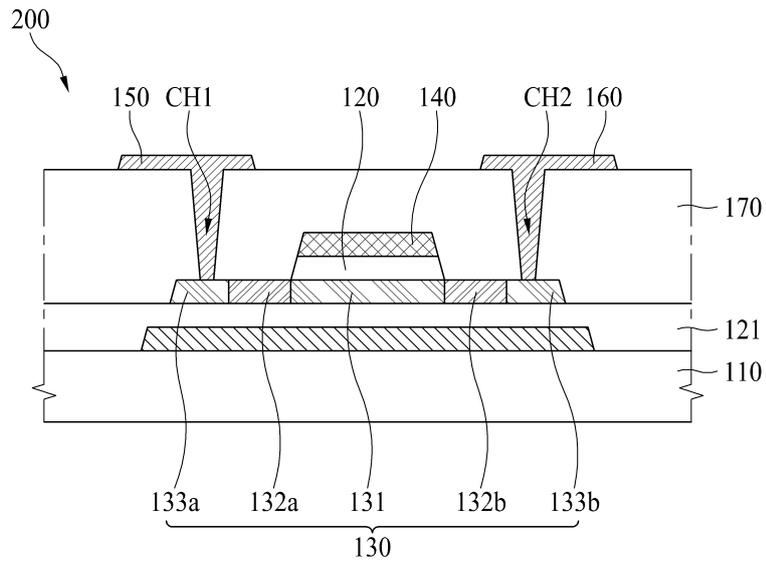
도면5g



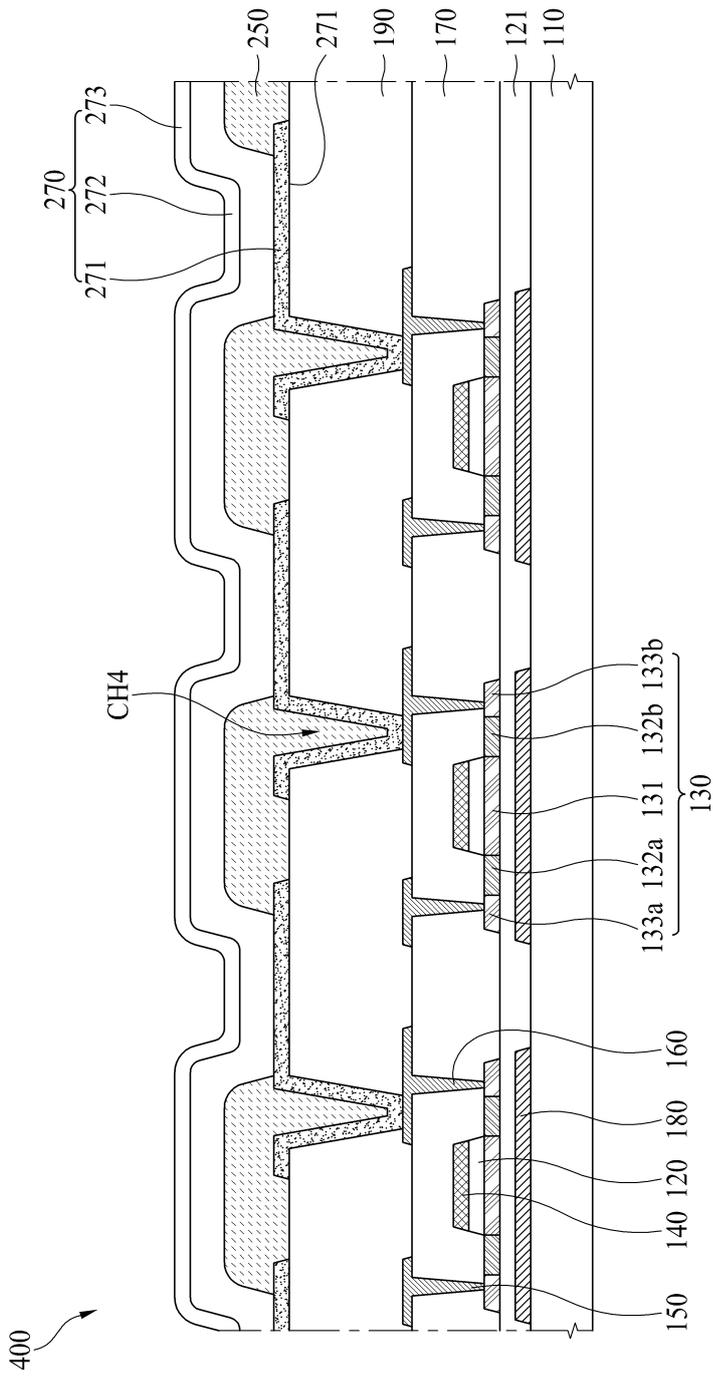
도면5h



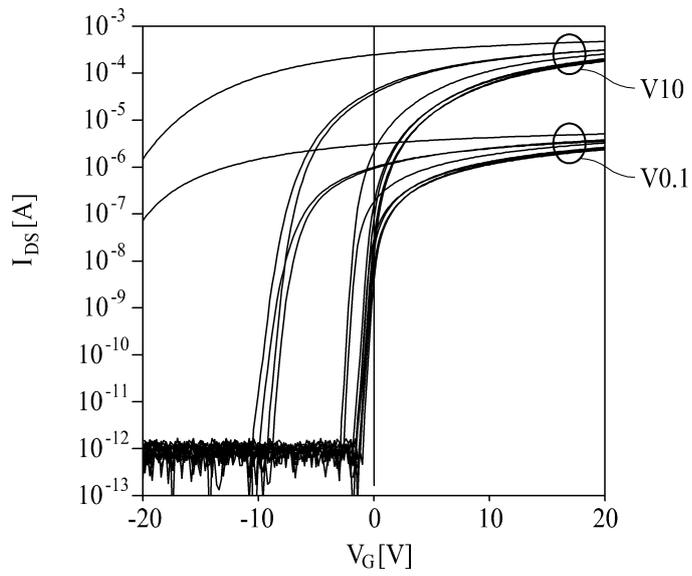
도면5i



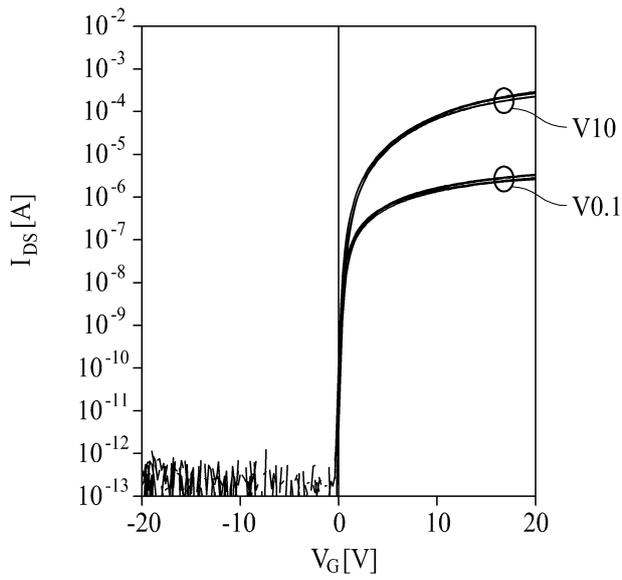
도면6



도면8b



도면8c



도면9

