

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4543055号  
(P4543055)

(45) 発行日 平成22年9月15日(2010.9.15)

(24) 登録日 平成22年7月2日(2010.7.2)

(51) Int.Cl.		F I		
<b>G 1 1 C 16/06</b>	<b>(2006.01)</b>	G 1 1 C	17/00	6 3 4 G
<b>G 1 1 C 16/02</b>	<b>(2006.01)</b>	G 1 1 C	17/00	6 1 1 G
		G 1 1 C	17/00	6 1 1 A
		G 1 1 C	17/00	6 4 1

請求項の数 5 (全 50 頁)

(21) 出願番号	特願2007-96896 (P2007-96896)	(73) 特許権者	000003078
(22) 出願日	平成19年4月2日(2007.4.2)		株式会社東芝
(62) 分割の表示	特願2000-323199 (P2000-323199) の分割		東京都港区芝浦一丁目1番1号
原出願日	平成12年10月23日(2000.10.23)	(74) 代理人	100092820
(65) 公開番号	特開2007-213806 (P2007-213806A)		弁理士 伊丹 勝
(43) 公開日	平成19年8月23日(2007.8.23)	(74) 代理人	100106389
審査請求日	平成19年4月2日(2007.4.2)		弁理士 田村 和彦
(31) 優先権主張番号	特願2000-63798 (P2000-63798)	(72) 発明者	細野 浩司
(32) 優先日	平成12年3月8日(2000.3.8)		神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝マイクロエレクトロニクスセン ター内
(33) 優先権主張国	日本国(JP)	(72) 発明者	中村 寛
			神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝マイクロエレクトロニクスセン ター内

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

電氣的書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、  
このメモリセルアレイに書き込むべきデータを一時保持し、メモリセルアレイからの読  
み出しデータをセンスする複数の書き換え/読み出し回路と、

前記メモリセルアレイのデータ書き換え動作、及び読み出し動作を制御する制御回路と  
を備え、

前記各書き換え/読み出し回路は、前記メモリセルアレイの選択ビット線に第1の転送  
スイッチ素子及び第2の転送スイッチ素子を直列に介して接続される第1のラッチ回路と  
、前記第1の転送スイッチ素子と第2の転送スイッチ素子の接続ノードに第3の転送スイ  
ッチ素子を介して接続される第2のラッチ回路とを有し、前記メモリセルから前記第1の  
ラッチ回路に読み出したデータを前記第2のラッチ回路に転送した後に入出力端子から出  
力し、前記入出力端子から前記第2のラッチ回路に入力されたデータを前記第1のラッチ  
回路に転送した後に前記メモリセルに書き込むものであり、且つ

前記第2のラッチ回路のデータノードがカラム選択スイッチを介してデータ入出力線に  
接続され、

前記データ入出力線は、前記入出力端子からのデータ入出力を行なうためのものであり  
、前記第1のラッチ回路と前記第2のラッチ回路の内の前記第2のラッチ回路にのみ接続  
されている

ことを特徴とする不揮発性半導体記憶装置。

## 【請求項 2】

選択メモリセルへのデータ書き込みの後、その書き込みデータを読み出して確認するベリファイ読み出し動作を有し、前記ベリファイ読み出し動作におけるデータセンスとデータ保持は第 1 のラッチ回路により行われることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

## 【請求項 3】

1 つの前記不揮発性メモリセルに 2 ビットのデータを記憶する多値論理動作モードにおいて、第 1 の転送スイッチ素子と第 3 の転送スイッチ素子を導通させて第 2 のラッチ回路とビット線を接続し、第 2 のラッチ回路に保持したデータによりビット線プリチャージを行う書き込みベリファイ動作を有する

10

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

## 【請求項 4】

前記書き換え / 読み出し回路は、前記第 1 の転送スイッチ素子と第 2 の転送スイッチ素子の接続ノードに第 4 の転送スイッチ素子を介して、所定電位が与えられる共通信号線が接続される

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

## 【請求項 5】

前記書き換え / 読み出し回路は、前記第 1 のラッチ回路のデータノードの電位を待避させて一時記憶するための一時記憶ノードと、前記第 4 の転送スイッチ素子と共通信号線と間に挿入されて前記一時記憶ノードの電位により制御される第 5 の転送スイッチ素子とを

20

ことを特徴とする請求項 4 記載の不揮発性半導体記憶装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

この発明は、電氣的書き換え可能な不揮発性半導体記憶装置 (EEPROM) に係り、特にキャッシュ機能や多値論理動作機能を実現できるようにした、書込みデータや読み出しデータを一時的に保持するデータ書き換え / 読み出し回路に関する。

## 【背景技術】

## 【0002】

30

ファイルメモリ用途に用いられる大容量フラッシュ EEPROM においては、ビット単価を安くすることが課題となっている。そのためにプロセス技術とセル構造で微細化を進めるだけでなく、多値論理技術を使って大容量化する動きが活発になってきている。

## 【0003】

図 4 2 は、NAND 型フラッシュ EEPROM において、一つの不揮発性メモリセルに 2 ビットのデータを記憶する多値論理動作 (4 値論理動作) を実現するデータ書き換え / 読み出し回路 (以後、これをページバッファと称する) を示している。このページバッファには、データ入出力バッファ 5 0 を介してデータ入出力端子 I/O と接続されるラッチ回路 1 と、データ入出力バッファ 5 0 とは直接接続されないラッチ回路 2 とが設けられている。それぞれのラッチ回路 1, 2 とメモリセル 5 のビット線 BL の間には、転送トランジスタ 4 2, 6 0, 3 0, 6 1 が設けられ、VCC を転送する経路には転送トランジスタ 7 1, 7 0 が、VSS を転送する経路には転送トランジスタ 8 0, 8 1 がそれぞれ設けられ、ビット線にプリチャージ電位 VA を転送し、シールド電位 VB を転送するために、転送トランジスタ 6 3, 6 4 が設けられている。

40

## 【0004】

これにより、2 本のビット線 BLe, BLo が一つのページバッファを共有する形で選択的にページバッファに接続される構成となっている (詳しくは、非特許文献 1 参照)。

## 【0005】

2 bit / cell の実現は、図 4 3 (a) のようなメモリセルのしきい値分布と 2 ビットの論理データの対応関係を定義し、第一ビットと第二ビットを異なるロウアドレスに

50

割り付けることによって、1メモリセルで4値データの書き込み、読み出しが可能となる。第一ビットは、上位のビット、第二ビットは、下位のビットで、例えば、“10”の場合、第一ビットは“1”、第二ビットは“0”とする。

【0006】

書き込み動作において、第二ビットのデータを書き込む場合には、まず、第二の多値用ロウアドレスに対応する書き込みデータをデータ入出力端子からラッチ回路1にロードする。その書き込みデータが“0”である場合には、図43(a)の“11”状態から“10”状態に書き込みを行う。その書き込みデータが“1”である場合には、非書き込み(書き込み禁止)となって“11”状態のままである。

【0007】

第一ビットのデータを書き込む場合には、図44に示すように、第一の多値用ロウアドレスに対応する書き込みデータをデータ入出力端子からラッチ回路1にロードし、メモリセルからは既に書き込まれている第二ビットのデータをラッチ回路2に読み出す。ラッチ回路1の書き込みデータが“0”である場合には、ラッチ回路2に保持した第二ビットのデータが“1”の場合には、“11”状態から“01”状態へ、また、ラッチ回路2に保持した第二ビットのデータが“0”の場合には“10”状態から“00”状態へ書き込みを行う。ラッチ回路1に保持した第一ビットの書き込みデータが“1”である場合には、非書き込みとなって、第二ビットのしきい値状態がそのまま保たれ、“11”状態は“11”状態を保ち、“10”状態は“10”状態を保つ。

【0008】

この従来例では、一つの不揮発性メモリセルに2ビットの論理データを記憶するが、第一ビットのデータは、第一の多値用ロウアドレスのデータ、第二ビットのデータは第二の多値用ロウアドレスのデータとして扱われ、一つのメモリセルに二つのロウアドレスが割り当てられていることを特徴としている。ここでは、その二つのロウアドレスを第一の多値用ロウアドレス、第二の多値用ロウアドレスと称している。

【0009】

読み出し動作においては、選択ワード線電圧を図43(a)の $V_{r00}$ 、 $V_{r01}$ 、 $V_{r10}$ の順に設定し、 $V_{r00}$ 時のデータは、ラッチ回路1に読み出し、 $V_{r01}$ 時のデータは、ラッチ回路2に読み出し、 $V_{r10}$ 時の読み出しデータは、ビット線放電後に、ラッチ回路1とラッチ回路2のデータでビット線を再充電、あるいは再放電し、論理的につじつまがあうようにラッチ回路1に読み出される。これは、多値動作の一例であるが、このように、多値動作に対応したページバッファには、少なくとも2個のラッチ回路が必要となっている。

【0010】

このような多値動作による大容量化の一方で、フラッシュEEPROMの書き込み速度や読み出し速度の向上も重要になってきている。そのために、図45(a)に示すように、メモリセルアレイ100が100a、100bに2分割されている場合、2ページ分のデータロードの後に2つのセルアレイ100a、100bで同時に書き込みを行い、書き込み単位を大きくして実効書き込み速度を向上することが有効である。更に実効書き込み速度を向上するには、4分割アレイ、8分割アレイとして、書き込み単位を4ページ、8ページと増やしていけば良い。

【0011】

しかし、セルアレイ分割数を増やすと今度は、書き込み単位が増加することによって、データロード時間が目立つようになってくる。例えば、1バイトのデータ入力サイクル50nsで1ページ(512バイト)のデータロードを行うと約25us、4ページでは約100usかかる。一回の書き込み時間は約200usである。よって、一括書き込み単位が4倍になることによって実効書き込み速度は向上するが、連続して次の4ページの書き込むには、4ページ分のデータロードの時間約100us待たねばならない。また、実際には、このようにセルアレイ分割数を増やすと、チップ面積が大きくなり、消費電力も増加する。

10

20

30

40

50

## 【 0 0 1 2 】

このように、フラッシュEEPROMには、大容量化と書き込み速度の高速化が期待されているが、多値動作の場合には、通常の1ビットの論理データを一つの不揮発性メモリセルに記憶する2値動作の書き込みに比べて書き込み時間が数倍程度長い。よって、データロード時間より書き込み時間のほうが非常に長いため、多値動作の場合は、セルアレイ分割により一括書き込みできるデータ量を増やすことが実効書き込み速度向上に効果的となっている。一方で、2値動作時の実効書き込み速度の高速化においては、前述のようにセルアレイ分割だけではデータロードの時間の占める割合が大きく効率が悪いので、データロード時間を見えなくすることが有効である。そのためには、図45(b)に示すように、書き込み動作実行中に次の書き込みデータをロードできるように、ページバッファ140a1, 140a2とは別に、キャッシュ(データレジスタ)140b1, 140b2があれば良い。キャッシュ140b1, 140b2の機能条件は、ページバッファ140a1, 140a2が読み出しや書き込みの動作中にデータ入出力端子との間でデータのやりとりができること、データを安定保持できること、ページバッファ140a1, 140a2との間で双方向のデータ転送ができること等である。

10

【非特許文献1】K. Takeuchi et al., "A Multipage Cell Architecture for High-Speed Programming Multilevel NAND Flash Memories", IEEE J. Solid-State Circuit Circuits, VOL. 33, pp. 1228-1238, Aug. 1998.

20

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【 0 0 1 3 】

以上のように、フラッシュEEPROMは、大容量化のためには多値論理機能を実現し、高速化のためにはキャッシュ機能を実現することが望まれる。これらの機能は共に、一つのページバッファにラッチ回路を2個備えることで実現できる機能である。この発明は、上記事情を考慮してなされたもので、キャッシュ機能や多値論理動作機能をそれぞれ最適条件で実現可能とした書き換え/読み出し回路を持つ不揮発性半導体記憶装置を提供することを目的とする。この発明はまた、高いセンスマージンでビット線データをセンスすることを可能としたセンスアンプ回路を有する不揮発性半導体記憶装置を提供することを

30

## 【課題を解決するための手段】

## 【 0 0 1 4 】

この発明に係る不揮発性半導体記憶装置は、電気的書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、このメモリセルアレイに書き込むべきデータを一時保持し、メモリセルアレイからの読み出しデータをセンスする複数の書き換え/読み出し回路と、前記メモリセルアレイのデータ書き換え動作、及び読み出し動作を制御する制御回路とを備え、前記各書き換え/読み出し回路は、前記メモリセルアレイに選択的に接続されると共に、相互のデータ転送が可能な第1のラッチ回路と第2のラッチ回路を有し、且つ2ビットの4値データを一つのメモリセルに異なるしきい値電圧の範囲として記憶するようにして、前記第1及び第2のラッチ回路を用いて4値データの上位ビットと下位ビットの書き換え/読み出しを行う多値論理動作モードと、一つのメモリセルに記憶される1ビットの2値データに関して、第1のアドレスで選択されたメモリセルと前記第1のラッチ回路との間でデータ授受が行われる期間に、第2のアドレスについて前記第2のラッチ回路と入出力端子の間でデータ授受が行われるキャッシュ動作モードとを有することを特徴とする。

40

## 【 0 0 1 5 】

この発明によると、書き込みデータや読み出しデータを一時的に保持するデータ書き換え/読み出し回路に2次的なラッチ回路を備え、この2次的なラッチ回路を有効に動作させることにより、キャッシュ機能や多値論理機能をそれぞれ最適条件で実現することがで

50

きる。即ち、キャッシュ機能による書き込み速度優先のフラッシュEEPROMと、多値論理動作による大容量フラッシュEEPROMとの切り換えが可能になる。この場合、多値論理動作と二値論理動作におけるキャッシュ動作とは、コマンド入力によって時間的に切り換えられて実行されるものであってもよいし、或いは多値動作の中でもデータのアドレスに依存するがオーバーラップしてキャッシュ動作が行われるようにすることもできる。

【0016】

この発明に係る不揮発性半導体記憶装置はまた、電氣的書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、このメモリセルアレイに書き込むべきデータを一時保持し、メモリセルアレイからの読み出しデータをセンスする複数の書き換え/読み出し回路と、前記メモリセルアレイのデータ書き換え動作、及び読み出し動作を制御する制御回路とを備え、前記各書き換え/読み出し回路は、前記メモリセルアレイの選択ビット線に第1の転送スイッチ素子及び第2の転送スイッチ素子を直列に介して接続される第1のラッチ回路と、前記第1の転送スイッチ素子と第2の転送スイッチ素子の接続ノードに第3の転送スイッチ素子を介して接続される第2のラッチ回路とを有し、且つ前記第2のラッチ回路のデータノードがカラム選択スイッチを介してデータ入出力線に接続されていることを特徴とする。この様に、書き換え/読み出し回路を構成する第1、第2のラッチ回路の接続関係を設定することにより、キャッシュ機能と多値論理動作機能を実現することができる。

【0017】

この発明の好ましい態様においては、選択メモリセルへのデータ書き込みの後、その書き込みデータを読み出して確認するベリファイ読み出し動作を有し、ベリファイ読み出し動作におけるデータセンスとデータ保持は第1のラッチ回路により行われるものとする。またこの発明において、具体的に書き換え/読み出し回路は、2ビットの4値データを一つのメモリセルに異なるしきい値電圧の範囲として記憶するようにして、第1及び第2のラッチ回路を用いて4値データの上位ビットと下位ビットの書き換え/読み出しを行う多値論理動作モードと、一つのメモリセルに記憶される1ビットの2値データに関して、第1のアドレスで選択されたメモリセルと第1のラッチ回路との間でデータ授受が行われる期間に、第2のアドレスについて第2のラッチ回路と入出力端子の間でデータ授受が行われるキャッシュ動作モードとを有するものとする。更に具体的には、4値データは、メモリセルのしきい値電圧分布の低い方から、“11”、“10”、“00”、“01”として定義されたものとし、4値データの上位ビットと下位ビットは異なるロウアドレスが割り付けられて書き込み及び読み出しが行われるものとする。

【0018】

更に、多値論理動作モードのデータ書き込み動作の好ましい態様は、下位ビットデータを第2のラッチ回路にロードした後、第1のラッチ回路に転送保持し、第1のラッチ回路の保持データに基づいて選択メモリセルに書き込みを行う第1のデータ書き込み動作と、上位ビットデータを第2のラッチ回路にロードした後、第1のラッチ回路に転送保持すると共に、既に書き込まれた選択メモリセルの下位ビットデータを読み出して第2のラッチ回路に転送保持し、第2のラッチ回路の保持データに応じて決定される条件で第1のラッチ回路の保持データに基づいて選択メモリセルに書き込みを行う第2の書き込み動作とを有するものとする。

【0019】

また、多値論理動作モードのデータ読み出しの好ましい態様は、選択メモリセルの制御ゲートに与える読み出し電圧を4値データの“10”と“00”のしきい値電圧分布の間に設定して上位ビットの“0”、“1”を判定する第1の読み出し動作と、選択メモリセルの制御ゲートに与える読み出し電圧を4値データの“00”と“01”のしきい値電圧分布の間に設定して上位ビットの“0”のときの下位ビットの“0”、“1”を判定する第2の読み出し動作と、選択メモリセルの制御ゲートに与える読み出し電圧を4値データの“11”と“10”のしきい値電圧分布の間に読み出し電圧を設定して上位ビットの“

1”のときの低位ビットの“0”，“1”を判定する第3の読み出し動作とを有するものとする。

【0020】

更にこの発明において、例えば各書き換え/読み出し回路は、メモリセルアレイの複数本のビット線に対してビット線選択スイッチ素子により接続切り換えが可能とされている。また書き換え/読み出し回路は、第1の転送スイッチ素子と第2の転送スイッチ素子の接続ノードに第4の転送スイッチ素子を介して、所定電位が与えられる共通信号線が接続されてもよいし、第1のラッチ回路のデータノードの電位を待避させて一時記憶するための一時記憶ノードと、第4の転送スイッチ素子と共通信号線と間に挿入されて一時記憶ノードの電位により制御される第5の転送スイッチ素子とを有するものとしてもよい。

10

【0021】

この発明に係る不揮発性半導体記憶装置はまた、電氣的書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、このメモリセルアレイに書き込むべきデータを一時保持し、メモリセルアレイからの読み出しデータをセンスする複数の書き換え/読み出し回路と、前記メモリセルアレイのデータ書き換え動作、及び読み出し動作を制御する制御回路とを備え、前記各書き換え/読み出し回路は、前記メモリセルアレイに選択的に接続されると共に、相互のデータ転送が可能な第1のラッチ回路と第2のラッチ回路を有し、且つ一つのメモリセルに記憶される2値データに関して、第1のアドレスで選択されたメモリセルと前記第1のラッチ回路との間でデータ授受が行われる期間に、第2のアドレスについて前記第2のラッチ回路と入出力端子の間でデータ授受が行われるキャッシュ動作モードを有することを特徴とする。この発明によると、二つのラッチ回路の協働により、キャッシュ機能を実現した、高速動作のEEPROMを得ることができる。

20

【0022】

この発明において、メモリセルアレイの選択メモリセルに対するデータ書き込み動作サイクルが書き込みパルス印加と書き込みベリファイ読み出しの繰り返しにより行われる場合に、書き込みベリファイ読み出しのデータを第1のラッチ回路に保持した状態で書き込み動作サイクルを中断し、且つ第2のラッチ回路を非活性に保って、選択されているメモリセルのセル電流を入出力端子に読み出すテストモードを備えることが可能である。この様に書き込み動作中にセル電流を測定するテストモードがあれば、種々の解析に利用することができる。

30

【0023】

この発明に係る不揮発性半導体記憶装置はまた、ビット線の電流引き込みの有無又は大小によりデータが記憶される不揮発性メモリセルを持つメモリセルアレイと、このメモリセルアレイのビット線データを読み出すセンスアンプ回路とを有し、前記センスアンプ回路は、前記メモリセルアレイのビット線にクランプ用トランジスタを介して接続されるセンスノードと、このセンスノードに接続された、前記クランプ用トランジスタを介して前記ビット線をプリチャージするためのプリチャージ回路と、前記センスノードに入力端子が接続されるインバータを含むセンスアンプ本体と、前記センスノードに一端が接続され、他端を駆動端子として前記ビット線データのセンス時に前記センスノードを昇圧するための昇圧用キャパシタと、を備えたことを特徴とする。

40

【0024】

この様に、ビット線データセンス時に、センスノードを昇圧用キャパシタによって電位制御することにより、センスノードに読み出される二値データの“H”，“L”レベルを、センスアンプ本体のインバータの回路しきい値との関係で最適状態に調整することができ、高いセンスマージンを得ることができる。

【0025】

具体的に、昇圧用キャパシタを用いたセンスノードの昇圧動作を含むセンスアンプ回路のビット線データセンスは、次の一連の動作で行われる。(a)クランプ用トランジスタがオンの状態でプリチャージ回路によりビット線をプリチャージし、(b)プリチャージされたビット線が選択されたメモリセルのデータに応じて電位変化する間、クランプ用ト

50

ランジスタをオフ、プリチャージ回路をオンに保ってセンスノードのプリチャージを継続し、(c)プリチャージ回路をオフにし、昇圧用キャパシタを駆動してセンスノードを昇圧し、(d)クランプ用トランジスタのゲートに読み出し電圧を与えてビット線データをセンスノードに転送する。更に具体的にいえば、(d)のビット線データ転送の後、(e)クランプ用トランジスタに与えた読み出し電圧を、クランプ用トランジスタのしきい値電圧よりは高い電圧まで低下させた後に、昇圧用キャパシタによるセンスノードの昇圧動作を停止する。

#### 【0026】

このような昇圧動作を含むセンス動作により、選択されたメモリセルのオン抵抗が大きく、センスノードに読み出されるデータの“L”レベルが十分に低くない場合でも、これをより低いレベルにして、センスアンプ本体の回路しきい値のばらつきによらず、確実にデータ判定することが可能になる。また、データ転送後にクランプ用トランジスタの読み出し電圧を低下させることにより、もともと十分に低い“L”レベル読み出しの場合に、昇圧動作の結果として、センスノードが負電位方向にまで振れるのを防止することができる。

#### 【0027】

この発明に係る不揮発性半導体記憶装置は更に、ビット線の電流引き込みの有無又は大小によりデータが記憶される不揮発性メモリセルを持つメモリセルアレイと、このメモリセルアレイのビット線データを読み出すセンスアンプ回路とを有し、前記センスアンプ回路は、前記メモリセルアレイのビット線にクランプ用トランジスタを介して接続されるセンスノードと、このセンスノードに接続された、前記クランプ用トランジスタを介して前記ビット線をプリチャージするためのプリチャージ回路と、前記センスノードにゲートが接続され、ソースが基準電位に固定されたセンス用トランジスタを含むセンスアンプ本体と、前記センスノードに一端が接続され、他端を駆動端子として前記ビット線データのセンス時に前記センスノードを昇圧するための昇圧用キャパシタと、を備えたことを特徴とする。

#### 【0028】

読み出しデータを保持するラッチ回路等とセンスノードとの間に、センスノードにゲートが接続されるセンス用トランジスタを備えるセンスアンプ回路方式の場合にも、センスノードに昇圧用キャパシタを設けて、ビット線データセンス時にセンスノードの電位制御を行うことにより、同様に、高いセンスマージを得ることができる。この場合のデータセンス動作も、上述の(a)~(d)の一連の動作、或いは(a)~(e)の一連の動作により行われる。

#### 【発明の効果】

#### 【0029】

以上述べたようにこの発明によれば、二つのラッチ回路を備えた書き換え/読み出し回路により、キャッシュ機能による書き込み速度優先のフラッシュEEPROMや、多値論理機能による大容量化優先のフラッシュEEPROMを実現することができる。

#### 【発明を実施するための最良の形態】

#### 【0030】

##### [実施の形態1]

図1は、この発明の実施の形態によるNAND型フラッシュEEPROMの全体構成を示すブロック図である。メモリセルアレイ100は、図3に示すように、複数個(図の例では16個)のスタックト・ゲート構造の電氣的書き換え可能な不揮発性メモリセルMC0~MC15を直列接続してNANDセルユニットNU(NU0, NU1, ...)が構成される。各NANDセルユニットNUは、ドレイン側が選択ゲートトランジスタSG1を介してビット線BLに接続され、ソース側が選択ゲートトランジスタSG2を介して共通ソース線CELSRCに接続される。ロウ方向に並ぶメモリセルMCの制御ゲートは共通にワード線WLに接続され、選択ゲートトランジスタSG1, SG2のゲート電極はワード線WLと平行して配設される選択ゲート線SGD, SGSに接続される。

10

20

30

40

50

## 【 0 0 3 1 】

一本のワード線WLにより選択されるメモリセルの範囲が書き込み及び読み出しの単位となる1ページである。1ページあるいはその整数倍の範囲の複数のNANDセルユニットNUの範囲がデータ消去の単位である1ブロックとなる。書き換え/読み出し回路140は、ページ単位のデータ書き込み及び読み出しを行うために、ビット線毎に設けられたセンスアンプ回路(SA)兼ラッチ回路(DL)を含み、以後ページバッファと称する。

## 【 0 0 3 2 】

図3のメモリセルアレイ100は、簡略化した構成となっており、複数のビット線でページバッファを共有してもよい。この場合は、データ書き込み又は読み出し動作時にページバッファに選択的に接続されるビット線数が1ページの単位となる。また図3は、一つのデータ入出力端子(I/O)との間でデータの入出力が行われるセルアレイの範囲を示している。メモリセルアレイ100のワード線WL及びビット線BLの選択を行うために、それぞれロウデコーダ120及びカラムデコーダ150が設けられている。制御回路110は、データ書き込み、消去及び読み出しのシーケンス制御を行う。制御回路110により制御される高電圧発生回路130は、データ書き換え、消去、読み出しに用いられる昇圧された高電圧や中間電圧を発生する。

## 【 0 0 3 3 】

入出力バッファ50は、データの入出力及びアドレス信号の入力に用いられる。即ち、入出力バッファ50を介して、I/O端子I/O0~I/O8とデータ書き換え/読み出し回路140の間でデータの転送が行われる。I/O端子から入力されるアドレス信号は、アドレスレジスタ180に保持され、ロウデコーダ120及びカラムデコーダ150に送られてデコードされる。

## 【 0 0 3 4 】

I/O端子からは動作制御のコマンドも入力される。入力されたコマンドはデコードされてコマンドレジスタ170に保持され、これにより制御回路110が制御される。チップイネーブル信号CEB、コマンドラッチイネーブルCLE、アドレスラッチイネーブル信号ALE、書き込みイネーブル信号WEB、読み出しイネーブル信号REB等の外部制御信号は動作ロジックコントロール回路190に取り込まれ、動作モードに応じて内部制御信号が発生される。内部制御信号は、入出力バッファ50でのデータラッチ、転送等の制御に用いられ、また制御回路110に送られて、動作制御が行われる。レディ/ビジーレジスタ210は、チップがレディ状態にあるか、ビジー状態にあるかを外部に知らせる。

## 【 0 0 3 5 】

この実施の形態において、書き換え/読み出し回路(即ちページバッファ)140は、多値動作の機能とキャッシュの機能を切り換えて実行できるように構成されている。即ち、一つのメモリセルに1ビットの2値データを記憶する場合に、キャッシュ機能を備えたり、一つのメモリセルに2ビットの4値データを記憶する場合には、キャッシュ機能とするか、又はアドレスによって制限されるがキャッシュ機能を有効とすることができる。そのような機能を実現するための具体的な書き換え/読み出し回路140の構成を図2に示す。図2では、2本のビット線BLE, BLOがページバッファ140に選択的に接続されるようになっている。この場合、ビット線選択信号BLTREまたは、BLTROによって、NMOSTランジスタ60又は61を導通させ、ビット線BLE又はビット線BLOの一方を選択的にページバッファ140に接続する。

## 【 0 0 3 6 】

一方のビット線が選択されている間、非選択状態である他方のビット線は、固定のGND電位やVdd電位にすることによって、隣接ビット線間のノイズを削減するのに効果的である。また、NAND型フラッシュメモリの他、あるロウアドレスに対する1ページ分のデータをシリアル入出力し、メモリセルへの書き込み動作や読み出し動作を一括に処理するEEPROMにおいては、ビット線ピッチに対して、データ書き込み回路や読み出し回路のレイアウトサイズが決まっている。ビット線ピッチが狭くなると、これらの回路の

10

20

30

40

50

レイアウトが困難になるため、複数のビット線でページバッファを共有することによってレイアウトの自由度が増すだけでなく、ページバッファレイアウトの面積を削減できるなどのメリットがある。

【 0 0 3 7 】

図 2 のページバッファ 1 4 0 は、第 1 のラッチ回路 1 を含むメイン書き換え / 読み出し回路 1 0 と、第 2 のラッチ回路 2 とを有する。第 1 のラッチ回路 1 を含むメイン書き換え / 読み出し回路 1 0 が、後述の動作制御によって、主に読み出し、書き込み動作に寄与する。第 2 のラッチ回路 2 は、2 値動作においては、キャッシュ機能を実現する二次的なラッチ回路であり、キャッシュ機能を使用しない場合にはメイン書き換え / 読み出し回路 1 0 の動作に補助的に寄与して多値動作を実現することになる。

10

【 0 0 3 8 】

メイン書き換え / 読み出し回路 1 0 のラッチ回路 1 は、クロックト・インバータ C I 1 , C I 2 を逆並列接続して構成されている。メモリセルアレイのビット線 B L は、転送スイッチ素子である N M O S トランジスタ 4 1 を介してセンスノード N 4 に接続され、センスノード N 4 は更に転送スイッチ素子である N M O S トランジスタ 4 2 を介してラッチ回路 1 のデータ保持ノード N 1 に接続されている。センスノード N 4 には、プリチャージ用 N M O S トランジスタ 4 7 が設けられている。

【 0 0 3 9 】

ノード N 1 は、転送スイッチ素子である N M O S トランジスタ 4 5 を介してノード N 1 のデータを一時記憶するための一時記憶ノード N 3 に接続されている。この記憶ノード N 3 には、V R E G をプリチャージするための N M O S トランジスタ 4 6 も接続されている。ノード N 3 にはレベル保持のためのキャパシタ 4 9 が接続されている。キャパシタ 4 9 の端子は接地される。

20

【 0 0 4 0 】

図 2 の共通信号線 C O M は、各カラム毎に 1 バイト分の書き換え / 読み出し回路 1 4 0 に共通に配設されるものである。共通信号線 C O M は、ノード N 3 により制御される転送スイッチ素子である N M O S トランジスタ 4 4 と、制御信号 R E G により制御される転送スイッチ素子である N M O S トランジスタ 4 3 を介して、センスノード N 4 に接続されている。この共通信号線 C O M は、センスノード N 4 を選択的に充電する際に用いられる V d d 電源線として、また書き込み・消去のペリファイ動作においてはパス / フェイル判定を行うための信号線として用いられる。

30

【 0 0 4 1 】

第 2 のラッチ回路 2 は、第 1 のラッチ回路 1 と同様に、クロックト・インバータ C I 1 , C I 2 を逆並列接続して構成されている。そしてこのラッチ回路 2 の二つのデータノード N 5 , N 6 は、カラム選択信号 C S L により制御されるカラムゲート N M O S トランジスタ 5 1 , 5 2 を介して、データバッファにつながるデータ線 i o , i o n に接続されている。ノード N 5 には、これを V d d に充電するためのプリチャージ用 P M O S トランジスタ 8 2 が接続されている。ノード N 5 はまた、転送スイッチ素子である N M O S トランジスタ 3 0 を介して、メイン書き換え / 読み出し回路 1 0 のノード N 4 に接続されている。

40

【 0 0 4 2 】

図 3 には、ページバッファ 1 4 0 とデータ入出力バッファ 5 0 の接続関係を示す。N A N D 型フラッシュ E E P R O M の読み出し、書き込みの処理単位は、あるロウアドレスでの同時に選択される 1 ページ分の容量 5 1 2 バイトとなっている。データ入出力端子 I / O が 8 個あるため、一つのデータ入出力端子 I / O に対しては、5 1 2 ビットとなっており、図 3 ではその 5 1 2 ビット分の構成を示している。

【 0 0 4 3 】

図 4 5 に示すようにセルアレイが複数分割されている場合には、ページバッファ 1 4 0 の第 1 のラッチ回路 1 を含む部分 1 4 0 a は、複数のページバッファ 1 4 0 a 1 , 1 4 0 a 2 に相当し、第 2 のラッチ回路 2 を含む部分 1 4 0 b は、図 4 5 ( b ) の複数のキャッ

50

シュに相当する部分である。例えば、書き込み動作においては、512ビットのデータを同時に書き込むため、512個のページバッファが必要となる。512ビットの個々のデータは、カラムアドレスと対応している。カラムアドレスをデコードした信号CSL0～CSL511によって、512個のページバッファから一つのページバッファを選択し、カラム選択スイッチ素子を介してデータ信号線i<sub>o</sub>との間でデータの入出力を行うことになる。

#### 【0044】

次に、この実施形態での書き換え/読み出し回路140の基本的な動作を、図4～図8を参照して説明する。データをメモリセルに書き込む場合には、データ信号線i<sub>o</sub>、i<sub>o</sub>nから書き込みデータを第2のラッチ回路2に取り込む。書き込み動作を開始するには、書き込みデータが第1のラッチ回路1になければならないので、続いて、ラッチ回路2に保持したデータをラッチ回路1に転送する。また、読み出し動作においては、データ入出力端子I/Oにデータを出力するには、読み出したデータがラッチ回路2になければならないので、ラッチ回路1で読み出したデータをラッチ回路2に転送する必要がある。したがって、図4に示すように、スイッチ素子42と30を導通状態にしてラッチ回路1とラッチ回路2の間でデータを転送を行うことが可能とされている。この時、転送先のラッチ回路を非活性状態にしてからデータを転送し、その後転送先のラッチ回路を活性状態に戻してデータを保持することとなる。

#### 【0045】

図5は、メモリセルへの書き込み、およびメモリセルからの読み出し動作中の状態を示している。多値動作の場合を除いて、通常は、第1のラッチ回路1を含むメイン書き換え/読み出し回路10で書き込み動作制御と読み出し動作制御が行われる。この時、スイッチ素子30を非導通状態に保持し、スイッチ素子41, 42を導通状態として、ラッチ回路1とメモリセルアレイのビット線との間で、データの授受が可能になる。

#### 【0046】

図6は、書き込み状態を確認する書き込みベリファイ読み出し中の動作として、スイッチ素子43と42だけが導通する状態があることを示している。これは、書き込み動作におけるビット毎ベリファイ機能によるもので、例えば、消去状態の"1"セルに、"1"を書き込む場合には、非書き込み(書き込み禁止)動作となるため、何回書き込みを行っても、選択ビット線はベリファイ読み出しで放電されて読み出しデータが"1"即ち、書き込みフェイルとなる。これを書き込みパスさせるため、ビット線放電後にスイッチ42、43を導通させてラッチ回路1に"H"レベルを再充電する制御を行う。ここで、パスとは、所望の書き込み動作が終了した状態を意味し、フェイルとは、所望の書き込み動作が未終了の状態を意味する。

#### 【0047】

図7は、多値動作モードにおける書き込み動作のある状態を示している。ラッチ回路1に第一ビットの書き込みデータを一時的に保持し、ラッチ回路2に第二ビットのデータを保持して書き込み動作を行う場合があり、この時、第二ビットのデータをメモリセルから読み出すために、スイッチ素子42を非導通状態にして、ラッチ回路1に第一ビットの書き込みデータを保持した状態で、スイッチ素子41と30を導通状態としてメモリセルからラッチ回路2にデータを読み出す。また、この書き込み動作の中の、書き込みパルス印加動作後の書き込みベリファイリードにおいて、ラッチ回路2からビット線プリチャージする動作があり、この場合にもスイッチ素子41と30を導通状態に制御する。

#### 【0048】

図8は、多値動作モードにおける、第二の多値ロウアドレス選択時の読み出し動作におけるある状態を示している。スイッチ素子42と43を導通状態に制御し、共通信号線COMをGND電位にすることによって、ビット線から読み出したデータを強制的に変更することができる。これにより、図43(b)のV<sub>t</sub>とデータとの関係で正しくデータが読み出されるようになっている。

#### 【0049】

次に、具体的に多値論理動作について説明する。この実施の形態では、図43(a)に対して、図43(b)に示すようなメモリセルのしきい値( $V_t$ )と2ビットの論理データの対応のもとで多値動作を行う。メモリセルの $V_t$ とデータの対応は、図43(a)の場合と異なるが、上位ビットと下位ビットがそれぞれ、別のロウアドレスに対応したデータとなっている点は、同じである。すなわち、多値動作においてのみ、同一の選択セルに対して、二つのロウアドレスがあり、上位ビット、下位ビットに割り当てられたロウアドレスをそれぞれ第一の多値用ロウアドレス、第二の多値用ロウアドレスと称することにする。

#### 【0050】

ここで、第一の多値用ロウアドレス選択時のデータは、図43(b)の第一ビット(上位ビット)であり、第二の多値用ロウアドレス選択時のデータは、図43(b)の第二ビット(下位ビット)である。例えば、“10”の場合、第一ビット(上位ビット)のデータは“1”であり、第二ビット(下位ビット)のデータは“0”である。

10

#### 【0051】

まず、第二の多値用ロウアドレス選択時の書き込みおよび書き込みベリファイ読み出しについて説明する。図9(a)は、第二の多値用ロウアドレス選択時の書き込み動作のフローチャートである。まず、第二の多値用ロウアドレス選択時の書き込みデータがデータ信号線*i o / i o n*からラッチ回路2にロードされる(ステップS11)。1ページ分のデータ512バイトがシリアル入力される間に、カラムアドレスに対応したデータがラッチ回路2に取り込まれる。1ページ分のデータロードが終了すると、ラッチ回路2からラッチ回路1へのデータ転送が行われる(ステップS12)。

20

#### 【0052】

このラッチ回路2からラッチ回路1へのデータ転送のタイミング図を図10(a)に示す。スイッチ素子NMOSTランジスタ42のゲートBLCDとスイッチ素子NMOSTランジスタ30のゲートBLCD2をVddの転送が可能な“H”レベル電位にして、ラッチ回路2からラッチ回路1へ書き込みデータを転送する。図10(a)では、データロード後にラッチ回路2に“H”データがロードされ、ノードN5が“H”レベル(Vdd)になっている。このデータ転送後に書き込み動作が開始される(ステップS13)。

#### 【0053】

書き込みパルス印加動作のタイミングを図11に示す。ラッチ回路1の書き込みデータが、NMOSTランジスタ42、NMOSTランジスタ41、ビット線選択ランジスタ60を介して選択ビット線に転送される。これらラッチ回路1とビット線BLEの間の転送ランジスタのゲートには、ビット線BLEにVddを転送するのに十分な電圧が印加されている。この例では、1個のページバッファを共有する2本のビット線のうち、アドレスによって、BLEが選択された状態になっている。以下の全ての動作説明でも、BLEを選択ビット線とする。

30

#### 【0054】

この時、ラッチ回路1の一端であるノードN1が“H”レベルの場合は、ビット線BLEに“H”レベルが転送され、非書き込み状態の“1”書き込み状態となる。逆に、ノードN1が“L”レベルの場合には、“0”書き込み状態となる。図11では、“L”レベルを選択ビット線BLEに転送し(実線)、“11”状態から“10”状態への“0”書き込みとなっている。

40

#### 【0055】

ここで、NAND型フラッシュEEPROMでは、書き込む前の消去状態は、図43(b)の“11”状態に示すような負のしきい値 $V_t$ の状態である。消去動作では、図12(a)に示すように、選択ブロックの全ワード線510を0V、メモリセルのソースノドレイン512をフローティング、メモリセルのPウェル513を正の高い消去電圧(約20V)にして、フローティングゲート511から電子を引き抜く。また、書き込みパルス印加動作では図12(b)に示すように、選択されたワード線510を正の高い書き込み電圧Vpgm(1.5~20V)、Pウェル513を0Vにして、電子がフローティングゲ

50

ート511に注入されるようなバイアス関係にする。

【0056】

この時、ラッチ回路1からビット線BLEに0Vが転送されている場合には、ビット線、ビット線側選択トランジスタ、およびNANDセルユニット内の非選択セルを介して、N型拡散層512に0Vが転送されるため、メモリセルのチャンネルとフローティングゲート511間に書き込みに十分な電位差が生じ、電子が注入される。一方、ラッチ回路1から選択ビット線に“H”レベルが転送されている場合には、選択されたメモリセルのチャンネル電位が高くなり、メモリセルのチャンネルとフローティングゲート511間の電位差が小さくなり、電子は注入されない。このように書き込まない場合にチャンネル電位を高くするために、非選択のメモリセルのワード線には、Vpassという中間電位(8V程度)が印加されている。但し、Vpassが印加されるのは、選択ワード線のあるNANDセルユニット内の非選択ワード線だけである。

10

【0057】

書き込みパルス印加動作の後に書き込みベリファイリードVerify10を行う(ステップS14)。このタイミングを図13に示す。Verify10では、選択ワード線の電位をVv10(図43(b)参照)にして読み出しを行う。同じNANDセルユニット内の非選択ワード線にはパス電圧Vreadを印加して非選択セルをパストランジスタとしておいて、選択ワード線のメモリセルの導通状態のみを判定する。ビット線プリチャージ期間である時刻R4からR7では、NMOSTランジスタ47、41およびビット線選択トランジスタ60を導通させて、ビット線BLEをプリチャージする。この時、NMOSTランジスタ41のゲートには、Vpreを印加し、ビット線BLEには、Vpreからしきい値電圧Vtだけ低い電圧Vpre-Vtをプリチャージする。このビット線プリチャージ電位Vpre-Vtは、Vddより低い電位である。

20

【0058】

時刻R7で、NANDセルユニットNUのソース側選択トランジスタSG2をオンさせると、選択セルのしきい値状態によって、ビット線BLEの放電が開始される。即ち、選択されたメモリセルのVtがVv10より低ければ選択メモリセルがオンし、ビット線プリチャージ電位Vpre-Vtを放電する。一方で選択メモリセルのVtがVv10より高ければ、選択メモリセルがオンしないため、ビット線プリチャージ電位Vpre-Vtは保持される。その後、ビット線電位を増幅、センスする前に、書き込みデータをノードN3に記憶させる。時刻S1までに、ノードN3にVdd+を充電しフローティング状態にしておいてから、時刻S2でDTGをVddにする。キャパシタ49は、ノードN3の電位をフローティングにして保持する期間中にリーク電流による電位低下や、配線間のカップリングによるノイズを受けにくくするために設けられている。

30

【0059】

書き込みデータを保持しているノードN1が“H”レベルの場合には、MOSTランジスタ45がオンしないために、ノードN3は“H”レベルを保持し、ノードN1が“L”レベルの場合には、MOSTランジスタ45がオンするため、ノードN3は“L”レベルになる。その後、ビット線電位を増幅、センスするために、ラッチ回路1を非活性状態にする。すなわち、LATとSENを“L”にし、これらの反転信号であるLATB、SENB(図2参照)は、それぞれ、“H”とする。

40

【0060】

ラッチ回路1を非活性状態にしてから、BLC Dを“H”レベルにしてスイッチ素子42を導通状態にして、ノードN1とN4を同電位にし、NMOSTランジスタ47をオンしてこれらのノードを、“H”レベルに充電する。時刻S7で、BLC LAMPにセンス用電圧Vsenを印加する。ビット線電位がVpre-VtからVsen-Vtまで放電されていた場合、NMOSTランジスタ41がオンするため、ノードN1、N4の電位は、ビット線電位とほぼ等しくなるまで低下する。この時、ノードN1、N4の電位は、Vddからビット線電位まで低下する。また、ノードN1、N4の容量に比べて、ビット線容量は非常に大きいため、ノードN1、N4の電荷は瞬時に抜ける。ビット線電位が、V

50

sen - Vtまで放電されていない場合は、NMOSトランジスタ41がオンしないため、ノードN1、N4にはVddが保持される。

【0061】

ノードN1の電位が下がる場合には、ビット線電位までしか低下しないが、Vddを保持する場合には、ビット線プリチャージ電位Vpre - VtよりもVddが高いために、ビット線振幅が増幅されて見える。図中、ビット線BLE波形の実線は、放電されているため、メモリセルは、書き込み不十分か、または、非書き込みのメモリセルであったことを示している。

【0062】

時刻S9で、REGを”H”にしてスイッチ素子トランジスタ43をオン状態にする。ノードN3が”L”の場合、つまり、書き込みパルス印加動作中、”0”書き込み状態にあった場合には、NMOSトランジスタ44がオンしないため、ノードN1、N4の電位には変化がなく、時刻S11までビット線電位を反映した電位がノードN1に保持されている。時刻S11でSENを”H”、SENBを”L”にすると、ノードN1をゲートにしたラッチ回路1のクロックインバータが活性化し、ノードN1の電位をクロックインバータでセンスする。時刻S12でLATを”H”、LATBを”L”にして、ラッチ回路1を活性化すると、ノードN1の電位を”L”または”H”の2値情報として取り込む。結果として、ノードN1に”L”がラッチされると、次の書き込みパルス印加動作で再び選択ビット線に”L”が転送されるため、”0”書き込みする状態に保持される。

【0063】

また、図中ビット線BLEの破線波形のようにセル電流が流れずビット線プリチャージレベルが保持されれば、センス後にラッチ回路1には”H”がラッチされ、このメモリセルでの書き込みが終了する。書き込みベリファイの結果”H”がラッチされると、次に書き込みパルス印加動作に移っても、選択ビット線には”H”レベルが転送され、非書き込みの”1”書き込み状態になる。

【0064】

また、ノードN3が”H”の場合、つまり、書き込みパルス印加動作中、”1”書き込み状態であった場合には、共通信号線COMから”H”レベルがノードN1、N4に転送される。このため、時刻S12で、ノードN1に再び”H”がラッチされる。よって、”1”書き込み状態では、書き込みベリファイの結果に関係なく、ノードN1に”H”をラッチし、非書き込みの”1”書き込み状態を保持する。

【0065】

図32及び図33は、これらの動作の各部電位関係をまとめたものである。書き込みが終了したページバッファでは、ノードN1が”H”レベルの”1”書き込み状態に変わるため、1ページ内の全てのページバッファのノードN1、あるいは、その反転状態のN2の状態を検出することによって、1ページ分の書き込みが終了しているかどうか判定できる(ステップS15)。一つでもノードN1が”L”レベルのページバッファがあると、再び、図11に示した書き込みパルス印加動作、および、書き込みベリファイ読み出しを行う。

【0066】

NAND型フラッシュEEPROMでは、このように書き込みベリファイ読み出しの結果、書き込みが終了したメモリセルにおいては、そのメモリセルに接続されるページバッファが”1”書き込み状態に変わるため、1ページ分の全てのメモリセルが書き込めるまで書き込みパルス印加動作を行っても、Vt分布を狭く制御できる。1ページ内の個々のページバッファでこのように書き込み制御する方法をビット毎ベリファイと称している。また、書き込み速度を向上するため、書き込みパルス印加動作と書き込みベリファイ読み出しを繰り返し行う毎に、書き込み電圧Vpgmを少しずつ高めて書き込みパルス印加動作を行っている。そのため、選択ワード線の電位だけを見ると、図14のような波形(実線)になる。

【0067】

10

20

30

40

50

次に、第一の多値用ロウアドレス選択時の書き込みと書き込みベリファイ読み出しについて説明する。上位ビット（第一の多値用ロウアドレス選択時）の書き込み動作のフローチャートを図9（b）に示す。まず、第一の多値用ロウアドレス選択時の書き込みデータを外部データ入出力端子からラッチ回路2にロードする（ステップS21）。その後、図10のタイミングでラッチ回路2からラッチ回路1に書き込みデータを転送する（ステップS22）。ここまでが図15（a）のステップ1である。

【0068】

次に、図15（b）にも示すように、既にメモリセルに書き込まれている下位ビット（第二の多値用ロウアドレス選択時）のデータをラッチ回路2に取り込む（ステップS23）。この動作を内部データロードと称する。内部データロードのタイミングを図16に示す。データ転送後のラッチの状態は、N1が“L”（実線）と図示されている。ここでは、選択ワード線の電位を $V_{r10}$ （図43（b）参照）にして読み出しを行う。ここで、第一の多値用ロウアドレスと第二の多値用ロウアドレスは、同じワード線を選択する。ビット線プリチャージ期間の時刻R4からR7では、NMOSトランジスタ47、41、およびビット線選択トランジスタ60をオンさせてビット線BLEをプリチャージする。この時、NMOSトランジスタ41のゲートには、 $V_{pre}$ を印加し、ビット線BLEには、 $V_{pre} - V_t$ をプリチャージする。

【0069】

時刻R7で、NANDセルユニットのソース側選択トランジスタSG2をオンさせると、セルの状態によって、ビット線の放電が開始される。図中のビット線BLE波形の実線は、“11”状態のセルを想定している。この読み出し動作のみ、読み出しデータをラッチ回路2に取り込む。よって、ビット線電位をセンスする前に、時刻S4でCLATとCSENを“L”にして、ラッチ回路2を非活性状態にする。CLATBとCSENBは、それぞれCLATとCSENの反転信号である。時刻S5で、BLCD2を“H”レベルにしてスイッチ素子30を導通状態にしつつ、NMOSトランジスタ47で、ノードN4、N5をVddにプリチャージする。

【0070】

時刻S7で、BLCLAMPにセンス用電圧 $V_{sen}$ を印加すると、前述のクランプを利用した動作によって、ビット線電位を反映した電位がノードN4、N5に現れる。そして、時刻S11でCSENを“H”、CSENBを“L”にして、ノードN5が入力ゲートになるラッチ回路2のクロックインバータを活性化し、ノードN5をクロックインバータでセンスして、S12でCLATを“H”、CLATBを“L”にしてラッチ回路2を活性化してデータを取り込む（ステップS23）。この動作中、BLCDは“L”であるため、NMOSトランジスタ42は非導通状態となっており、外部から入力された書き込みデータは、ラッチ回路1に保持される。

【0071】

このように、第一の多値用ロウアドレスの書き込みデータをラッチ回路1に、第二の多値用ロウアドレスのデータをメモリセルから読み出し、ラッチ回路2に保持した状態で、書き込みパルス印加動作を開始する（ステップS24）。書き込みパルス印加動作は、前述と同様図11のタイミングで実施し、ラッチ回路1に保持するデータを選択ビット線に転送して書き込みパルス印加動作を行う。第一の多値用ロウアドレス選択時の書き込みでは、図43（b）に示すように、 $V_t$ の分布を変化させる。ラッチ回路1のノードN1に“L”レベルが保持されている場合には、“11”状態を“01”状態へ、“10”状態を“00”状態へ書き込む。また、ラッチ回路1のノードN1に“H”レベルが保持されている場合には、書き込みを行わない“1”書き込みとなるので、“11”状態、“10”状態をそのまま保持する。よって、4つの場合が存在し、それぞれの動作のまとめを図34～図37に示す。

【0072】

“11”状態を“01”状態へ、“10”状態を“00”状態への書き込みは、同じ書き込み電圧を選択ワード線に印加して同時に行う。よって、図9（b）に示すように、“

10

20

30

40

50

00"状態の書き込みベリファイ読み出しVerify00(ステップS25)と、"01"状態の書き込みベリファイ読み出しVerify01(ステップS26)を、1回の書き込みパルス印加動作後に行う必要がある。そこで、"01"状態へ書き込みを行っているメモリセルが、"00"状態の書き込みベリファイで書き込み終了しないようにする必要はある。なぜなら、"00"状態の書き込みベリファイリード(Verify00)では、選択ワード線電圧をVv00にして読み出しを行うが、"01"状態へ書き込みもうとしているメモリセルでは、Vtが"00"状態まで上昇してくると、Verify00ではビット線電位を放電しないため書き込めたように見えてしまうためである。

#### 【0073】

そこで、ここでは、ラッチ回路2に保持している第二の多値用口ウアドレスに対応したデータに基づいて書き込みベリファイリードの制御を行うようにした。このステップS25の書き込みベリファイ読み出しVerify00のタイミングを図17に示す。時刻R4からR7は、ビット線プリチャージ期間であり、この間にNMOSTランジスタ30、41、およびビット線選択トランジスタ60をオンさせてビット線プリチャージを行う。MOSTランジスタ30をオンさせることによって、ラッチ回路2のノードN5からビット線BLEへプリチャージする。

問題となっている"11"状態から"01"状態への書き込みでは、第二の多値用口ウアドレスに対応するデータを読み込む内部データロードを行った後に、ラッチ回路2のノードN5が"L"となっている。何故なら、前述の内部データロードにおいては、選択ワード線電圧をVr10にするため、"11"状態のメモリセルは導通してビット線のプリチャージ電位を放電し、センス後に"L"が取り込まれるからである。したがって、"01"状態へ書き込みを行っているページバッファでは、"L"レベルをプリチャージする。"01"状態へ書き込むメモリセルにとっては、Verify00のところで、必ず書き込みベリファイリードの結果がフェイルする必要があるので、最初からフェイルするプリチャージを行う。一方で、"10"状態から"00"状態へ書き込みを行うページバッファでは、ラッチ回路2のノードN5が"H"となっている。従ってこの場合は、他の読み出し動作と同様のビット線プリチャージを行う。ラッチ回路2は、書き込み単位となるページ内の各ページバッファに有しているため、"00"状態へ書き込みしているページバッファでは、選択ビット線へ通常のプリチャージを行い、"01"状態へ書き込みしているページバッファでは、フェイルするプリチャージを選択的に行うことになる。

#### 【0074】

Verify00の動作前に、ビット線を0Vに保持しておけば、Verify00が開始されてこのラッチ回路2からの選択的なプリチャージを行う期間中に、不要なプリチャージ電流が流れないため、消費電流が小さくなるメリットもある。図17のノードN5とビット線BLEの波形は、内部データロードの結果、実線が"00"状態への書き込み、最初からGNDレベルを保持している破線が"01"状態への書き込みの場合を示している。

#### 【0075】

時刻R7以降は、前述の書き込みベリファイリードと同様である。"00"状態に書き込みを行うページバッファにおいては、ビット線BLE波形の実線のように、時刻R7までの期間にビット線BLEがプリチャージされる。選択されたメモリセルの導通状態によって、ビット線BLEが放電、あるいは放電されず、時刻S7以降でセンス用電圧Vsenによって増幅、センスされ、書き込み結果がラッチ回路1に取り込まれる。一方で、同様に、ラッチ回路2に"H"が保持されている"10"状態を"10"状態に保持する"1"書き込みにおいては、ラッチ1のノードN1には"H"レベルが保持されているので、前述のビット毎ベリファイ動作によって、時刻S9で、ノードN1がノードN3のデータによって"H"レベルに充電されるため、"1"書き込み状態を保持する。

#### 【0076】

次に、続けて行われるステップS26の"01"状態への書き込みベリファイリード(Verify01)について説明する。そのタイミングを図18に示す。ここでは、選択

10

20

30

40

50

ワード線電位を  $V_{v01}$  (図 43 (b) 参照) に設定して読み出しを行う。この場合は、選択ワード線電位を除いて、前述の  $V_{erify10}$  と同様である。

【 0 0 7 7 】

" 1 1 " から " 0 1 " 状態へ書き込みするページバッファにおいては、選択ワード線電位  $V_{v01}$  においてビット線電位をセンスすればよく、" 1 1 " 状態のまま保持する " 1 " 書き込みにおいては、ノード  $N_1$  が再充電され " 1 " 書き込み状態を保持する。一方で、" 1 0 " 状態から " 0 0 " 状態へ書き込むページバッファにおいては、 $V_{erify00}$  で書き込みフェイルしているメモリセルは  $V_{erify01}$  でも必ずフェイルする。何故なら、 $V_{erify00}$  でフェイルするメモリセルの  $V_t$  は、 $V_{v00}$  より低いため、 $V_{erify01}$  時の選択ワード線電圧  $V_{v01}$  ではよりフェイルし易い読み出しになるからである。また、" 0 0 " 状態を保持する " 1 " 書き込みのページバッファにおいては、前述のビット毎ベリファイの動作によって " 1 " 書き込み状態を保持するので問題ない。

10

【 0 0 7 8 】

以上より、 $V_{erify00}$  時と、 $V_{erify01}$  時で所望の書き込みベリファイリードが実現でき、ページ内の全てのページバッファで書き込みが終了するまで (ステップ  $S_{27}$ )、書き込みパルス印加動作と書き込みベリファイリードからなる書き込みサイクルを繰り返し、第一の多値用ロウアドレス選択時の書き込みが実行できる。

【 0 0 7 9 】

次に、読み出し動作について説明する。図 43 (b) に示すように、多値動作時の 2 ビットの論理データが、上位ビットは第一の多値用ロウアドレス選択時のデータ、下位ビットは第二の多値用ロウアドレス選択時のデータというように、ロウアドレスに割り付けられているため、ロウアドレスによって、読み出し方が異なる。多値動作時の読み出し動作のフローチャートを図 19 (a) (b) に示す。

20

【 0 0 8 0 】

第一の多値用ロウアドレスが入力された上位ビット読み出しの場合には、選択ワード線電位を  $V_{r00}$  (図 43 (b) 参照) にして読み出すことにより、図 19 (b) のように、ステップ  $S_{41}$  に示す 1 回の読み出し動作  $R_{e a d 0 0}$  を行うだけで、" 0 " 又は " 1 " の 2 値データを読み出すことができる。第二の多値用ロウアドレスが入力された場合には、選択ワード線電位を  $V_{r01}$  と  $V_{r10}$  (図 43 (b) 参照) にして読み出す必要があり、図 19 (a) に示すステップ  $S_{31}$  ,  $S_{32}$  の 2 回の読み出し動作  $R_{e a d 0 1}$  と  $R_{e a d 1 0}$  が必要になる。

30

【 0 0 8 1 】

まず、第一の多値用ロウアドレス選択時の読み出し動作について説明する。この読み出し動作  $R_{e a d 0 0}$  のタイミングを図 20 に示す。時刻  $R_7$  までのビット線プリチャージ期間に、NMOS トランジスタ  $4_7$ 、 $4_1$ 、ビット線選択トランジスタ  $6_0$  をオンさせる。NMOS トランジスタ  $4_1$  のゲートには、 $V_{pre}$  を印加するため、ビット線  $B_{Le}$  には  $V_{pre} - V_t$  がプリチャージされる。時刻  $R_7$  で、NAND セルユニットのソース側選択トランジスタ  $S_{G2}$  をオンさせると、セルのしきい値状態によって、選択ビット線の放電が開始される。

40

【 0 0 8 2 】

時刻  $S_4$  で、 $L_{AT}$ 、 $S_{EN}$  を " L " レベルにして、ラッチ回路 1 を非活性状態にし、NMOS トランジスタ  $4_2$  をオンさせて、ノード  $N_1$  と  $N_4$  を同電位にしつつ、MOS トランジスタ  $4_7$  をオンして  $V_{dd}$  に充電する。時刻  $S_7$  で、NMOS トランジスタ  $4_1$  のゲート  $B_{LCLAMP}$  を  $V_{sen}$  にして、ビット線電位をクランプして読み出す。これにより、前述のように小振幅  $V_{pre} - V_{sen}$  (約  $0.4V$ ) のビット線電位を、ノード  $N_1$  では増幅して読み出すことができる。その後時刻  $S_{11}$ 、 $S_{12}$  で、 $S_{EN}$  と  $L_{AT}$  を順に " H " にして、ラッチ回路 1 のクロックインバータを順に活性化して、ノード  $N_1$  のデータをラッチ回路 1 に取り込み保持する。

【 0 0 8 3 】

50

ラッチ回路 1 に読み出しデータが取り込まれた後、1 ページ分のラッチ回路 1 に保持されている読み出しデータをラッチ回路 2 に同時に転送する (ステップ S 4 2)。1 ページが 5 1 2 バイトである場合には、5 1 2 バイト分の各ページバッファにおいて、ラッチ回路 1 からラッチ回路 2 へデータ転送する。このラッチ回路 1 からラッチ回路 2 にデータを転送するタイミングを図 1 0 ( b ) に示す。

【 0 0 8 4 】

ラッチ回路 2 は、カラム選択トランジスタ 5 1、5 2 によってデータ入出力バッファ 5 0 に接続されているので、カラムアドレスに従いカラムデコード信号 CSL が " H " になると、それぞれのラッチ回路 2 からデータ信号線 i o / i o n、データ入出力バッファ 5 0 を介して外部にデータが出力される。メモリセルアレイが図 4 5 ( b ) のように 2 アレイで構成されており、一つのロウアドレスでそれぞれのセルアレイの 1 ページを選択して同時に前述の読み出し動作を行った場合には、2 ページ分のページバッファにおいて、このデータ転送を同時に行うことができる。この場合には、データ転送の後に、まず、セルアレイ 1 0 0 a の 1 ページ分のデータをラッチ回路 2 から出力した後、セルアレイ 1 0 0 b の 1 ページデータを外部に出力するようデータ入出力バッファ 5 0 が制御される。

【 0 0 8 5 】

この様に、多値動作モードでの第一の多値用ロウアドレス選択時のデータは、1 回の読み出し動作とデータ転送で、データを外部に出力することができる。次に第二の多値用ロウアドレス選択時の読み出し動作について説明する。第二の多値用ロウアドレス選択時の読み出し動作は、図 1 9 ( a ) に示すように、ステップ S 3 1、S 3 2 の 2 回の読み出し動作 R e a d 0 1、R e a d 1 0 となる。

【 0 0 8 6 】

その読み出し R e a d 0 1 のタイミングを図 2 1 に示す。選択ワード線電位が V r 0 1 となっていることを除くと前述の読み出し R e a d 0 0 と同じであるので、詳細な説明を省略する。読み出し R e a d 0 1 後は、読み出されたデータはラッチ回路 1 に保持される。続いて、読み出し R e a d 1 0 を行う。この読み出し R e a d 1 0 のタイミングを図 2 2 に示す。

【 0 0 8 7 】

選択ワード線電位を V r 1 0 ( 図 4 3 ( b ) 参照 ) にして読み出しを行い、ビット線プリチャージから時刻 S 9 までは、読み出し R e a d 1 0 とほぼ同じである。ただし、R e a d 0 0 や、R e a d 0 1 と異なり、COMRST を " H " にして、ノード COM を " L " レベルに保持する。また、R e a d 0 0 や、R e a d 0 1 では、ノード N 3 の電位が読み出し動作に関係しなかったが、R e a d 1 0 では、ノード N 3 の電位が動作に影響する。R e a d 0 1 に続いて行う R e a d 1 0 では、時刻 S 4 までの間、ラッチ回路 1 に R e a d 0 1 での読み出しデータが保持されている。

【 0 0 8 8 】

時刻 S 2 までの間に、ノード N 3 は V d d + の電圧に充電されフローティングとなっている。時刻 S 2 で DTG が V d d になると、ラッチ回路 1 のノード N 1 が " H " ならば、ノード N 3 は、V d d + を保持するが、ノード N 1 が " L " ならば、ノード N 3 の電位は放電されて 0 V となる。時刻 S 7 でビット線電位を増幅した後、時刻 S 9 で REG が " H " レベルになると、R e a d 0 1 においてノード N 1 に " H " をラッチしていた場合には、N 3 が " H " レベルのため MOS トランジスタ 4 4 がオンしてノード N 1、N 4 はノード COM 側に放電され、時刻 S 1 2 でノード N 1 には " L " が取り込まれる。つまり、メモリセルが図 4 3 ( b ) の " 0 1 " 状態にあった場合には、" 1 " データである " L " を N 1 にラッチする。

【 0 0 8 9 】

読み出し R e a d 0 1 において、ノード N 1 に " L " をラッチした場合には、時刻 S 9 で NMOS トランジスタ 4 4 がオンせずノード N 1、N 4 が放電されないため、ビット線電位が増幅されたノード N 1 の電位を時刻 S 1 1、S 1 2 でセンスしてラッチする。R e a d 0 1、R e a d 1 0 を終了すると、第二の多値用ロウアドレスに対して読み出された

10

20

30

40

50

データがラッチ回路 1 に保持されているので、これを図 10 ( b ) に示すタイミングでラッチ回路 2 にデータ転送して ( ステップ S 3 3 )、ラッチ回路 2 から外部へのデータ出力を可能な状態にして終了する。

【 0 0 9 0 】

以上の多値動作モードの読み出し中の状態を図 3 8 ~ 図 4 1 に示す。図 3 8 は、上位ビット読み出し動作時であり、図 3 9 ~ 4 1 は下位ビット読み出し時である。また図 4 0 , 4 1 はそれぞれ、1 回目の下位ビット読み出し結果のノード N 1 が “ H ” , “ L ” のときの第 2 回目の下位ビット読み出し動作を示している。

【 0 0 9 1 】

次に、実効書き込み速度向上のために、ラッチ回路 2 をキャッシュとして使用する場合は、10  
 の説明をする。このときの、メモリセルセルの V t 分布とデータの関係は、図 2 3 のようになっている。読み出し時には、1 回の読み出し動作ですむため、選択ワード線電圧を、図 2 3 の V r 0 にすることを除いては、前述の読み出し R e a d 0 0 と同様の制御で読み出しを行う。

【 0 0 9 2 】

図 2 4 に、キャッシュを使った読み出し動作のタイミング図を示す。図 2 4 ( a ) は、1 アレイのみでの読み出し動作である。まず、読み出しコマンド 0 0 H を受け付け、第一のロウアドレスを入力した後に、R e a d y / / B u s y ( 以後 R / B B とする ) を “ L ”、つまりビジー状態を出力して “ ページ読み出し 1 ” を行う。このページ読み出し 1 は、前述の読み出し R e a d 0 0 と同様の読み出し動作である。ページ読み出し 1 が終了すると、読み出された第一のロウアドレスに対応する 5 1 2 バイトのデータが、個々のページバッファのラッチ回路 1 に保持されているため、前述のデータ転送でラッチ回路 1 のデータをラッチ回路 2 に転送する。 20

【 0 0 9 3 】

その後、R / B B を “ H ”、つまりレディ状態にすると、読み出しイネーブル信号 R e a d E n a b l e B によって、シリアルデータ出力が可能になり、R e a d E n a b l 信号に同期して第一のロウアドレスに対応するデータがデータ入出力端子に出力される。また、内部では、第二のロウアドレスが選択され、“ ページ読み出し 2 ” が実行される。この時、内部の R / B B は “ L ”、つまり B u s y になる。 30

【 0 0 9 4 】

ラッチ回路 2 からシリアルデータ出力 1 が終了しないと、ページ読み出し 2 の結果であるラッチ回路 1 のデータをラッチ回路 2 に転送できないので、シリアル出力 1 の終了を検出して、R / B B を “ L ”、つまり B u s y にして、ラッチ回路 1 からラッチ回路 2 のデータ転送を行う。データ転送が終了したら、再び、R / B B を “ H ”、つまり、R e a d y にしてシリアルデータ出力 2 を開始するとともに、第三のロウアドレスを選択して、“ ページ読み出し 3 ” を内部で実行する。 30

【 0 0 9 5 】

この読み出し動作により第一のロウアドレスに対応するデータを出力中に、第二のロウアドレスの読み出し動作を行うために、シリアルデータ出力 1 とシリアルデータ出力 2 の間の時間 t d b を短縮できる。1 ページ容量を 5 1 2 バイトとし、ページ読み出し時間を 1 0 u s、シリアルデータ出力サイクルを 5 0 n s とすると、従来の実効読み出し速度は、1 4 M B y t e / s であった。これに対してこの実施の形態によれば、例えば、t d b = 1 u s とすると、最高で実効読み出し速度が 1 9 M B y t e / s と高速化できる。 40

【 0 0 9 6 】

ここで、R / B B は、このフラッシュ E E P R O M を使用するユーザーが、データの入出力が可能か否かを判断する R e a d y / / B u s y 信号であるが、図 2 4 に示した内部 R / B B は、図 1 のブロック図に示した制御回路 1 1 0 が動作制御を判断するフラグ信号であることを意味している。後述の動作においても同様である。

【 0 0 9 7 】

図 2 4 ( b ) は、2 アレイ構成である場合に、2 アレイで同時に、読み出しを行う場合 50

を示している。読み出しコマンド 00H、アドレス入力の後、セルアレイ 100a では、入力された第一のロウアドレスに対して“ページ読み出し 1”を行う。セルアレイ 100b においても、同様に第一のロウアドレスに対して“ページ読み出し 2”を行う。この場合、第 1 のロウアドレスに対して、2 ページが選択されることになり、チップ外部にはページ容量が 2 倍になって見えることになる。図 24 (a) と同様、それぞれの読み出しが終了し、データ転送するまでは、R / B B は “L” つまり、B u s y である。

#### 【0098】

この場合、データ出力時には、セルアレイ 100a の“データ出力 1”、セルアレイ 100b の“データ出力 2”を順に行う。データ出力が始まると、第二のロウアドレスが選択されて、セルアレイ 100a では、“ページ読み出し 3”、セルアレイ 100b では、“ページ読み出し 4”を行う。この場合も t d b = 1 u s とし、実効読み出し速度を比較してみると、従来は、17 M B y t e / s であったが、最高で 20 M B y t e / s に向上することができる。

10

#### 【0099】

次に、キャッシュを使った書き込み動作について、図 25 を用いて説明する。ここでは、図 45 (b) のようにセルアレイ 100a、100b で同時に書き込みをする場合について示す。

#### 【0100】

データ入力コマンド 80H、アドレス入力の後、まず、セルアレイ 100a で第一のロウアドレスに対応する書き込みデータ (D a t a 1) を入力し (“L o a d 1”)、続いて、同様にセルアレイ 100b に対しても、80H、アドレス入力の後、第二のロウアドレスに対応する書き込みデータ入力を行う (“L o a d 2”) を行う。2 つのセルアレイで同時に書き込みを行うため、10Hd はダミーの書き込み実行コマンドで実際には書き込み動作に入らない。また、連続したデータロード “L o a d 3”, “L o a d 4” を可能にするため、R / B B は B u s y 信号 “L” を出力して、すぐに擬似的な R e a d y 信号 “H” を出力する。最初のデータ入力コマンド 80H 時の後に、全てのページバッファにおいてキャッシュとなるラッチ回路 2 をリセットする (図中の C . R s t)。

20

#### 【0101】

図 2 の P M O S トランジスタ 82 は、この時ラッチ回路 2 をリセットするためのトランジスタである。データロード “L o a d 2” の後の書き込み実行コマンド 10Hc で、二つのセルアレイで同時に書き込みが開始される。ここで、各ページバッファのラッチ回路 2 からラッチ回路 1 へデータ転送を行い、その後、前述の書き込みパルス印加動作および、書き込みベリファイリードを行う。

30

#### 【0102】

データ転送は、図 10 (a) に示したタイミングで実行し、書き込みパルス印加動作は、図 11 に示したタイミングで実行し、書き込みベリファイリードは、選択ワード線電圧を V v 0 にして、図 13 のベリファイ読み出し V e r i f y 10 と同様のタイミングで実行する。

#### 【0103】

この間、内部では、書き込み実行中となるため、内部の R / B B は B u s y 状態 “L” になっている。前述のように、データ転送後は、全てのラッチ回路 2 は、書き込みパルス印加動作とは切り離された状態になっているため、R / B B には擬似的な R e a d y 状態の “H” を出力し、ラッチ回路 2 に対するデータロードを可能にする。

40

#### 【0104】

データロード “L o a d 4” の後、再び、書き込み実行コマンド 10Hc を入力すると、この時、D a t a 1、D a t a 2 の同時書き込みが終了していなければ、この時ラッチ回路 2 に保持されている D a t a 3、D a t a 4 のデータをラッチ回路 1 にデータ転送できないため、D a t a 1 と D a t a 2 の書き込みが終了し、内部の R / B B が R e a d y “H” になってから、データ転送を行う。それから、D a t a 3、D a t a 4 の書き込みを実行するとともに、外部の R / B B には R e a d y “H” を出力し、再び、ラッチ回路

50

2 へのデータロードを可能にする。

【0105】

また、読み出しの場合に説明したように、一つのロウアドレスに対して二つ以上のアレイでそれぞれ1ページずつ選択されるような構成であってもよい。その場合のキャッシュを使った書き込み動作を図25(b)に示す。セルアレイ100aのデータロードLoad1に続いて、セルアレイ100bのデータロードLoad1が実行される。この場合には、書き込み実行コマンド10Hcによって、内部ではData1とData2の書き込み動作を開始し、外部では次のデータロードを可能にする。また、1アレイ構成にキャッシュを使った場合の書き込み動作を、図25(c)に示す。この場合も、コマンド10Hcで内部での書き込み動作実行と、外部のデータロードが可能な状態に制御される。(b) , (c)の場合も(a)と同様に、キャッシュ(ラッチ回路2)にロードしたデータをラッチ回路1に転送できるのは、内部R/B BがReady状態になってからである。

10

【0106】

実効書き込み速度は次のようになる。シリアルデータ入力サイクルを50ns、1ページを512バイト、1ページ分の書き込みが終了する時間を200usとすると、キャッシュを用いない場合、2アレイ構成の同時書き込みであっても、4.1MByte/sである。これに対してこの実施の形態のようにキャッシュを使った場合には、2ページ分のデータロード時間が書き込み時間に隠れて見えなくなるため、5.1MByte/sとなる。更に4アレイ構成の同時書き込みの場合には、従来の6.8MByte/sに対し、10MByte/sと非常に効果が大きくなる。

20

【0107】

図2のページバッファは、このように多値動作を可能にするばかりでなく、2値動作においては、実効書き込み速度や、読み出し速度を向上させるキャッシュ機能も実現が可能である。また、図2の構成では、ラッチ回路2とNMOSトランジスタ30を省略すると、ほとんど2値動作用のページバッファと同じ構成になる。ノードCOMに接続されたPMOSトランジスタ90と、NMOSトランジスタ91は、複数のページバッファで共有すればよく、例えば、I/O数と同じである8個のページバッファで1個ずつあれば良い。したがって、この回路は、非常に簡単な方法で多値動作とキャッシュ機能を実現したことになる。また同じ回路構成で多値動作とキャッシュ機能に対応しているため、読み出しや書き込み動作の制御を変更することで、両機能の切り換えが可能である。その制御は、制御回路110により行われているため、コマンド入力及によって制御方法及びアドレス空間を変更し、時間的に、多値動作機能を実現したり、2値動作時にキャッシュ機能を実現するような切り換えが可能になる。

30

【0108】

[実施の形態2]

前述のキャッシュ動作においては、2アレイ構成の場合について説明し、キャッシュとなるラッチ回路2のリセットに関しては、2ページ分のデータをロードする前のアドレス入力時に行っていた。例えば、図25の“Load1”前のアドレス入力時、“Load3”のアドレス入力時にリセットを行っていた。データロードをする前には必ず、ラッチ回路2をリセット状態にしておく必要があるが、データ転送後に書き込み動作が開始されて、その間に実行されるデータロードコマンド後にラッチ回路2をリセットすることになると、データロードコマンドが入るタイミングが不定になるため、書き込み動作中の任意のタイミングで、ラッチ回路2のリセット動作が入ってしまうおそれがある。この場合、書き込みベリファイリードのセンス動作をしている最中にラッチ回路2のリセット動作による電源ノイズが入る可能性があるため、好ましくない。

40

【0109】

そこで、図26に示すようにラッチ回路2からラッチ回路1へのデータ転送後に、続けてラッチ回路2のリセット動作を行うと良い。つまり、ラッチ回路2のリセット動作は、常に書き込み動作前に実行されることになる。しかしながら、一番最初のデータロード前には、ラッチ回路2のリセットが必要となるので、内部R/B Bとの関係で、書き込み動

50

作が実行中の間に入る 80H、アドレス入力時においては、リセットしないようにすることで、書き込み中に不定のタイミングで行われていたラッチ回路 2 のリセットを無くすることができる。

#### 【0110】

この場合のキャッシュを使った書き込み動作を図 27 に示す。図 27 では、図 25 (a) の場合に適用した場合を示しているが、図 25 (b) , (c) の場合でも同様の制御が可能である。2 ページ分のデータロード “Load 1” , “Load 2” の後、2 ページ同時の書き込み動作を開始し、ラッチ回路 2 からラッチ回路 1 へのデータ転送、ラッチ回路 2 のリセット (C. Rst) を終えたところで、R / B B を擬似的な Ready 状態 “H” にする。その後受付可能となった、Data 1、Data 2 の書き込み中のデータロードコマンドのタイミング t1 や、その後の t2 が変化しても、ラッチ回路 2 へのリセットは常に、書き込み動作前にしか入らない。よって、キャッシュを使用した書き込みにおいて、不要な電源ノイズを減らすことができる。

10

#### 【0111】

##### [実施の形態 3]

実施の形態 1 では、図 2 の書き換え / 読み出し回路 (ページバッファ) 140 により、2 ビットの論理データを一つの不揮発性メモリセルに記憶する多値動作と、2 値動作の場合のキャッシュ動作と切り換え可能であることを説明した。しかし、多値動作中においても、ラッチ回路 2 を使用していない期間にこのラッチ回路 2 を利用したキャッシュ動作が可能である。

20

#### 【0112】

例えば、多値動作モードの読み出し動作においては、ラッチ回路 2 は使用していない。したがって、図 28 (a) に示すように、ラッチ回路 1 を含むメイン書き換え / 読み出し回路が選択ビット線に接続されて読み出し動作を行っている間に、ラッチ回路 2 からは、データ出力が可能である。同様に、多値動作モードの第二の多値用口ウアドレス選択時の書き込み動作においては、ラッチ回路 2 を使用しない。このため、図 28 (b) のように、書き込み中に、ラッチ回路 2 へ次の書き込みデータをロードすることができる。しかし、第一の多値用口ウアドレス選択時の書き込みにおいては、ラッチ回路 2 に第二の多値用口ウアドレス選択時のデータを前述の内部データロードにより読み出し、保持したまま書き込み動作を行うため、キャッシュ機能を使うことができない。

30

#### 【0113】

上述した多値動作モード時のキャッシュを使った書き込み動作を図 29 に示す。図中、“下位 Data” とは、第二の多値用口ウアドレスに対応する書き込みデータを意味し、“上位 Data” とは、第一の多値用口ウアドレスに対応する書き込みデータを意味している。

#### 【0114】

図 29 ではまず、データロード “Load 1” , “Load 2” で第二の多値用口ウアドレスに対応する書き込みデータである下位 Data 1、下位 Data 2 を順次入力する。1 回目の書き込み実行コマンド 10Hc が入力されると、2 アレイで同時にラッチ回路 2 からラッチ回路 1 にデータ転送して、内部では第二の多値用口ウアドレスに対応する書き込み動作を実行する。その間に、次のデータロード “Load 3” , “Load 4” を行う。図 29 では、これらのデータロードで、第一の多値用口ウアドレスに対応する書き込みデータである上位 Data 1、上位 Data 2 を入力している。

40

#### 【0115】

先の第二の多値用口ウアドレスに対応する書き込み動作が終了すると、第一の多値用口ウアドレスに対応する書き込みデータをラッチ回路 2 からラッチ回路 1 に転送し書き込みを開始する。第一の多値用口ウアドレスに対応する書き込みでは、図 29 には示していないが、前述の内部データロードによって、ラッチ回路 2 には第二の多値用口ウアドレスに対応するデータがメモリセルから読み出されて保持されている。よって、上位ビット (第一の多値用口ウアドレス選択時) の書き込みが終了するまで、次のデータロードはでき

50

なくなっている。したがって、この場合、連続した書き込みを行っていくと、書き込みを行うロウアドレスによって、キャッシュ機能が使える場合と使えない場合とがあるが、半分のデータロード時間がキャッシュ動作によって、省略できる。

【 0 1 1 6 】

多値動作モードの書き込み時間が長いために、1ビットの論理データを一つの不揮発性メモリセルに記憶する通常の2値動作モードに比べると効果は小さいが、この実施の形態によっても半分のデータロード時間が省略できるので、実効書き込み速度が向上する効果がある。

【 0 1 1 7 】

[ 実施の形態 4 ]

図30は、キャッシュとなるラッチ回路2の接続状態を図2とは異ならせた実施の形態の書き換え/読み出し回路140を示している。この場合、スイッチ素子であるNMOSトランジスタ31は、第1のラッチ回路1のノードN1と第2のラッチ回路2のノードN5の間に介在させている。

【 0 1 1 8 】

このような接続とした場合、多値動作機能はないが、前述のキャッシュ機能が実現できる。ラッチ回路1とラッチ回路2との間でデータ転送する場合には、MOSトランジスタ31を" L "レベル、" H "レベル転送可能な導通状態に制御すればよい。キャッシュ機能としては、前述の動作と同じである。

【 0 1 1 9 】

[ 実施の形態 5 ]

NAND型フラッシュEEPROMでは、ページ内512バイトのセルが全て書き込めるまで、書き込みパルス印加動作と書き込みベリファイリードを繰り返し実行する。図14に示す選択ワード線の印加電圧波形は、書き込みパルス印加動作と書き込みベリファイのサイクルを繰り返す間、書き込み電圧V<sub>pgm</sub>を徐々に増加していく、ステップアップパルス書き込みを示している。この動作は、制御回路により自動的に実行されているが、ページバッファ140を図2の構成にすることによって、途中で中断して、その時のセル電流を測定することが可能である。

【 0 1 2 0 】

前述のように、2値動作時の書き込みベリファイ動作は、メイン書き換え/読み出し回路部10で制御しており、書き込みベリファイ読み出し後のデータはラッチ回路1に保持されている。そこで、1回の書き込みパルス印加動作と書き込みベリファイ読み出しのサイクルが終了した後、ベリファイ結果に応じて次の書き込みパルス印加動作を実行する通常の書き込み制御を中断して、書き込み中のラッチ回路1のデータを壊すことなく、セル電流の測定を行うテスト動作が可能である。

【 0 1 2 1 】

このセル電流の測定時には、スイッチ素子42を非導通状態にするためBLCDを" L "にしてラッチ回路1のデータを保持し、CSENとCLATを" L "、同時にCSENBとCLATBを" H "にしてラッチ回路2を非活性状態にして、選択ビット線からデータ線i<sub>o</sub>までの全ての転送スイッチ、即ちビット線選択トランジスタ60、転送トランジスタ41, 30、カラムゲートトランジスタ51を導通状態にし、データ信号線i<sub>o</sub>から外部データ入出力端子間も導通状態にする。このようにすることによって、セル電流を外部データ入出力端子から測定することができる。

【 0 1 2 2 】

この動作を、従来法の場合の図31(a)と対応させて、図31(b)に示す。従来のテストモードにおいても、書き込み電圧の設定や、書き込みだけ行う動作モード、セル電流の測定モードなどがあり、図31(a)のように類似の動作は可能であった。しかし従来は、セル電流測定モードを入れると、書き込みベリファイ結果が保持されているラッチ回路1のデータを壊してしまうために、セル電流とベリファイ結果の判定の相関関係まで確認する場合には、ベリファイ結果をラッチ回路1から読み出し、セル電流の読み出しを終えた

10

20

30

40

50

後に再びベリファイ結果をデータロードしてから次の書き込みを行うなど、複雑な制御が必要であった。また、書き込み動作毎に設定された電圧まで昇圧するために、図31(a)に示すように、選択ワード線電圧の立ち上がり特性に、昇圧回路の立ち上がり特性が影響するため、選択ワード線に印加される電圧波形も変わってしまう場合がある。それに対して、図31(b)の本実施の形態では、書き込み中のベリファイ結果等を保持したまま、書き込みサイクルを一時中断してセル電流測定モードを行うことができる。セル電流測定終了後には、次のサイクルの書き込みを再開することが可能である。

#### [実施の形態6]

図46は、多値論理動作とキャッシュ機能を実現するためのページバッファ140の他の構成例である。図2の構成と異なり、この実施の形態では、第1のラッチ回路1と第2のラッチ回路2の間のデータ授受は、第1のラッチ回路1のノードN2と第2のラッチ回路2のノードN6の間に直列に介在させたNMOSトランジスタ203、204により行うようになっている。

#### 【0123】

一端が選択ビット線に接続されるクランプ用NMOSトランジスタ41bの他端は、センスノードN4bである。このセンスノードN4bは、図2の場合のように直接に第1のラッチ回路1のノードN1には接続されることはなく、センス用のNMOSトランジスタ201のゲートに接続される。NMOSトランジスタ201のソースは接地され、ドレインがNMOSトランジスタ202、203を介してそれぞれ第1のラッチ回路1のノードN1、N2に接続される。

#### 【0124】

即ちクランプ用NMOSトランジスタ41bによりセンスノードN4bに読み出されたデータにより、センス用NMOSトランジスタ201がオン又はオフとなる。このトランジスタ201の状態は、信号BLSEN0又はBLSEN1により選択的に活性化されるNMOSトランジスタ202又は203を介して、ノードN1又はN2に転送される。これによりセンスデータがラッチ回路1に読み出される。また、ラッチ回路1、2間のデータ授受は、信号BLSEN1、2によりオン駆動されるNMOSトランジスタ203、204を介してノードN2、N6間で行われる。

#### 【0125】

データ書き込み時、第1のラッチ回路1の保持データに応じて、ノードN1の電位を選択ビット線に転送するためのNMOSトランジスタ42bは、クランプ用NMOSトランジスタ41bとは別の経路に配置されている。また、第2のラッチ回路2のノードN5は、NMOSトランジスタ30bを介してセンスノードN4bに接続されている。このNMOSトランジスタ30bは、多値論理動作モードにおいて、第2のラッチ回路2の保持データに応じて選択ビット線のプリチャージを行う場合に導通させるものである。またセンスノードN4bには、このセンスノードN4bの電位を容量カップリングにより制御可能とするために、一端を制御端子CAPGとするキャパシタ48が接続されている。

#### 【0126】

このページバッファ140を用いた場合の多値論理動作を説明する。多値論理動作のメモリセルのしきい値電圧 $V_t$ とデータの関係は、図43(b)の関係を用いる。書き込み動作については、第一ビット(上位ビット)の書き込み動作、及び第二ビット(下位ビット)の書き込み動作とも、その動作フローは先の実施の形態の図9と同じである。読み出し動作に関しては、図47に示すように、先の実施の形態の図9とは、第二ビットの読み出し動作が異なる。即ち、選択ワード線に $V_{r10}$ を印加するRead10が先になり(ステップS31')、続いて、選択ワード線に $V_{r01}$ を印加するRead01が実行される(ステップS32')。それ以外は、図19と変わらない。

#### 【0127】

具体的に、書き込み及び書き込みベリファイ読み出し動作を、図9を参照しながら説明する。まず、下位ビット(第二ビット)について説明すると、データ入力端子からデータ

10

20

30

40

50

信号線  $i_o$ ,  $i_o n$  を介して第 2 のラッチ回路 2 に書き込みデータを入力する (S 1 1)。そして、先の実施の形態と同様に、その書き込みデータを第 2 のラッチ回路 2 から第 1 のラッチ回路 1 に転送する (S 1 2)。

【 0 1 2 8 】

このとき、第 1 のラッチ回路 1 の制御信号  $S E N$ ,  $L A T$  を “ H ”、 $S E N B$ ,  $L A T B$  を “ L ” として、クロックインバータ  $C I 1$ ,  $C I 2$  を非活性にした状態で、制御信号  $B L S E N 1$ ,  $B L S E N 2$  を “ H ” にする。これにより、オンした  $N M O S$  トランジスタ  $2 0 3$ ,  $2 0 4$  を介して、ラッチ回路 2 のノード  $N 6$  の電位をラッチ回路 1 のノード  $N 2$  に転送した後、クロックインバータ  $C I 1$ ,  $C I 2$  の順に活性化して、転送されたデータを保持する。第 1 のラッチ回路 1 から第 2 のラッチ回路 2 にデータを転送する場合も同様に、第 2 のラッチ回路 2 を非活性にしてから、データ転送を行う。

10

【 0 1 2 9 】

次に書き込みパルス印加動作を行う (S 1 3)。この書き込みパルス印加動作では、このページバッファ 1 4 0 の場合、 $N M O S$  トランジスタ  $4 2 b$  をオンにして、第 1 のラッチ回路 1 のノード  $N 1$  のデータを選択ビット線に転送する。このとき、ノード  $N 1$  の “ L ” レベル (0 V)、“ H ” レベル ( $V d d$ ) をレベル低下なく転送するためには、 $N M O S$  トランジスタ  $4 2 b$  のゲートに与える制御信号  $B L C D$  には、 $V d d$  より昇圧された電位を用いることが好ましい。

【 0 1 3 0 】

書き込み動作後、選択ワード線に、図 4 3 に示す電圧  $V v 1 0$  を印加して、書き込みベリファイ読み出し  $V e r i f y 1 0$  を行う (S 1 4)。図 4 8 は、第 1 のラッチ回路 1 のノード  $N 1$  に “ L ” データがある場合の動作状態を示している。ベリファイ読み出しのためのビット線プリチャージは、プリチャージ用  $N M O S$  トランジスタ  $4 7 b$  をオン、更にクランプ用  $N M O S$  トランジスタ  $4 1 b$  をオンにして行う。 $N M O S$  トランジスタ  $4 1 b$  を用いたビット線データセンスの動作は先の実施の形態と同様である。

20

【 0 1 3 1 】

図 4 8 中のリセット動作は、通常の読み出し動作で必要な動作であり、センスデータをラッチ回路に取り込む前にラッチの状態をリセットする動作である。書き込みベリファイ読み出しの動作では、このリセット動作は行わない。

【 0 1 3 2 】

ノード  $N 4 b$  に増幅された読み出しデータ電位が現れた後、これを制御信号  $B L S E N 1$  を “ H ”、従って  $N M O S$  トランジスタ  $2 0 3$  をオンすることにより、二値データとして第 1 のラッチ回路 1 に取り込む。即ち、ノード  $N 4 b$  の電位が  $V d d$  に近いレベルの場合、センス用  $N M O S$  トランジスタ  $2 0 1$  がオンし、 $N M O S$  トランジスタ  $2 0 3$ ,  $2 0 1$  を介してノード  $N 2$  の電位が “ L ” レベルに引き下げられる。ノード  $N 4 b$  の電位が低い場合には、 $N M O S$  トランジスタ  $2 0 1$  はオンせず、或いはオン抵抗が高く、ラッチ回路 1 のノード  $N 2$  の電位は保持される。

30

【 0 1 3 3 】

以上の動作は、第 1 のラッチ回路 1 が活性状態において行われる。そしてこの動作が確実に行われるためには、 $N M O S$  トランジスタ  $2 0 1$ ,  $2 0 2$ ,  $2 0 3$ ,  $2 0 4$  のオン抵抗が、ラッチ回路 1 を構成する  $P M O S$  トランジスタ  $1 1$ ,  $1 3$ ,  $1 5$ ,  $1 7$  より十分に小さくなるように、トランジスタサイズを設定することが好ましい。

40

【 0 1 3 4 】

選択セルに対して読み出しを行い、書き込みパルス印加後のメモリセルのしきい値が高くなることによってビット線の放電が行われず、ビット線電位が “ H ” を保持することにより、第 1 のラッチ回路 1 のノード  $N 2$  に “ L ” が取り込まれれば、書き込み終了となる。一方、メモリセルのしきい値が書き込みパルス印加後も低い場合にはビット線が放電され、ベリファイ読み出しでラッチ回路 1 のノード  $N 2$  は “ H ” を保持する。このときは、ノード  $N 2$  が “ L ” になるまで、書き込みパルス印加とベリファイ読み出しを繰り返す。

【 0 1 3 5 】

50

図49は、図48に対して、第1のラッチ回路1のノードN1に“H”データがある場合(“1”書き込みの場合、即ち非書き込みの場合)の状態を示している。このとき、書き込みパルス印加でメモリセルのしきい値変化を起こさないため、書き込みベリファイ読み出しの結果を無視できる。第1のラッチ回路1のノードN2は最初から“L”レベルであり、ビット線のセンスデータを第1のラッチ回路1に取り込む動作で状態変化はない。

【0136】

先の実施の形態と同様に、1ページ分の同時書き込みにおいて、全てのページバッファにおいて、第1のラッチ回路1のノードN2が“L”、ノードN1が“H”になるまで、書き込み動作とベリファイ読み出し動作が繰り返される。そして全てのセルの書き込みを判定して(S15)、書き込み終了となる。

10

【0137】

次に、上位ビット(第一ビット)の書き込み動作について、図9(b)を参照して説明する。各ページバッファにおいて、上位ビットのデータをI/O信号線を介して第2のラッチ回路2に書き込み(S21)、その後この書き込みデータを第1のラッチ回路1に転送する(S22)。次に、内部データロードを行う(S23)。この内部データロードは、先の実施の形態で説明したように、既にメモリセルに書き込まれている下位ビットデータを、第2のラッチ回路2に読み出す動作である。

【0138】

先の実施の形態と同様に、一つのメモリセルに記憶される第一ビットと第二ビットのデータは、第一の多値用ロウアドレスと第二の多値用ロウアドレスに対応している。そして、第一の多値用ロウアドレスと第二の多値用ロウアドレスが選択するワード線及びメモリセルは同じものとする。

20

【0139】

図50は、内部データロード時の動作状態を示している。ビット線プリチャージからビット線電位のセンスまでの間に、第2のラッチ回路2のリセットが行われる。即ち、リセット用NMOSトランジスタ84をオンすることにより、ノードN5を“L”、ノードN6を“H”の状態にリセットする。この後、選択ワード線に図43(b)に示す読み出し電圧 $V_{r10}$ を与え、ビット線電位をノードN4bに読み出す。そして、制御信号 $BLSEN2$ を“H”にして、NMOSトランジスタ204をオンさせることにより、ノードN4bのセンス結果を、第2のラッチ回路2に取り込む。選択セルが“11”であれば、ノードN5が“L”になり、選択セルが“10”であれば、ノードN5が“H”になる。

30

【0140】

そして、書き込みパルス印加動作(S24)の後、“00”に対する書き込みベリファイ読み出し $Verify00$ を行い(S25)、続いて“01”に対する書き込みベリファイ読み出し $Verify01$ を行う(S26)。

【0141】

図51は、“11”状態のセルから、第一ビットの“0”書き込みの動作を行う場合の状態変化を示している。“0”書き込みのため書き込み開始時の第1のラッチ回路1のノードN1は“L”になっている。ベリファイ読み出し $Verify00$ においては、ビット線プリチャージを第2のラッチ回路2のノードN5から行う。このとき、第2のラッチ回路2のノードN5と第1のラッチ回路1側のノードN4bとの間に介在させたNMOSトランジスタ30bをオンにし、更にNMOSトランジスタ41bをオンにする。トランジスタ30bのゲートには、“H”レベル $V_{dd}$ を電位低下なしに転送できる昇圧電位が与えられ、トランジスタ41bのゲートには読み出し動作時のビット線プリチャージ電位を決める $V_{pre}$ が与えられる。

40

【0142】

前述の内部データロードで、“11”セルを読み出した場合は、ノードN5に“L”レベルを保持しているため、ビット線は0Vにプリチャージされる。従って、ベリファイ読み出し $Verify00$ により、ノードN4bに現れるビット線電位センス結果は“L”である。このとき、NMOSトランジスタ203をオンにしても、第1のラッチ回路1の

50

保持データは変化しない。

【0143】

次のベリファイ読み出しVerify01では、ビット線プリチャージをNMOSトランジスタ47bにより行う。即ち通常の読み出し時にビット線プリチャージと同様に、ノードN4bをVddにして、ビット線をプリチャージする。この場合、書き込みパルス印加後の選択セルのしきい値に応じたビット線電位がノードN4bに読み出される。従って、NMOSトランジスタ203をオンにすると、ベリファイ読み出し結果が、第1のラッチ回路1に取り込まれる。“11”セルから“01”セルへの書き込みの場合、ベリファイ読み出しVerify01において、第1のラッチ回路1のノードN1に“H”が取り込まれれば、書き込み終了となる。

10

【0144】

図52は、“10”状態のセルから、第一ビットの“0”書き込みの動作を行う場合の状態変化を示している。“0”書き込みのため書き込み開始時の第1のラッチ回路1のノードN1は“L”になっている。ベリファイ読み出しVerify00においては、ビット線プリチャージを第2のラッチ回路2のノードN5から行う。このとき、第2のラッチ回路2のノードN5と第1のラッチ回路1側のノードN4bとの間に介在させたNMOSトランジスタ30bをオンにし、更にNMOSトランジスタ41bをオンにする。このとき、前述のようにトランジスタ41bのゲートには、Vpreが与えられる。

【0145】

“11”セルからの書き込みと異なり、“01”セルの場合は、ノードN5が“H”レベルであり、通常の読み出しの場合と同様にビット線プリチャージが行われる。その後、書き込みパルス印加動作後の選択セルのしきい値に応じてビット線電位がノードN4bに読み出される。このデータが、NMOSトランジスタ203をオンにすることにより、第1のラッチ回路1に取り込まれる。

20

【0146】

“10”セルから“00”セルへの書き込みの場合、ベリファイ読み出しVerify00において、第1のラッチ回路1のノードN1に“H”が取り込まれれば、書き込み終了となる。続いて、ベリファイ読み出しVerify01を行うが、この場合図43(b)に示すように、選択ワード線の読み出し電圧Vv01が高い。従って、“00”セルはこのベリファイ読み出しでオンして、ビット線が“L”電位になり、ノードN4bに現れるセンスデータは“L”になる。これにより、第1のラッチ回路1にデータ取り込みを行っても状態変化はない。以上により、ベリファイ読み出しVerify01において、書き込みが終了したものは、ノードN1に“H”が保持され、未終了のものはノードN1に“L”が保持される。

30

【0147】

図53及び図54はそれぞれ、“11”セル及び“10”セルからの“1”書き込みの動作の状態変化を示す。“0”書き込みの場合と同様に、書き込みパルス印加の後、書き込みベリファイ読み出しVerify00, Verify01が順次行われるが、第1のラッチ回路1のノードN1には“H”レベルが保持され、ノードN2には“L”が保持されている。従って、ベリファイ読み出し時、NMOSトランジスタ203をオンにしても、第1のラッチ回路1の状態変化はない。そして、全てのページバッファのノードN1が“H”になることが判定されるまで(S27)、書き込みとベリファイ読み出しを繰り返して、書き込みを終了する。

40

【0148】

次に、図46のページバッファ140を用いた、多値データの通常の読み出し動作を説明する。図55は、第一ビットの読み出し動作時の状態変化を示している。第一ビットの読み出し動作は、第一の多値用口ウアドレスが選択された場合の読み出し動作であり、そのフローは図47(b)になる。

【0149】

選択ワード線に、図43(b)に示す読み出し電圧Vr00を与えて、読み出し動作を

50

行う (S 4 1)。このとき、ビット線プリチャージから、ビット線電位センスまでの間に、制御信号 B L S E N 0 を “ H ” にして N M O S トランジスタ 2 0 2 をオン、またプリチャージ用トランジスタ 4 7 b により N M O S トランジスタ 2 0 1 をオンとすることで、第 1 のラッチ回路 1 はリセットされる。リセット状態は、ノード N 1 が “ L ”、ノード N 2 が “ H ” である。

【 0 1 5 0 】

そして、ビット線データセンスの結果、ノード N 4 b は、“ H ” 又は “ L ” になる。これを、制御信号 B L S E N 1 を “ H ” として、N M O S トランジスタ 2 0 3 をオンすることにより、第 1 のラッチ回路 1 に取り込む。選択セルが “ 1 1 ” 又は “ 1 0 ” の場合、ビット線データセンス結果はノード N 4 b が “ L ” であり、このとき N M O S トランジスタ 2 0 1 , 2 0 3 によるノード N 2 の放電はなく、第 1 のラッチ回路 1 は、ノード N 1 が “ L ” を保持する。これが外部に “ 1 ” として読み出される。

10

【 0 1 5 1 】

一方、選択セルが “ 0 0 ” 又は “ 0 1 ” の場合は、ビット線データセンス結果はノード N 4 b が “ H ” である。このとき N M O S トランジスタ 2 0 1 , 2 0 3 によりノード N 2 が放電され、第 1 のラッチ回路 1 は、データ反転してノード N 1 が “ H ” になる。これが外部に “ 0 ” として読み出される。なお、実際の外部入出力端子へのデータ読み出しは、第 1 のラッチ回路 1 のデータを第 2 のラッチ回路 2 に転送し ( S 4 2 )、カラムアドレス選択を行うことで、カラムゲートトランジスタ 5 1 , 5 2 を介して行われる。

【 0 1 5 2 】

20

図 5 6 ~ 図 5 8 は、図 4 7 ( a ) に示すフローによる第二ビット読み出し時の状態変化を示している。第二ビット読み出し動作は、第二の多値用口ウアドレスが選択された場合の読み出し動作であり、図 4 7 ( a ) に示したように、2 回の読み出し R e a d 1 0 ( S 3 1 ' ) , R e a d 0 1 ( S 3 2 ' ) を実行する。このうち、1 回目の読み出し R e a d 1 0 のときの状態変化が図 5 6 である。

【 0 1 5 3 】

この 1 回目の読み出し R e a d 1 0 では、選択ワード線に、図 4 4 ( b ) に示す読み出し電圧 V r 1 0 を印加する。その動作は、選択ワード線の読み出し電圧を除き、先に説明した読み出し R e a d 0 0 と同じである。読み出し結果は、“ 1 1 ” セルの場合、第 1 のラッチ回路 1 のノード N 1 が “ L ” になり、“ 1 0 ” , “ 0 0 ” , “ 1 0 ” セルの場合、第 1 のラッチ回路 1 のノード N 1 が “ H ” になる。

30

【 0 1 5 4 】

次に、選択ワード線に、図 4 3 ( b ) に示す読み出し電圧 V r 0 1 を印加した 2 回目の読み出し R e a d 0 1 を行う。図 5 7 はこの読み出し動作における、1 回目の読み出しで第 1 のラッチ回路 1 のノード N 1 が “ L ” ( 即ち、“ 1 1 ” の場合 ) である場合の状態変化であり、図 5 8 は、1 回目の読み出しで第 1 のラッチ回路 1 のノード N 1 が “ H ” ( 即ち、“ 1 0 ” , “ 0 0 ” , “ 1 0 ” の場合 ) である。

【 0 1 5 5 】

この 2 回目の読み出し r e a d 0 1 では、ビット線電位センスの前のリセット動作は行わない。従って、1 回目の読み出し R e a d 1 0 の読み出し結果が第 1 のラッチ回路 1 に保持されている。そして、ノード N 4 b に得られたビット線データセンスの結果を、制御信号 B L S E N 0 を “ H ”、従って N M O S トランジスタ 2 0 2 をオンすることにより、第 1 のラッチ回路 1 に取り込む。

40

【 0 1 5 6 】

選択セルが “ 1 1 ” の場合は、第 1 のラッチ回路 1 のノード N 1 に “ L ” が保持されているので、ノード N 4 b の状態に拘わらず、ノード N 1 は “ L ” を保持する ( 図 5 7 )。選択セルが “ 1 0 ” 又は “ 0 0 ” の場合、選択ワード線電圧が V r 0 1 であることから、選択セルがオンしてノード N 4 b のセンスデータは “ L ” になる。従って、N M O S トランジスタ 2 0 1 はオフ又はオンしても高抵抗状態であり、N M O S トランジスタ 2 0 2 をオンしてもノード N 1 の電位は変化しない。即ち先の読み出し R e a d 0 0 のデータを保

50

持する（図58）。

【0157】

選択セルが“01”の場合、選択ワード線電圧 $V_{r01}$ ではオンせず、ビット線が放電されないから、ビット線電位センス後のノード $N_{4b}$ は“H”である。従って、NMOSトランジスタ201はオンし、NMOSトランジスタ202をオンすると、ノード $N_1$ は放電されて“L”に引き下げられる（図58）。

【0158】

以上の結果、第二ビットが“1”の場合、ノード $N_1$ が“L”、第二ビットが“0”の場合、ノード $N_1$ が“H”となるように、データが第1のラッチ回路1に取り込まれる。この後、第1のラッチ回路1のデータを第2のラッチ回路2に転送し（S33）、該当するカラムアドレス選択により、読み出しデータが外部端子に出力される。以上のようにして、多値論理記憶の読み出し動作が可能である。

10

【0159】

二値記憶の場合には、先の実施の形態と同様に、第1のラッチ回路2をキャッシュとして動作させることができる。第1のラッチ回路1を含む書き換え/読み出し回路10がメインページバッファとなっており、二値動作においては、第2のラッチ回路2を介してデータの入出力を行うのみである。読み出し動作では、二値データのしきい値分布の間にある読み出し電圧を選択ワード線に印加して、図47(b)及び図55に示す読み出し $Read_{00}$ と同じ制御を行えばよい。書き込み動作時には、図9(a)と同様の制御を行えばよい。

20

【0160】

先の実施の形態で説明したように、読み出し動作においては、読み出しデータを第1のラッチ回路1から第2のラッチ回路2に転送した後は、メインのページバッファ10により次のページ読み出しに移ることが可能である。書き込み動作では、書き込みデータを第2のラッチ回路2から第1のラッチ回路1に転送した後は、次のページアドレスの書き込みデータを第2のラッチ回路2にロードすることが可能である。以上により、キャッシュ機能が実現できる。

【0161】

図46の実施の形態の回路では、活性状態にあるラッチ回路1のデータ反転に利用されるNMOSトランジスタ201, 202, 203, 204のサイズは重要である。図46の回路の場合、図2の回路とは異なり、センスノード $N_{4b}$ の“H”, “L”のビット線データセンス結果をNMOSトランジスタ201のゲートで受ける。センスノード $N_{4b}$ のデータセンス時の“H”レベルは $V_{dd}$ であり、“L”レベルはオン状態のセルにより放電されたビット線の電位とほぼ等しい電位である。そして、NMOSトランジスタ201は、センスノード $N_{4b}$ が“H”レベルのとき十分に低抵抗状態でオンし、“L”レベルのときはオフ、或いは少なくとも十分な高抵抗状態であることが必要になる。特に、ラッチデータの反転を確実にするためには、NMOSトランジスタ201, 202, 203のオン抵抗が小さいことが重要になる。

30

【0162】

しかし、これらのトランジスタのサイズの設計のみで十分なマージンを得ることは容易ではない。この点の対策として、図46に示すキャパシタ48を利用した容量カップリングによりセンスノード $N_{4b}$ の電位を制御することが有効になる。即ち、トランジスタ47bを用いたビット線プリチャージ後、データセンス前に、端子C A P Gに例えば正電位を与えて、センスノード $N_{4b}$ をブーストすることにより、“H”出力時と“L”出力時のNMOSトランジスタ201のチャネル抵抗比が最大になるように電位制御することにより、大きなセンスマージンを得ることができる。

40

【0163】

前述のように、図2に示したページバッファ140においては、第1のラッチ回路1を含むメインページバッファ10が、ビット線データセンスを行うラッチ機能を備えたセンスアンプ回路を構成している。NAND型フラッシュメモリは、大容量化しやすい反面、

50

そのメモリセル構成からセル電流が小さく、NOR型メモリ等に比べて高速読み出しが難しい。そのため、一つの選択ワード線により選択される1ページ分のメモリセル(例えば512バイト)のデータを同時に読み出し、この読み出しデータをシリアル転送して出力する方式が通常用いられる。この方式を適用するためには、512バイトのメモリセルに対して512バイト分のセンスアンプ回路が配置される。

【0164】

そしてセンスアンプ回路方式としては、図2に示したように、クランプ用トランジスタ41を用いて、ビット線電位のクランプ動作とプリセンス動作を行うことにより、可能な限り高速読み出しを行うようにしている。しかし、クランプ動作を利用していることから、“0”、“1”データのセンスマージンは小さい。特に、電源電圧が低電圧化され、

10

【0165】

具体的に、図59のセンス動作波形を用いて説明する。読み出し時、NAND型セルブロックの選択されたワード線に読み出し用電圧が印加され、残りの非選択用ワード線には、直列に接続されるメモリセルをパストラジスタとするための読み出し用パス電圧が印加される。ビット線の放電をNAND型セルのソース側の選択ゲート線SGSで行う場合には、ドレイン側選択ゲート線SGDは常時オン、ソース側選択ゲート線SGSをオフとして、ビット線プリチャージを行う(時刻T0-時刻T1)。即ち、クランプ用トランジスタ41をオンとし、プリチャージ用トランジスタ47をオンして、ビット線プリチャージを行う。

20

【0166】

このとき、図59に示すように、プリチャージ用トランジスタ47のゲート端子BLPREには電源Vddより昇圧された電位Vdd+Vtnを与えて、センスノードN4にVddを与え、またクランプ用トランジスタ41のゲート端子BLCLAMPにはVpreを与えることにより、ビット線をVpre-Vtnまでプリチャージする。ここで、VtnはNMOSTランジスタのしきい値である。

【0167】

その後、BLCLAMPを0Vに戻して、ソース側選択ゲートをオンにすると、選択セルのデータに応じて、ビット線が放電されるか、又は放電されずにプリチャージ電位を保持する。そして、時刻T2で、トランジスタ42をオンし、センスノードN4とラッチ回路1のノードN1を接続し、ノードN1をVddにプリチャージする。時刻T2で、ノードN1をVddにプリチャージする前に、SENとLATを“L”レベルにして、ラッチ回路1を非活性状態にする。

30

【0168】

時刻T3でプリチャージ用トランジスタ47をオフにして、ノードN1をフローティングに保持した状態で、時刻T4-T5の間クランプ用トランジスタ47のゲート端子BLCLAMPに読み出し用電位Vsenを与える。これにより、選択セルのデータが“1”の場合、ビット線電位は放電により低下して、Vsen-Vtn以下になっており、ノードN4及びN1はクランプ用トランジスタ41がオンして、ビット線電位まで低下する。一方、選択セルが“0”データの場合、ビット線がプリチャージ電位を保持するため、クランプ用トランジスタ41はオフであり、ノードN1及びN4は、Vddのプリチャージ電位を保持する。

40

【0169】

結果として、“1”セルの場合、ビット線振幅Vpre-VsenがノードN1、N4では、Vdd-(Vsen-Vtn)として増幅されて読み出される。例えば、ビット線プリチャージ電位を0.7Vとすると、ビット線の読み出し振幅を約0.25Vに設定したとき、ノードN1、N4の振幅は約2Vまで増幅される。

【0170】

このクランプ動作後、ノードN1の電位を“H”又は“L”として、ラッチ回路1に取

50

り込む。通常の読み出し動作では、時刻 T 7 でラッチ回路 1 のクロックインバータ C I 2 を活性化し、次いで時刻 T 8 でクロックインバータ C I 1 を活性化することにより、データ取り込みを行う。

#### 【 0 1 7 1 】

以上の動作説明から、クランプ動作によるビット線電位増幅後、ノード N 1 , N 4 に得られる“ L ”レベル電位 ( 図 5 9 の波形 q ) は、ラッチ回路 1 の回路しきい値より低くなければならない。逆にいえば、ラッチ回路 1 の回路しきい値は、ノード N 1 , N 4 に読み出される“ L ”レベルより高くなければならない。従って、電源電圧が低電圧化され、クロックインバータの回路しきい値が低下した場合にも、ばらつきを考慮したワーストケースで誤読み出しが起こらないように、読み出し時ビット線の“ H ” , “ L ”レベルを設定しなければならない。

10

#### 【 0 1 7 2 】

一方、読み出し時にビット線プリチャージ電位を低くしすぎると、セル電流のドレイン電圧依存性により、セル電流が小さくなり、従って読み出し時間が長くなる。逆に、高速読み出しを行うために、“ 1 ”データセルのオン電流を増加させようとしても、ラッチ回路 1 の回路しきい値により制限されてしまう。そこで、センスアンプ回路の回路しきい値によりビット線プリチャージ電位や振幅が制限されないようなセンスアンプ回路方式が望まれる。

#### 【 0 1 7 3 】

以上の事情を考慮して、図 2 のメインページバッファ 1 0 に対応するセンスアンプ回路として、好ましい実施の形態を以下に説明する。なお、以下の各実施の形態で説明するセンスアンプ回路は、多値論理動作やキャッシュ機能を実現する先の各実施の形態のメインページバッファに適用できることは勿論、より一般的に二値記憶を行う通常の N A N D 型フラッシュメモリにも有効である。更には、電気的書き換え可能な不揮発性メモリに限らず、ビット線の電流引き込みの有無或いは大小によりデータ記憶を行う形式のメモリセルを持つものであれば、他の不揮発性メモリのセンスアンプ回路として利用することが可能である。実際に以下の各実施の形態のセンスアンプ回路は、N A N D 型フラッシュメモリの二値データの読み出し動作に着目して説明する。

20

#### 【 0 1 7 4 】

##### [ 実施の形態 7 ]

図 6 0 は、その様な実施の形態のセンスアンプ回路 1 4 1 a を、図 2 のページバッファ 1 0 に対応させて示している。ビット線選択スイッチ回路 1 4 1 b は、二つのビット線 B L o , B L e のうち一本を選択してセンスアンプ回路 1 4 1 a に接続するためのものである。2 個のクロックインバータ C I 1 , C I 2 により構成されるラッチ回路 1 は、読み出し動作において、1 ページ分のメモリセルデータを同時に読み出した後、これをシリアル転送して出力するまで保持する働きをする。またラッチ回路 1 は、データ書き込み時は、ページ単位の書き込みデータを書き込み動作が終了するまで保持する。

30

#### 【 0 1 7 5 】

図 6 1 は、具体的に二値データ記憶を行う場合について、センスアンプ回路 1 4 1 a とセルアレイの接続関係を示している。1 ページ分のセンスアンプ回路 ( B / P ) 1 4 1 a が選択スイッチ回路 1 4 1 b を介して、ビット線 B L o 又は B L e に接続される。セルアレイは図では、二つの N A N D セルブロック 1 0 1 , 1 0 2 を示している。センスアンプ回路 1 4 1 a は、カラムゲート 1 5 0 を介して、データ入出力バッファ 5 0 と接続される。センスアンプ回路 1 4 1 a に保持された読み出しデータは、カラムアドレスにより切り換えられるカラムゲート 1 5 0 によりシリアルデータに変換されて、取り出される。

40

#### 【 0 1 7 6 】

センスアンプ回路 1 4 1 a において、センスノード N 4 がクランプ用 N M O S トランジスタ 4 1 を介して選択ビット線に接続されること、センスノード N 4 にプリチャージ用 N M O S トランジスタ 4 7 が設けられていること、センスノード N 4 とラッチ回路 1 のノード N 1 ( クロックインバータ C I 2 の入力端子である ) の間に転送用 N M O S トランジ

50

スタ42が設けられていることは、図2の場合と同様である。またベリファイ回路20は、書き込みベリファイ時に用いられる回路であり、図2のトランジスタ44, 45, 46及びキャパシタ49の部分に相当する。

【0177】

この実施の形態において、データセンスノードN4にはキャパシタ31が接続され、このキャパシタ31の端子BOOST2が、データセンス時に容量カップリングによりセンスノードN4の電位制御を行う駆動端子として用いられるようにしている。

【0178】

図62は、図60のセンスアンプ回路141aのデータセンス時の動作波形を、図59に対応させて示している。まず通常の通り、時刻T0で、プリチャージ用トランジスタ47のゲートBLPREに $V_{dd} + V_{tn}$ を印加し、同時にクランプ用トランジスタ41のゲートBLCCLAMPに $V_{pre}$ を印加して、センスアンプ回路141aからビット線をプリチャージする。このとき、トランジスタ42はオフであり、ラッチ回路1は活性状態に保持する。このプリチャージ動作により、センスアンプ回路141a内のセンスノードN4は $V_{dd}$ に、ビット線は $V_{pre} - V_{tn}$ に設定される。

【0179】

次に時刻T2でクランプ用トランジスタ41をオフにし、NANDセルの選択ゲートをオンにして、選択セルのデータに応じてビット線を放電する。ビット線放電を開始してから、時刻T2でNMOSTランジスタ42のゲートBLCDに $V_{dd} + V_{tn}$ を印加して、これをオンにする。また、SENとLATを“L”レベルにしてラッチ回路1を非活性状態にする。これにより、ノードN1はノードN4から $V_{dd}$ に充電される。時刻T3でBLPREを0Vとして、プリチャージ用トランジスタ47をオフにし、同時にキャパシタ48cの端子BOOST2を第1の電位から第2の電位に上昇させる。具体的には例えば、0Vから1Vに上げる。

【0180】

このとき、ノードN4はフローティングになっているため、容量カップリングによりノードN4は電位上昇する。ノードN4の電位上昇は、キャパシタ48cとノードN4の容量比で決まる。ノードN1は、トランジスタ42のゲートBLCDが $V_{dd} + V_{tn}$ であるため、 $V_{dd}$ までしか上昇できず、容量カップリングによる電位上昇はない。なおキャパシタ48cは、従来より、ノードN4をフローティング状態に保持するときリーク電流や寄生容量の影響を除く意味で用いられているが、これを昇圧に用いることはなかった。

【0181】

この後、時刻T4で、クランプ用トランジスタ41のゲートBLCCLAMPに $V_{sen}$ を印加し、選択ビット線とセンスノードN4を接続する。図62では、このときのノードN4の電位変化の幾つかのケース(a)~(d)を、選択セルのデータに応じたビット線電位変化に対応させて示している。ケース(a)は選択セルが十分にしきい値が高いデータ“0”状態の場合である。このとき、ビット線電位は殆どプリチャージ電位を保持するため、クランプ用トランジスタ41は導通せず、ノードN4は昇圧された電位を保持する。

【0182】

ケース(d)は、選択セルがデータ“1”でありしかもしきい値が著しく低い場合である。このとき、ビット線が略0Vまで放電した状態でノードN4と接続されるので、ノードN4はビット線と同じ略0Vまで放電される。ケース(c)は選択セルが“1”であるが、しきい値が高い場合である。この場合、ビット線の放電は遅く、ノードN4はビット線と略同じ中間的な電位になる。ケース(b)は、選択セルが“0”であるがしきい値が選択ワード線電位に近く、サブスレッショルド電流が流れる場合である。この場合、ビット線電位が僅かに低下し、ノードN4も僅かに低下する。

【0183】

この様に、時刻T4での動作は、従来法と異なり、ノードN4を高電位の状態でビット

10

20

30

40

50

線電位増幅を行うことになる。そして時刻 T 5 では、クランプ用トランジスタ 4 1 のゲート B L C L A M P を  $V_{sen}$  よりわずかに低い  $V_{sup}$  に変更する。この電圧  $V_{sup}$  は、 $V_{sen}$  よりは低くしきい値より高い電圧であり、クランプ用トランジスタ 4 1 を 0 V 付近で導通させるものとする。これにより、 $V_{sen}$  を印加していたときに比べて、低いビット線電位でなければ、ノード N 4 とビット線が導通しない状態になる。

【 0 1 8 4 】

そして、時刻 T 6 では、キャパシタ端子 B O O S T 2 を 0 V に戻す。クランプ用トランジスタ 4 1 のゲート電圧を下げたことにより、ノード N 4 とビット線と導通し難く、従ってノード N 4 はフローティングになりやすくなっている。このため、( a ) ( b ) ( c ) のケースでは、B O O S T 2 の電位立ち下げに伴い、ノード N 4 の電位は低下する。一方、時刻 T 4 の後にノード N 4 が略 0 V となった ( d ) の場合は、ノード N 4 がフローティングであれば負電位まで低下するが、クランプ用トランジスタ 4 1 の導通によりビット線から電流が流れ込むため、負電位までの低下は抑制される。これは、キャパシタ 4 8 c の容量がビット線容量に比べて小さいために、可能となっている。

10

【 0 1 8 5 】

以上により、( a ) のような “ 0 ” データ読み出しの場合は、ノード N 1 の電位はキャパシタ 4 1 による昇圧前の  $V_{dd}$  に戻る。一方、( c ) のような、ビット線放電の遅い “ 1 ” セルの場合、ノード N 1 の電位をビット線電位よりも降圧することができる。即ち、この実施の形態のセンスアンプ回路では、ビット線振幅に対してノード N 1 を高電位側に増幅するだけでなく、低電位側にも増幅したと等価になり、ノード N 1 の “ H ” , “ L ”

20

【 0 1 8 6 】

そして、時刻 T 7 でクランプ用トランジスタ 4 1 のゲート B L C L A M P を 0 V として、ビット線とノード N 4 の間を完全に切り離す。その後、時刻 T 9 でクロックインバータ C I 2 を活性化し、次いで時刻 T 1 0 でクロックインバータ C I 1 を活性化する。これにより、ノード N 1 の “ H ” , “ L ” による二値データをラッチ回路 1 に取り込む。

【 0 1 8 7 】

図 6 2 には、ラッチ回路 1 の C M O S クロックインバータの回路しきい値 ( 反転しきい値 ) の範囲を、電源  $V_{dd}$  やプロセスのばらつきを考慮して示している。この実施の形態の場合、キャパシタ 4 8 c を用いてノード N 4 の電位を昇圧した状態でクランプ動作によるビット線データセンスを行い、その後ノード N 4 を降圧することにより、“ 1 ” セルを読み出したときのノード N 4 の “ L ” レベルをビット線レベルより低電位までシフトしているから、ビット線電位の “ L ” レベルが回路しきい値より高い場合にも誤読み出しがなく、正常に読み出し動作ができる。ビット線の “ H ” レベルプリチャージ電位や “ L ” の読み出し電位の設定値をより高くしたい場合には、キャパシタ 4 8 c に与える電位振幅をより大きくすればよい。

30

【 0 1 8 8 】

なお、ノード N 4 と N 1 の間のトランジスタ 4 2 のゲート B L C D を  $V_{dd} + V_{tn}$  として、ノード N 1 , N 4 のうち、ノード N 4 のみを昇圧するようにしたのは、ノード N 1 にはラッチ回路 1 の P M O S トランジスタ 1 3 のドレインが接続されているからである。即ち、ノード N 1 をノード N 4 と同時に昇圧すると、P M O S トランジスタの p n 接合が順バイアスになり、ノード N 4 が昇圧されなくなるため、これを防止している。このときトランジスタ 4 2 のゲート B L C D に与える電圧は、 $V_{dd} + V_{tn}$  でなくてもよく、クロックインバータの回路しきい値より高く、 $V_{dd}$  より低い電圧が転送できるゲート電圧であればよい。

40

【 0 1 8 9 】

図 6 2 における時刻 T 8 での制御信号 R E G は、書き込みベリファイ等の読み出し動作で用いられるもので、図 6 0 のベリファイ回路 2 0 とノード N 4 の間のトランジスタ 4 3 のゲート制御信号である。即ち、N A N D 型フラッシュメモリではページ単位でデータ書き込みを行うが、書き込みデータのしきい値範囲を所定範囲に収めるために、書き込みバ

50

ルス印加動作と書き込みベリファイ読み出しを数回繰り返す。そして、書き込みが終了したビット毎に、次の書き込みパルス印加動作では非書き込み状態になるようにデータをセットする。

【0190】

具体的に、“0”データ書き込みでは、ノードN1の“L”レベルでビット線プリチャージを行い、“0”書き込み（浮遊ゲートへの電子注入）が十分であると、そのビットはベリファイ読み出しでノードN1が“H”になる。即ち、以後書き込み禁止の状態になる。“0”書き込みが不十分であると、ベリファイ読み出しでノードN1は“L”になり、このビットに対しては再度の“0”書き込みが行われる。

【0191】

一方、“1”データ書き込み（即ち書き込み禁止）のビットでは、ノードN1の“H”レベルでビット線プリチャージが行われ、セルデータが“1”の場合にはそのまま保持されるようにする。このとき、ベリファイ読み出しにより、ノードN1は、“L”になるから、この状態でビット線プリチャージを行って次の書き込みをすると、“0”書き込みになってしまう。従って、この場合にはベリファイ読み出し動作で、ノードN4の読み出しデータを反転して、非書き込み状態の“H”にする必要がある。この様に、書き込みベリファイ読み出し時にノードN1、N2のデータ制御を行うのが、ベリファイ回路20である。即ち、書き込みパルス印加時のノードN1のデータが“H”の場合に限り、NMOSトランジスタ43のゲートREGに“H”が印加されたときに、ノードN1、N4を“H”状態にセットするようにベリファイ回路20が働くことになる。

【0192】

[実施の形態8]

図63は、図60の回路を少し変形した実施の形態のセンスアンプ回路141aである。図60と異なる点は、センスノードN4に昇圧電圧を与えるキャパシタ48cと別に、一端が接地されたキャパシタ48aを付加していることである。センスアンプ回路動作は、図60の場合と変わらない。

【0193】

この実施の形態の場合、キャパシタ48cの端子BOOST2に駆動電圧を与えて、ノードN4を昇圧するとき、ノードN4の容量が実質的にキャパシタ48aにより大きくなっているため、先の場合と同じ昇圧電圧を得るのに、先の場合より高い駆動電圧が必要になる。言い換えれば、図60の回路では必要なノードN4の昇圧電圧を得るために、駆動電圧として中間的な電圧が必要となる場合でも、この実施の形態の場合、キャパシタ48c、48aの値を選ぶことにより、電源電圧Vddを用いることが可能になる。この様にキャパシタ端子BOOST2の電圧振幅を0VとVddとすれば、周辺回路を複雑にすることがなく、好ましい。

【0194】

[実施の形態9]

図64は、図63の回路を更に少し変形した実施の形態のセンスアンプ回路141aである。この実施の形態では、ノードN1に、プリチャージ回路として、ゲートが制御信号PPREにより制御されるPMOSトランジスタ82bが付加されている。またノードN1の電荷を保持するために、一端が接地されたキャパシタ48bがノードN1に付加されている。

【0195】

図60のセンスアンプ回路では、キャパシタ端子BOOST2の制御によりノードN4を昇圧する際、ノードN1を昇圧しないようにするために、トランジスタ42のゲートBLCDにVdd+Vtnを印加した。この電圧が精度よく設定されていないと、ラッチ回路1のPMOSトランジスタのpn接合が順バイアスになり、ノードN4の昇圧ができなくなる。そこで、ゲートBLCDの電圧は、ノードN1がVdd以下で且つラッチ回路1の回路しきい値より高くなるように設定することが必要になる。

【0196】

10

20

30

40

50

図64の実施の形態は、この様なトランジスタ42の制御をより簡単にするために、ノードN1をノードN4とは独立にプリチャージ可能としたものである。この場合、トランジスタ42のゲートBLCDの電圧は、クランプ動作によりビット線とノードN4が接続されノードN4に得られた読み出し電圧をノードN1に転送できるものであればよく、 $V_{sen}$ 以上の電圧であればよい。例えば電源電圧 $V_{dd}$ を所定のタイミングで印加すればよい。

#### 【0197】

図65は、この実施の形態のセンスアンプ回路の動作波形を示している。時刻T0から時刻T1までのビット線プリチャージ動作は、図60の回路の場合と同じである。時刻T2で制御端子PPREを“L”( $V_{ss}$ )として、トランジスタ82bによりノードN1を $V_{dd}$ にプリチャージする。このとき、BLCDは“L”であり、ノードN4とは独立にノードN1がプリチャージされる。時刻T3でBLCDを $V_{sen}$ 以上の電圧、例えば $V_{dd}$ に設定する。BLCD、ノードN1及びN4がいずれも $V_{dd}$ のとき、NMOSTランジスタ42はオフである。この状態で、BOOST2によりノードN4を昇圧する。

#### 【0198】

なお、図64の場合、ノードN4の昇圧回路として、図63と同様に二つのキャパシタ48c, 48aを用いているが、図60と同様に一つのキャパシタ48cのみを用いてもよい。

#### 【0199】

時刻T4で、プリチャージ制御信号PPREを“H”としてノードN1のプリチャージ動作を停止し、ノードN1をフローティングにする。この様にすると、NMOSTランジスタ42のカットオフがよくなるため、ノードN4を安定に昇圧することが可能になる。但し、前述のように“0”書き込み後のペリファイ読み出しにおけるように、ノードN4, N1が“L”に放電された後、再度“H”に充電する場合がある。従って、ラッチ回路1の活性化前に、時刻T8でトランジスタ42のゲートBLCDを $V_{dd} + V_{tn}$ に上げる。

#### 【0200】

##### [実施の形態10]

図66は更に別の実施の形態によるセンスアンプ回路141aである。この実施の形態では、ノードN4の昇圧制御は行わない。ノードN4, N1にはそれぞれ一端が接地されたキャパシタ48a, 48bが接続され、またノードN1には、リセット用のNMOSTランジスタ82cが設けられる。

#### 【0201】

図67はこの実施の形態の場合の動作波形である。この実施の形態の場合には、センスノードN4を昇圧することなく、ビット線プリチャージとクランプによるビット線データセンスを行う。この間、BLCDは0Vとし、トランジスタ42をオフにした状態で、ノードN4とビット線とをクランプ動作で接続する。ノードN4にビット線電位が現れた後、時刻T5でBLCDに $V_{dd} + V_{tn}$ を与える。この時刻T5までの間に、リセット信号NRSTを“H”にして、ノードN1は0Vにリセットしておく。

#### 【0202】

この様な制御を行うと、トランジスタ42が導通することにより、ノードN4のキャパシタ48aに保持されていた電荷がノードN1のキャパシタ48bに分配される。これにより、図67に示すように、ノードN4の電位が低下し、ノードN1の電位が上昇する。従って、ノードN4に読み出されるビット線データの“L”レベルがラッチ回路1の回路しきい値より高い場合にも、これを“L”として取り込むことが可能となる。

#### 【0203】

この実施の形態のセンスアンプ回路は、図60, 図63, 図64の回路に比べて動作制御は簡単である。但し、時刻T5でノードN4からの電荷分配により決まるノードN1の“H”レベル電位が低すぎて、ラッチ回路1の回路しきい値より低くなると、“0”読み出しができなくなる。このため、読み出し時のビット線電位の設定の自由度が、図60,

10

20

30

40

50

63, 64の回路に比べると小さい。

【0204】

[実施の形態11]

図68は、更に他の実施の形態によるセンスアンプ回路141aである。図60, 図63, 図64及び図66の回路では、センスノードN4のデータをトランジスタ42を介してラッチ回路1のノードN1に直接転送するようにしたが、この実施の形態では、ノードN4のデータをゲートで受けるセンス用NMOSTランジスタ70を用いている。このトランジスタ70のソースは接地され、ドレインがスイッチ用NMOSTランジスタ71, 72を介してラッチ回路1のノードN2, N1にそれぞれ接続される。

【0205】

データ書き込み時、ラッチ回路1のノードN1のデータをビット線に転送するNMOSTランジスタ42は、クランプ用トランジスタ41とは別経路に設けられている。このセンスアンプ回路方式は、図46のそれと同様である。この実施の形態の回路において、センスノードN4には、図60の回路と同様に、一端BOOST2を駆動端子とした昇圧用キャパシタ48cが接続されている。

【0206】

この実施の形態によるセンスアンプ回路141aの通常の前データ読み出しの動作を、図69の動作波形を用いて説明する。時刻T0で、プリチャージ用トランジスタ47のゲートBLPREにVdd+Vtnを印加し、クランプ用トランジスタ41のゲートBLCLAMPにVpreを印加して、選択ビット線をVpre-Vtnにプリチャージする。このときノードN4はVddになるため、同時に制御信号BLSENOをVddにすると、ラッチ回路1のノードN1は“H”、ノードN2は“L”の状態にリセットされる。

【0207】

時刻T1でビット線プリチャージ動作を終了し、NANDセルブロックの選択ゲートをオンにすると、選択セルの前データ状態に応じて、ビット線は放電し或いは放電せずにプリチャージ電位を保持する。時刻T2まで、プリチャージ用トランジスタ47のオン状態を保持してその後これをオフにし、時刻T3でBOOST2を例えば1V程度上げると、ノードN4は容量カップリングにより昇圧される。

【0208】

そして、時刻T4でクランプ用トランジスタ41のゲートBLCLAMPをVsenにすると、ビット線側ではVpre-Vsenの振幅で読み出しが行われる。このときノードN4では、セルのしきい値状態に応じて、図62と対応させて(a)~(d)のような電位変化を示す。即ち、ビット線振幅がクランプ用トランジスタ41により増幅されてノードN4に出力される。

【0209】

(a)(b)の場合、トランジスタ70がオン、(c)(d)の場合トランジスタ70がオフとする。時刻T5で、制御信号BLSEN1をVddにして、トランジスタ71をオンにすると、ラッチ回路1は、(a)(b)の場合、ノードN2が“L”に反転し、(c)(d)の場合、ノードN2が“H”の状態を保持する。

【0210】

このセンスアンプ回路方式の場合、ラッチ回路を強制的に反転させる動作を行うために、トランジスタ70, 71, 72の寸法が大きくなる傾向がある。しかしこの実施の形態の場合、ノードN4をデータセンス時昇圧しているため、これらのトランジスタ寸法を小さくすることができる。

【0211】

なお図69の動作では、ノードN4を昇圧した状態のまま、ラッチ回路1にデータを取り込んでいるが、図60の実施の形態の場合と同様に、ノードN4の昇圧状態を解除してから、ラッチ回路1にデータ取り込みを行うようにしてもよい。また、図63の実施の形態と同様に、ノードN4に昇圧用キャパシタと別に、一端が接地されたキャパシタを付加してもよい。

10

20

30

40

50

## 【0212】

図70は、図60以下の実施の形態において用いられるキャパシタ48c, 48a, 48bの構成例を示している。図70(a)は、DタイプのNMOSTランジスタを用いたMOSキャパシタであり、ゲートをノードN4, N1等に接続し、ドレイン、ソースを共通接続して、BOOST2端子(或いは接地端子)とする。この場合、BOOST2を0Vから正電圧に立ち上げあげた状態でも、トランジスタがオン状態を保つことが望ましい。

## 【0213】

図70(b)は、第1層多結晶シリコン515(1poly)と、第2層多結晶シリコン514(2poly)の間でキャパシタを構成する例である。不揮発性メモリセルには通常スタックゲート構造が用いられるから、不揮発性メモリセルを用いる場合、このようなキャパシタを作り込むことは容易である。

## 【0214】

図70(c)は、n型ウェル517とこの上に絶縁膜を介して形成した電極515の間でキャパシタを構成した例である。n型ウェル517には、n+型拡散層516を形成して、ここをBOOST2端子に接続する。BOOST2の電位に拘わらず、安定した容量を得るためには、n型ウェル517の表面にこれより高濃度のn型層518を形成することが好ましい。

## 【図面の簡単な説明】

## 【0215】

【図1】この発明の実施の形態によるNAND型フラッシュEEPROMのブロック構成を示す。

【図2】同実施の形態の書き換え/読み出し回路の構成を示す。

【図3】同実施の形態のメモリセルアレイと書き換え/読み出し回路の構成を示す。

【図4】同実施の形態の書き換え/読み出し回路の一動作態様を示す。

【図5】同実施の形態の書き換え/読み出し回路の他の動作態様を示す。

【図6】同実施の形態の書き換え/読み出し回路の他の動作態様を示す。

【図7】同実施の形態の書き換え/読み出し回路の他の動作態様を示す。

【図8】同実施の形態の書き換え/読み出し回路の他の動作態様を示す。

【図9】同実施の形態の多値論理動作のデータ書き込みのフローを示す。

【図10】同実施の形態の多値論理動作でのラッチ回路間のデータ転送のタイミングを示す。

【図11】同実施の形態のデータ書き込み動作のタイミングを示す。

【図12】同実施の形態のメモリセルでの消去及び書き込みの動作態様を示す。

【図13】同実施の形態のペリファイ読み出し動作のタイミングを示す。

【図14】同実施の形態の書き込み電圧波形を示す。

【図15】同実施の形態の書き換え/読み出し回路の動作態様を示す。

【図16】同実施の形態の内部データロードの動作タイミングを示す。

【図17】同実施の形態のペリファイ読み出しVerify00の動作タイミングを示す。

【図18】同実施の形態のペリファイ読み出しVerify01の動作タイミングを示す。

【図19】同実施の形態の多値動作の読み出し動作フローを示す。

【図20】同実施の形態の読み出しRead00の動作タイミングを示す。

【図21】同実施の形態の読み出しRead01の動作タイミングを示す。

【図22】同実施の形態の読み出しRead10の動作タイミングを示す。

【図23】2値動作の場合のメモリセルしきい値分布を示す。

【図24】同実施の形態のキャッシュを使った読み出し動作を示す図である。

【図25】同実施の形態のキャッシュを使った書き込み動作を示す図である。

【図26】同書き込み動作におけるラッチ回路のデータ転送動作のタイミングを示す。

10

20

30

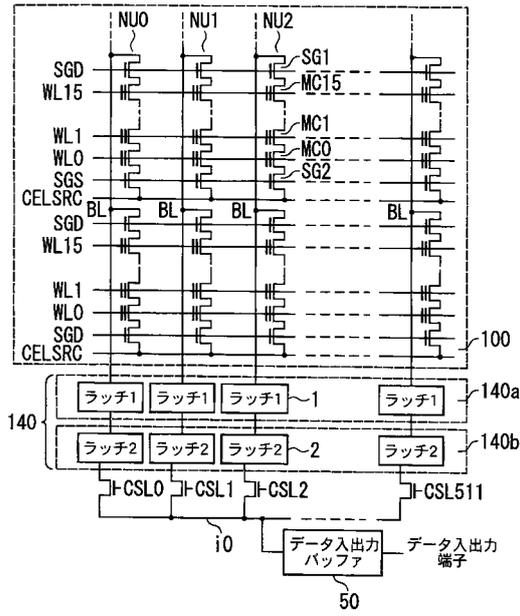
40

50

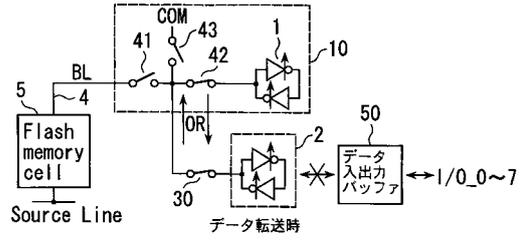
- 【図 27】他の実施の形態のキャッシュを使った他の書き込み動作を示す図である。
- 【図 28】多値動作におけるキャッシュ動作のデータ転送動作を示す。
- 【図 29】多値動作におけるキャッシュを使った書き込み動作を示す。
- 【図 30】他の実施の形態による書き換え / 読み出し回路の構成を示す。
- 【図 31】他の実施の形態におけるテストモードの動作波形を従来例と比較して示す。
- 【図 32】実施の形態の多値動作における下位ビット“0”書き込み時の各部電位関係を示す。
- 【図 33】実施の形態の多値動作における下位ビット“1”書き込み時の各部電位関係を示す。
- 【図 34】実施の形態の多値動作における上位ビット“0”書き込み時の各部電位関係を示す。 10
- 【図 35】実施の形態の多値動作における上位ビット“1”書き込み時の各部電位関係を示す。
- 【図 36】実施の形態の多値動作における上位ビット“1”書き込み時の各部電位関係を示す。
- 【図 37】実施の形態の多値動作における上位ビット“1”書き込み時の各部電位関係を示す。
- 【図 38】実施の形態の多値動作における上位ビット読み出し時の各部電位関係を示す。
- 【図 39】実施の形態の多値動作における下位ビット読み出し 1 回目の各部電位関係を示す。 20
- 【図 40】実施の形態の多値動作における下位ビット読み出し 2 回目の各部電位関係を示す。
- 【図 41】実施の形態の多値動作における下位ビット読み出し 2 回目の各部電位関係を示す。
- 【図 42】従来の多値動作のフラッシュメモリ構成を示す。
- 【図 43】多値動作のメモリセルしきい値分布を示す。
- 【図 44】従来の多値動作のデータロードの様子を示す。
- 【図 45】メモリセルアレイ構成とページバッファの関係を示す。
- 【図 46】他の実施の形態による書き換え / 読み出し回路の構成を示す図である。
- 【図 47】同実施の形態による多値論理動作時の読み出し動作フローである。 30
- 【図 48】同多値論理動作の第二ビット“0”書き込み状態を示す図である。
- 【図 49】同多値論理動作の第二ビット“1”書き込み状態を示す図である。
- 【図 50】同多値論理動作の内部データロードの動作を示す図である。
- 【図 51】同多値論理動作の第一ビット“0”書き込み状態を示す図である。
- 【図 52】同多値論理動作の第一ビット“0”書き込み状態を示す図である。
- 【図 53】同多値論理動作の第一ビット“1”書き込み状態を示す図である。
- 【図 54】同多値論理動作の第一ビット“1”書き込み状態を示す図である。
- 【図 55】同多値論理動作の第一ビット読み出し状態を示す図である。
- 【図 56】同多値論理動作の第二ビット読み出し 1 回目の状態を示す図である。
- 【図 57】同多値論理動作の第二ビット読み出し 2 回目の状態を示す図である。 40
- 【図 58】同多値論理動作の第二ビット読み出し 2 回目の状態を示す図である。
- 【図 59】データ読み出し動作の波形を示す図である。
- 【図 60】好ましいセンスアンプ回路の実施の形態を示す図である。
- 【図 61】同センスアンプ回路の適用例を示す図である。
- 【図 62】同センスアンプ回路の動作波形を示す図である。
- 【図 63】他の実施の形態によるセンスアンプ回路の構成である。
- 【図 64】他の実施の形態によるセンスアンプ回路の構成である。
- 【図 65】同センスアンプ回路の動作波形を示す図である。
- 【図 66】他の実施の形態によるセンスアンプ回路の構成である。
- 【図 67】同センスアンプ回路の動作波形を示す図である。 50



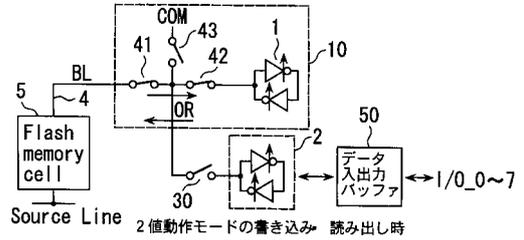
【図3】



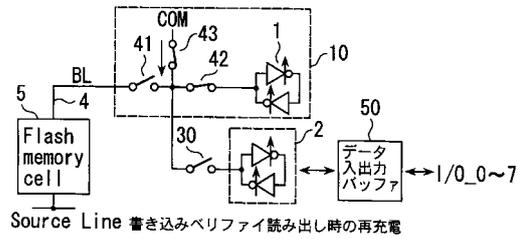
【図4】



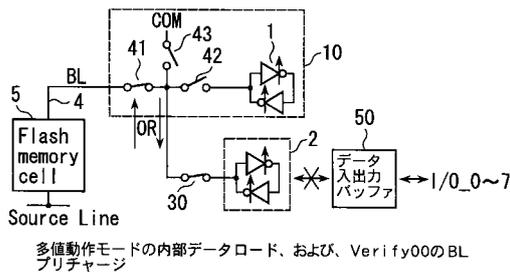
【図5】



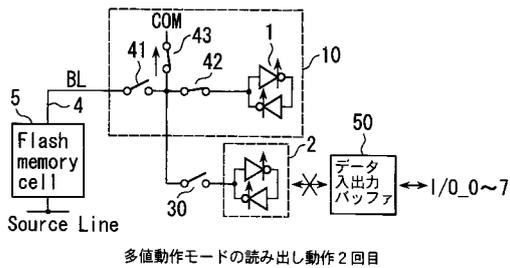
【図6】



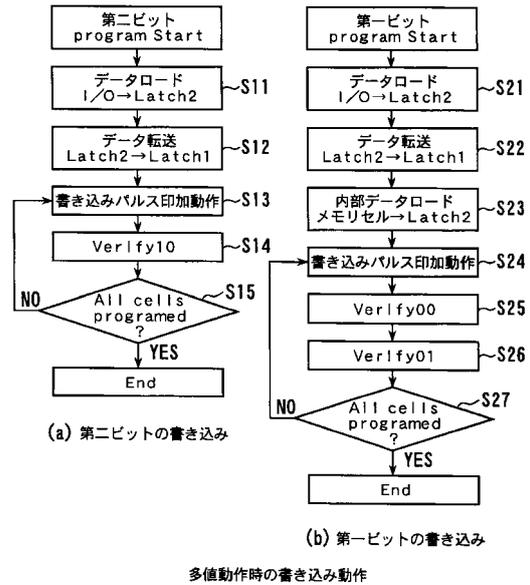
【図7】



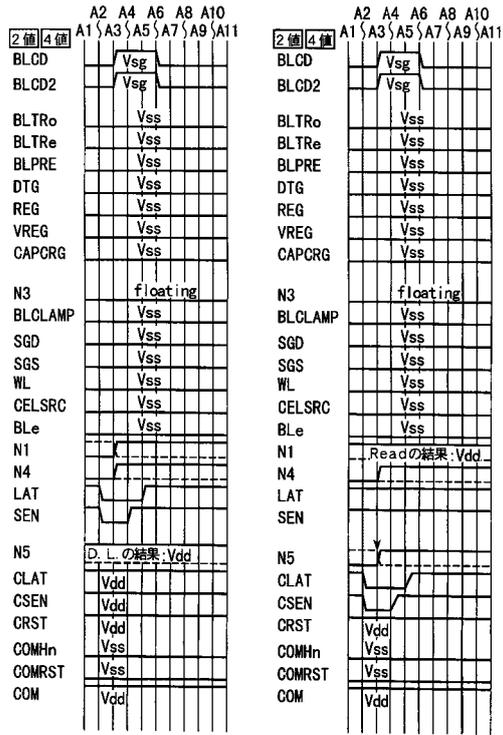
【図8】



【図9】

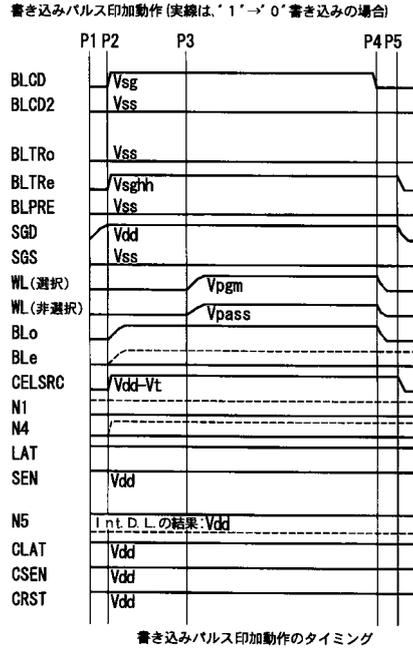


【図10】



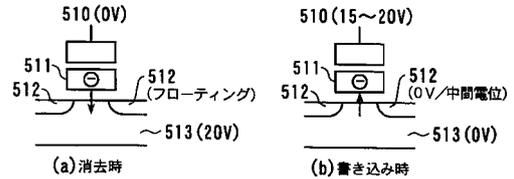
(a) ラッチ2→ラッチ1の転送 (b) ラッチ1→ラッチ2の転送  
データ転送のタイミング

【図11】



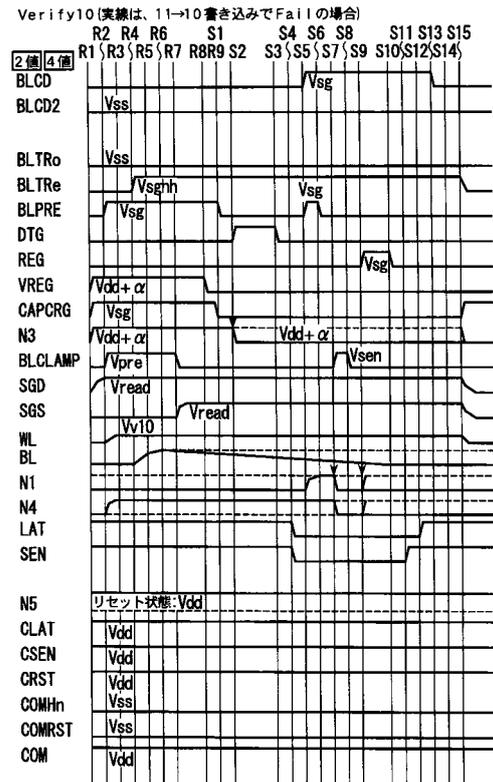
書き込みパルス印加動作のタイミング

【図12】



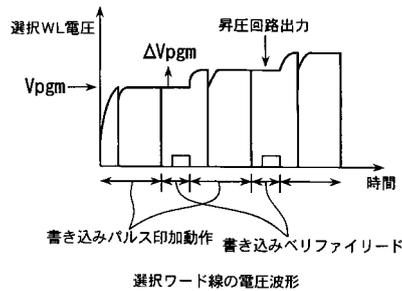
(a) 消去時 (b) 書き込み時

【図13】



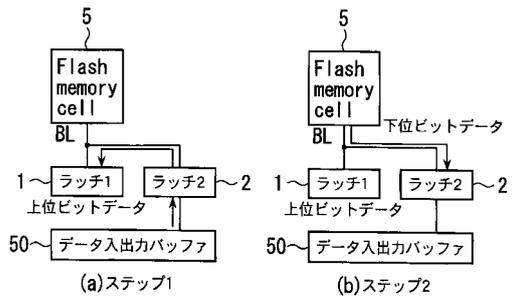
Verify10のタイミング

【図14】



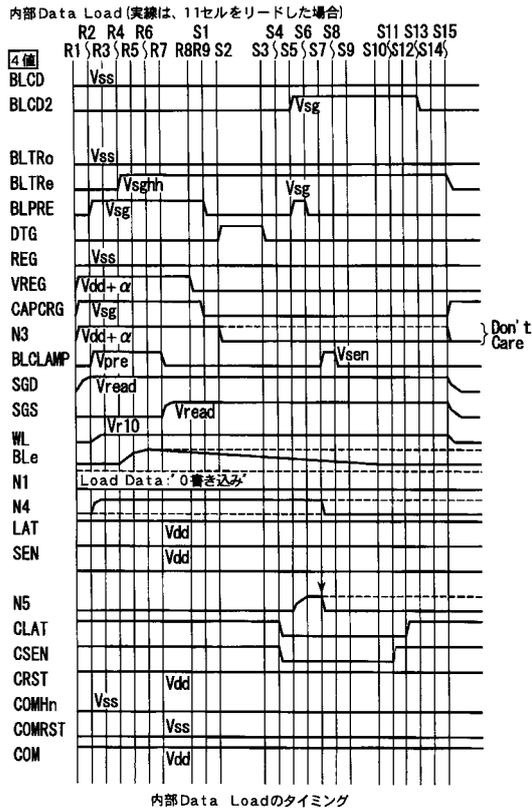
選択ワード線の電圧波形

【図15】

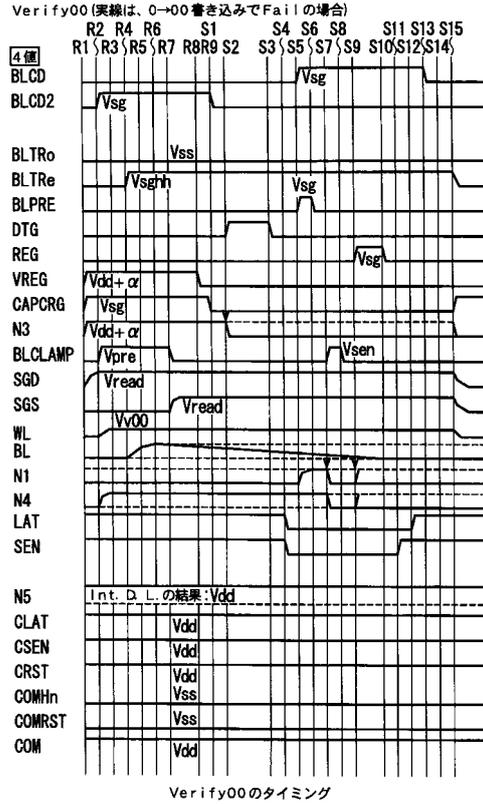


(a) ステップ1 (b) ステップ2

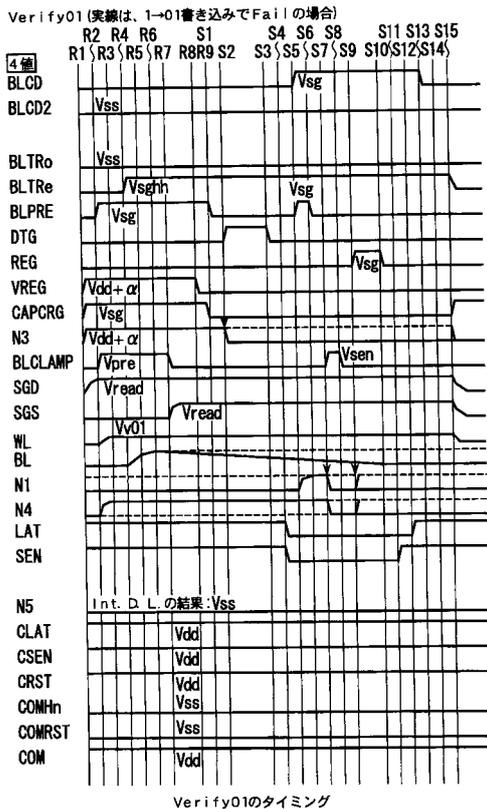
【図16】



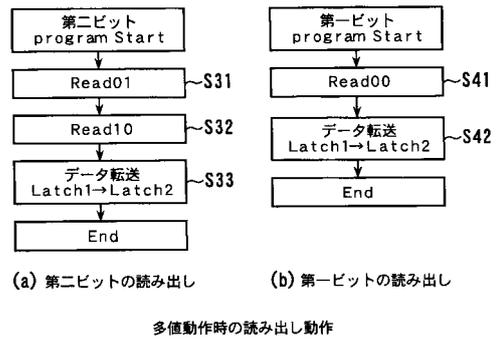
【図17】



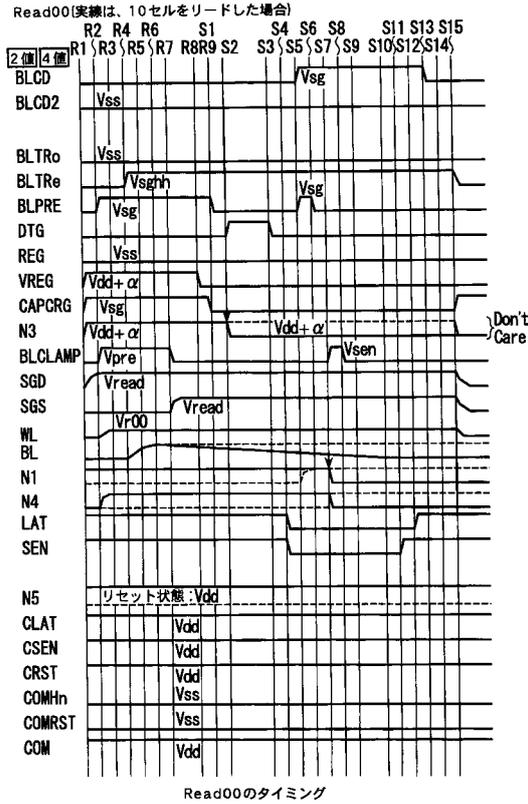
【図18】



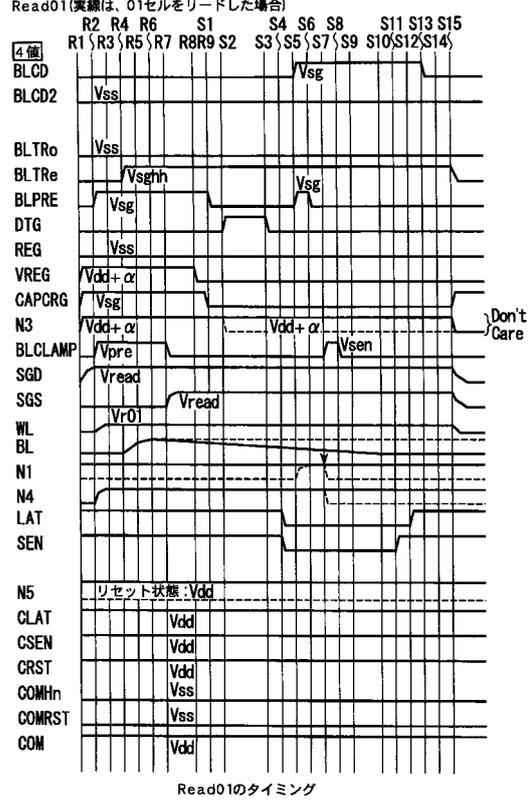
【図19】



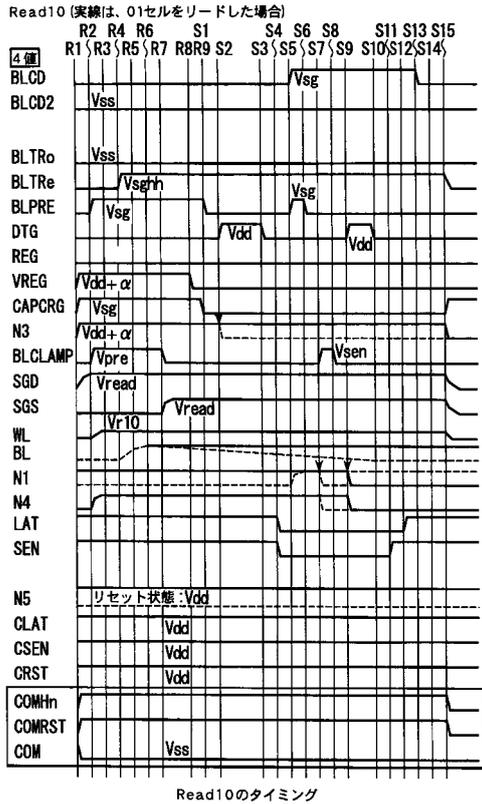
【図20】



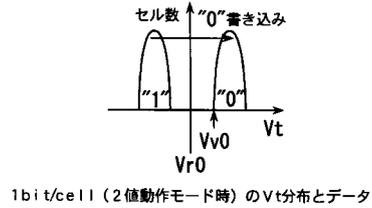
【図21】



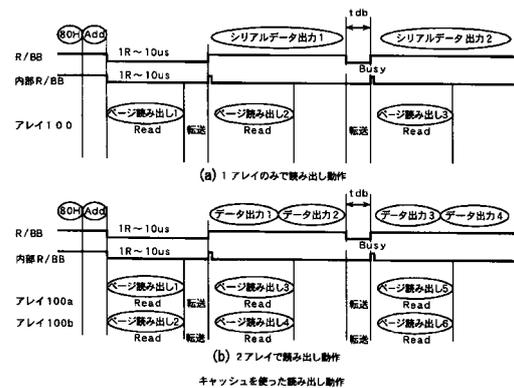
【図22】



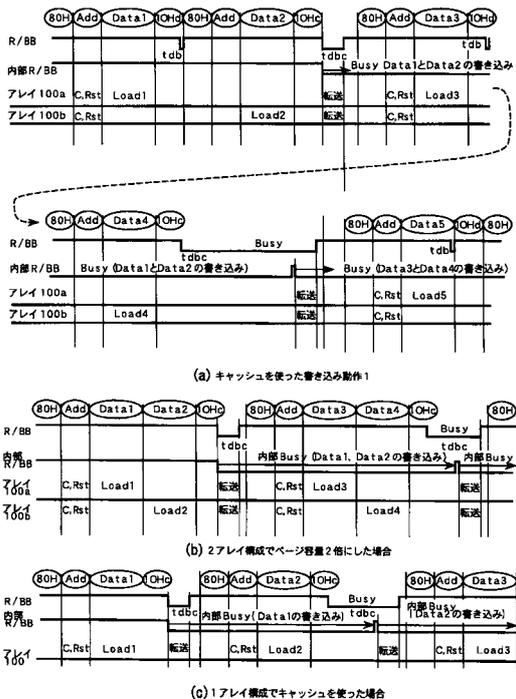
【図23】



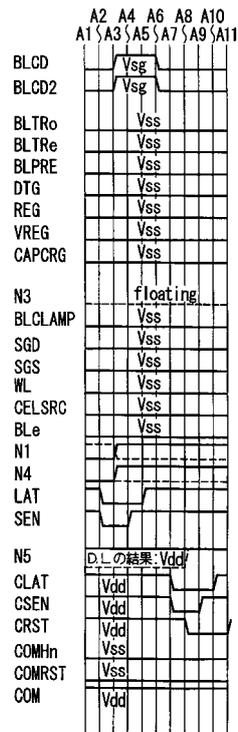
【図24】



【図25】

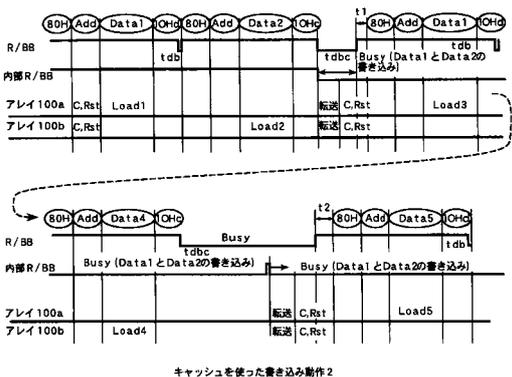


【図26】

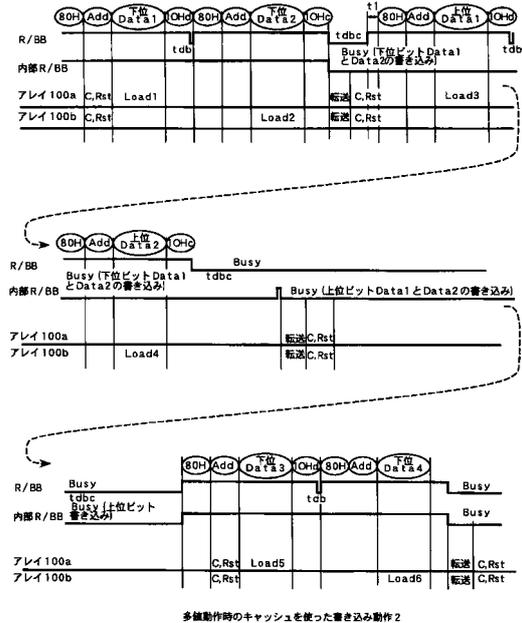


ラッチ2のリセットを伴ったデータ転送のタイミング

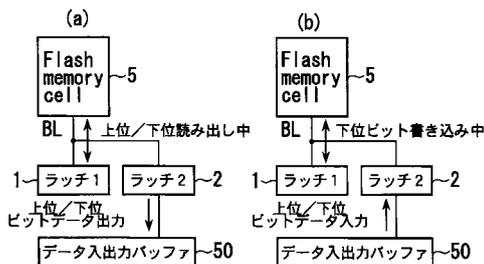
【図27】



【図29】

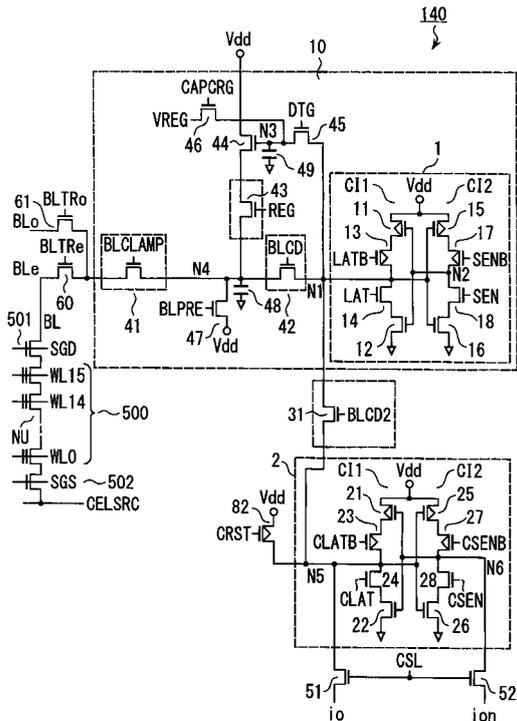


【図28】

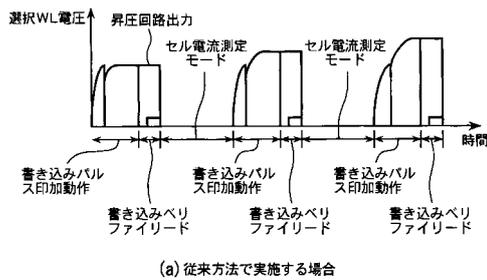


2bit/cell時のcache動作1

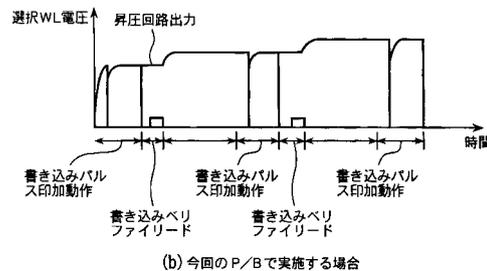
【図30】



【図31】



(a) 従来方法で実施する場合



書き込み動作中にセル電流測定を行うテストモード

【図32】

第二ビット (下位ビット) の '0' 書き込み ('1'セル-'10'セル, 1bit/cell 時も同様)

	B/L電位	ノードN1	ノードN3	選択WL
(プログラム開始)	-	-	-	OV
データロード後のデータ	-	L(ロードデータ)	-	Vp <sub>gmi</sub>
プログラム中	L	L	-	Vp <sub>gmi</sub>
(ベリファイ開始)	-	-	-	-
B/Lプリチャージ~センス前	H	L	L(N1より)	Vv10
B/L電位センス	L/H	H→L/H	L	Vv10
センスノード再充電	L/H	L/H	L	Vv10
データラッチ	L/H	L(Fail)/H(Pass)	L	Vv10

【図33】

第二ビット (下位ビット) の '1' 書き込み ('1'セル-'1'セル/非書き込み, 1bit/cell 時も同様)

	B/L電位	ノードN1	ノードN3	選択WL
(プログラム開始)	-	-	-	OV
データロード後	-	H(ロードデータ)	-	Vp <sub>gmi</sub>
プログラム中	H	H	-	Vp <sub>gmi</sub>
(ベリファイ開始)	-	-	-	-
B/Lプリチャージ~センス前	H	H	H(N1より)	Vv10
B/L電位センス	L/H	H→L/H	H	Vv10
センスノード再充電	L/H	H(N3より)	H	Vv10
データラッチ	L/H	H(Pass)	H	Vv10

【図34】

第一ビット (上位ビット) の '0' 書き込み ('1'セル-'0'セル)

	B/L電位	ノードN1	N3	N5	選択WL
(プログラム開始)	-	-	-	-	OV
データロード後のデータ	-	L(ロードデータ)	-	-	Vp <sub>gmi</sub>
プログラム中	L	L	-	-	Vp <sub>gmi</sub>
(ベリファイ00開始)	-	-	-	-	-
B/Lプリチャージ~センス前	L(N5から)	L	L(N1より)	L	Vv00
B/L電位センス	L	H→L	L	L	Vv00
センスノード再充電	L	L	L	L	Vv00
データラッチ	L	L(Fail)	L	L	Vv00
(ベリファイ01開始)	-	-	-	-	-
B/Lプリチャージ~センス前	H	L	L(N1より)	L	Vv01
B/L電位センス	L/H	H→L/H	L(N1より)	L	Vv01
センスノード再充電	L(N1より)	L/H	L	L	Vv01
データラッチ	L/H	L(Fail)/H(Pass)	L	L	Vv01

【図35】

第一ビット (上位ビット) の '0' 書き込み ('10'セル-'00'セル)

	ロードデータ	ノードN1	N3	N5	選択WL
(プログラム開始)	-	-	-	-	OV
データロード後のデータ	-	L(ロードデータ)	-	H('10')	Vp <sub>gmi</sub>
プログラム中	L	L	-	-	Vp <sub>gmi</sub>
(ベリファイ00開始)	-	-	-	-	-
B/Lプリチャージ~センス前	H(N5から)	L	L(N1より)	H	Vv00
B/L電位センス	L/H	H→L/H	L	H	Vv00
センスノード再充電	L/H	L/H	L	H	Vv00
データラッチ	L/H	L(Fail)/H(Pass)	L	H	Vv00
(ベリファイ01開始)	-	-	-	-	-
B/Lプリチャージ~センス前	H	*H	H(N1より)	H	Vv01
B/L電位センス	*L	H→*L	*H	H	Vv01
センスノード再充電	*L	H(N3より)	*H	H	Vv01
データラッチ	*L	*H(Pass)	*H	H	Vv01

【図36】

第一ビット (上位ビット) の '1' 書き込み ('1'セル-'1'セル)

	B/L電位	ノードN1	N3	N5	選択WL
(プログラム開始)	-	-	-	-	OV
データロード後のデータ	-	H(ロードデータ)	-	-	Vp <sub>gmi</sub>
プログラム中	H	H	-	-	Vp <sub>gmi</sub>
(ベリファイ00開始)	-	-	-	-	-
B/Lプリチャージ~センス前	L(N5から)	H	H(N1より)	L	Vv00
B/L電位センス	L	H→L	H	L	Vv00
センスノード再充電	L	H(N3より)	H	L	Vv00
データラッチ	L	H(Pass)	H	L	Vv00
(ベリファイ01開始)	-	-	-	-	-
B/Lプリチャージ~センス前	H	H	H(N1より)	L	Vv01
B/L電位センス	L	H→L	H	L	Vv01
センスノード再充電	L	H(N3より)	H	L	Vv01
データラッチ	L	H(Pass)	H	L	Vv01

【図37】

第一ビット (上位ビット) の '1' 書き込み ('10'セル-'10'セル)

	ロードデータ	ノードN1	N3	N5	選択WL
(プログラム開始)	-	-	-	-	OV
データロード後のデータ	-	H(ロードデータ)	-	H('10')	Vp <sub>gmi</sub>
プログラム中	H	H	-	-	Vp <sub>gmi</sub>
(ベリファイ開始)	-	-	-	-	-
B/Lプリチャージ~センス前	H(N5から)	H	H(N1より)	H	Vv00
B/L電位センス	L	H→L	H	H	Vv00
センスノード再充電	L	H(N3より)	H	H	Vv00
データラッチ	L	H(Pass)	H	H	Vv00
(ベリファイ01開始)	-	-	-	-	-
B/Lプリチャージ~センス前	H	H	H(N1より)	H	Vv01
B/L電位センス	L	H→L	H	H	Vv01
センスノード再充電	L	H(N3より)	H	H	Vv01
データラッチ	L	H(Pass)	H	H	Vv01

【図38】

第一ビット（上位ビット）読み出し（1bit/cell時は、WLレベルが違っただけ）

	BL電位	ノードN1	N3	選択WL
〈読み出し00開始〉				
BLプリチャージ～センス前	H	H	—	Vr00
BL電位センス	L/H	H→L/H	—	Vr00
データラッチ	L/H	L('1')/H('0')	—	Vr00

【図39】

第二ビット（下位ビット）読み出し1回目

	BL電位	ノードN1	N3	選択WL
〈読み出し01開始〉				
BLプリチャージ～センス前	H	H	—	Vr01
BL電位センス	L/H	H→L/H	—	Vr01
データラッチ	L/H	L/H	—	Vr01

【図40】

第二ビット（下位ビット）読み出し2回目（1回目のN1がH('1')セル確定の時）

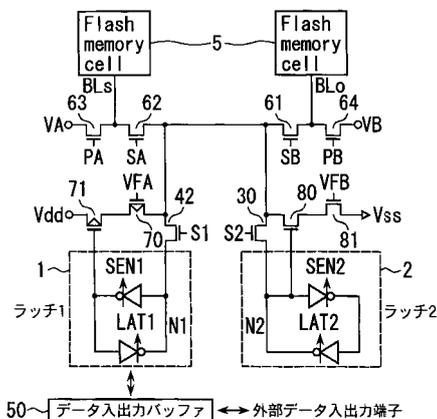
	BL電位	ノードN1	N3	選択WL
〈読み出し01開始〉				
BLプリチャージ～センス前	H	H	H(N1より)	Vr10
BL電位センス	H	H→H	H	Vr10
センスノード再充電	H	L(N3より)	H	Vr10
データラッチ	H	L('1')	H	Vr10

【図41】

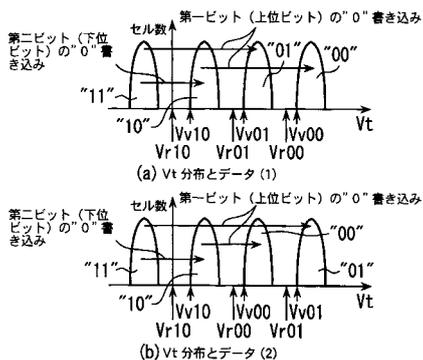
第二ビット（下位ビット）読み出し2回目（1回目のN1がLの時）

	BL電位	ノードN1	N3	選択WL
〈読み出し01開始〉				
BLプリチャージ～センス前	H	L	L(N1より)	Vr10
BL電位センス	L/H	H→L/H	L	Vr10
センスノード再充電	L/H	L/H	L	Vr10
データラッチ	L/H	L('1')/H('0')	L	Vr10

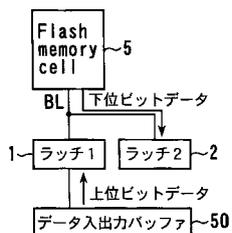
【図42】



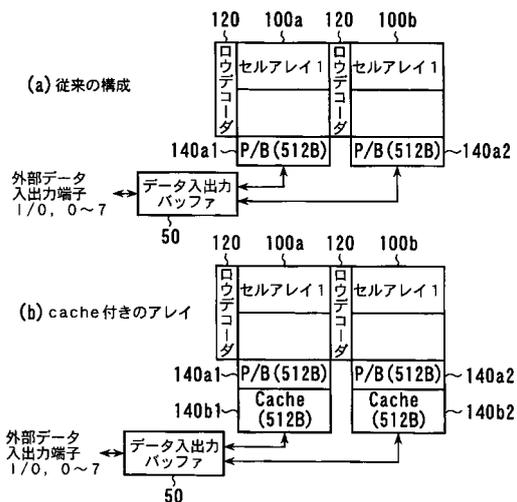
【図43】



【図44】



【図45】





【図54】

第一ビット (上位ビット) '1'書き込み (10<sup>0</sup>セル→10<sup>1</sup>セル)

	BL電位	ラッチ制御	N4b	N2	N1	N5	選択WL
(プログラム開始)							
データロード後のデータ	—	—	L	H (ラッチ1)	L (10 <sup>0</sup> データ)		OV
プログラム中	L	—	L	H	H		Vpgmi
(ベリファイ00)							
BLプリチャージ	H(N5から)		H	L	H	H	Vv00
リセット動作	H	なし	H	L	H	H	Vv00
BL電位センス	※L	※H→L	L	L	H	H	Vv00
センスデータ取り込み	※L	BLSEN1	L	L	H (Pass)	H	Vv00
(ベリファイ01)							
BLプリチャージ	H		H	L	H	H	Vv01
リセット動作	H	なし	H	L	H	H	Vv01
BL電位センス	※L	※H→L	L	L	H	H	Vv01
センスデータ取り込み	※L	BLSEN1	※L	L	H (Pass)	H	Vv01

※'10<sup>0</sup>セルにより必ずビット線が放電される。

【図55】

第一ビット (上位ビット) 読み出し (1bit/cell時は、WLレベルが違っただけ)

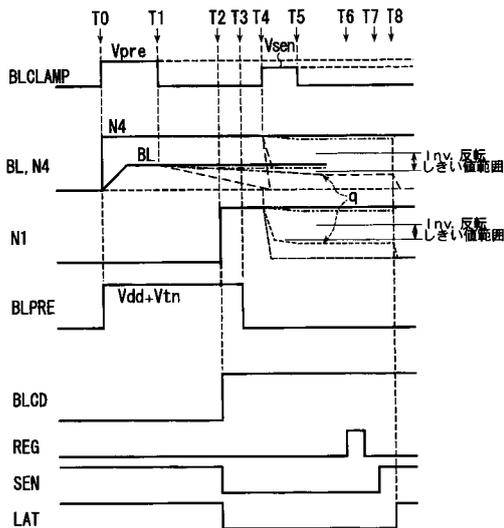
	BL電位	ラッチ制御	N4b	N2	N1	選択WL
BLプリチャージ	H		H	H/L	L/H	Vr00
リセット動作	H	BLSENO	H	H/L→H	L/H→L	Vr00
BL電位センス	L/H		H→L/H	H	L	Vr00
センスデータ取り込み	L/H	BLSEN1	L/H	H→L/H	L (1 <sup>0</sup> )/H (0 <sup>0</sup> )	Vr00

【図56】

第二ビット (下位ビット) 読み出し1回目

	BL電位	ラッチ制御	N4b	N2	N1	選択WL
BLプリチャージ	H		H	H/L	L/H	Vr10
リセット動作	H	BLSENO	H	H/L→H	L/H→L	Vr10
BL電位センス	L/H		H→L/H	H	L	Vr10
センスデータ取り込み	L/H	BLSEN1	L/H	H→L/H	L (1 <sup>0</sup> )/H (0 <sup>0</sup> )	Vr10

【図59】



【図57】

第二ビット (下位ビット) 読み出し2回目 (1回目N1がL ('11'セル)の時)

	BL電位	ラッチ制御	N4b	N2	N1	選択WL
BLプリチャージ	H		H	H	L ('11')	Vr01
リセット動作	H	なし	H	H	L	Vr01
BL電位センス	※L		※H→L	H	L	Vr01
センスデータ取り込み	※L	BLSENO	※L	H	L ('11')	Vr01

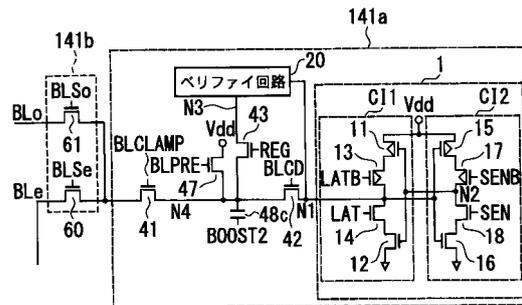
※'11'セルの時、Vr01では必ずビット線が放電される。

【図58】

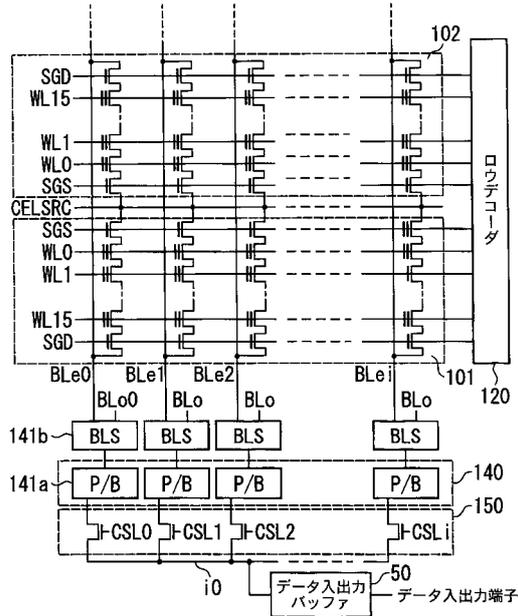
第二ビット (下位ビット) 読み出し2回目 (1回目N1がH ('10', '00', '01'セル)の時)

	BL電位	ラッチ制御	N4b	N2	N1	選択WL
BLプリチャージ	H		H	L	H	Vr01
リセット動作	H	なし	H	L	H	Vr01
BL電位センス	L/H		H→L/H	L	H	Vr01
センスデータ取り込み	L/H	BLSENO	L/H	L	L (1 <sup>0</sup> )/H (0 <sup>0</sup> )	Vr01

【図60】

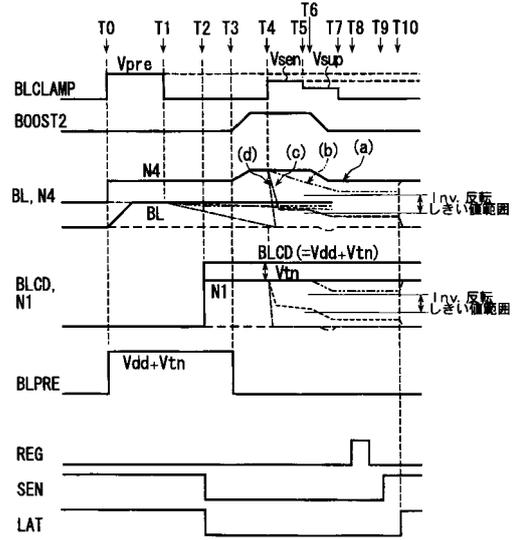


【図61】

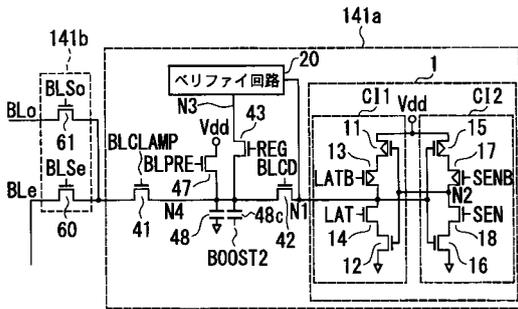


ページバッファとデータ入出力バッファの接続関係

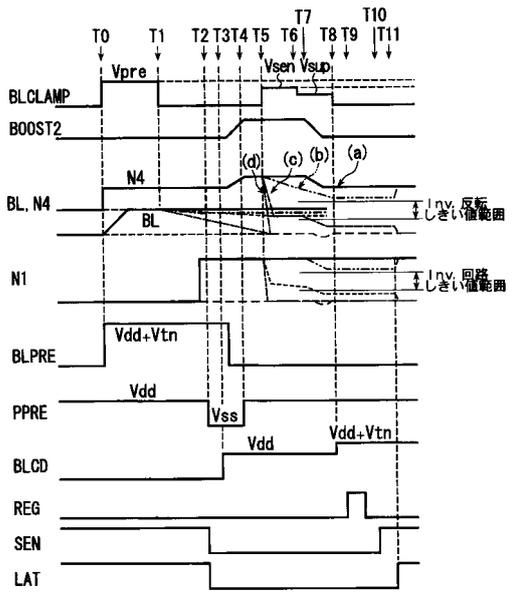
【図62】



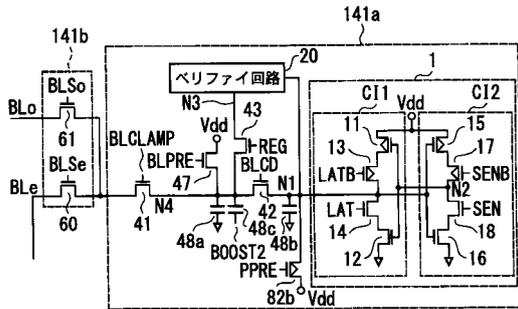
【図63】



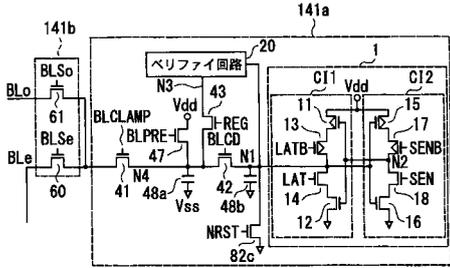
【図65】



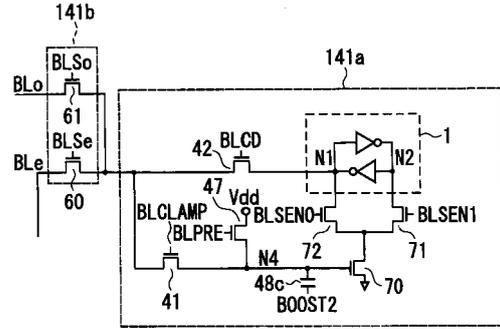
【図64】



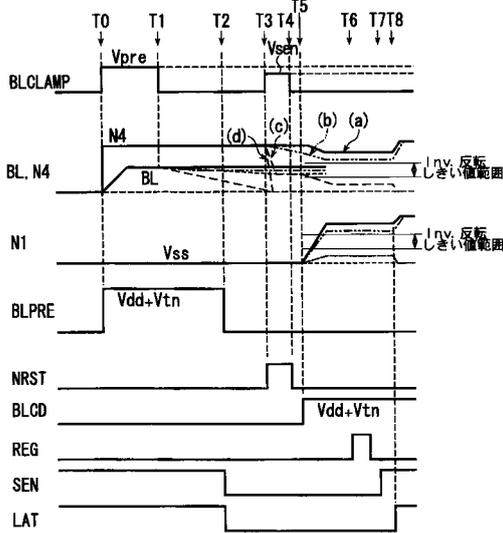
【図66】



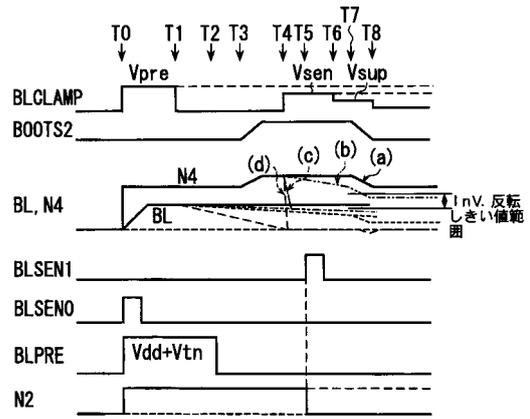
【図68】



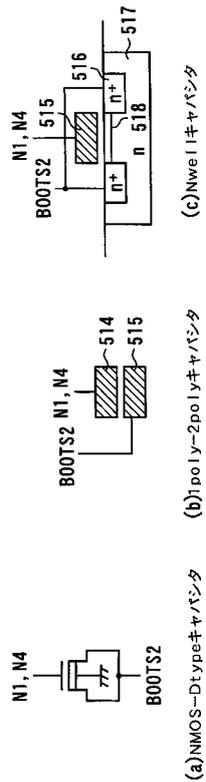
【図67】



【図69】



【図70】



---

フロントページの続き

(72)発明者 竹内 健

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 今宮 賢一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 外山 毅

(56)参考文献 特開平09-326199(JP,A)

特開平06-259320(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/00 - 16/34