

申請日期： AP. 5. 30 案號： AP 110432

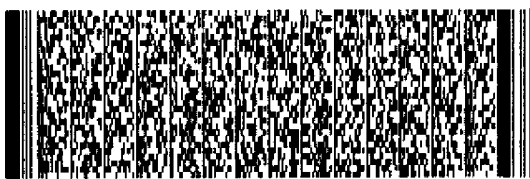
類別： Int. Cl³ H01L 21/76

(以上各欄由本局填註)

發明專利說明書

452921

一、 發明名稱	中文	形成雙鑲嵌製程之蝕刻阻障層的方法
	英文	
二、 發明人	姓名 (中文)	1. 李連忠 2. 鄭雙銘 3. 章勳明 4. 余振華
	姓名 (英文)	1. 2. 3. 4.
	國籍	1. 中華民國 2. 中華民國 3. 中華民國 4. 中華民國
	住、居所	1. 花蓮市民運里6鄰東興街5號 2. 新竹市振興路85巷10號4樓 3. 新竹市光華里8鄰光華北街83號7樓 4. 基隆市七堵區富民里13鄰崇義街77號2樓
三、 申請人	姓名 (名稱) (中文)	1. 台灣積體電路製造股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區園區三路121號
	代表人 姓名 (中文)	1. 張忠謀
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明(1)

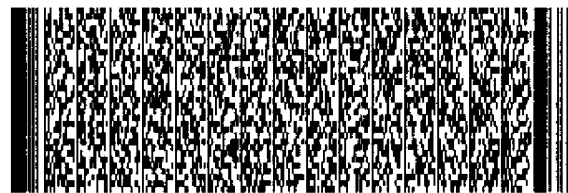
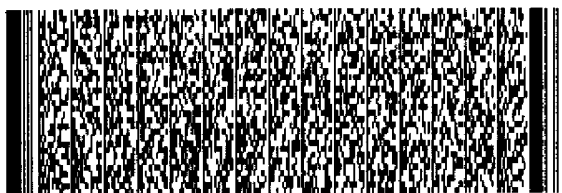
技術領域：

本發明係關於一種形成雙鑲嵌製程 (Dual Damascene) 之蝕刻阻障層 (etching stop layer) 的方法，特別是關於一種形成一層基於三甲基矽烷 (trimethylsilane) 之氮化矽層 (trimethylsilane-based nitride)，以做為雙鑲嵌製程之蝕刻阻障層的方法。

發明背景：

為了追求更快的運作速率以及更大的集積密度，積體電路之研究單位及製造業者無不竭盡心力地設計及製造關鍵尺寸 (Critical Dimension; CD) 更小的元件。根據實驗顯示，當積體電路的製程進入 0.18 微米甚至 0.13 微米的技術領域之後，影響元件運作速率的關鍵因素已從閘極的寬度轉換至金屬內連線 (metal interconnection) 的電阻-電容遲滯 (RC delay) 效應。

因導線的阻值與其截面積成反比，隨著積體電路之集積密度的提高，金屬內連線的線寬和厚度都隨之縮小，因此其阻值便隨之提高；尤有甚者，隨著積體電路之集積密度的提高，亦使金屬內連線的線距隨之縮小，因而造成導線之間的耦合電容升高。因此當積體電路的製程進入深次微米領域之後，金屬內連線的電阻-電容遲滯大幅提高，也因此影響積體電路的運算速率和存取速率。為了提高積體電路的集積密度，在線寬和線距都不宜提高的條件之下，更換金屬內連線和層間介電層的材質是最佳的選擇。



五、發明說明 (2)

在金屬內連線方面，金屬材質由原先的鋁矽銅合金或鋁銅合金換成銅金屬，除了具有低電阻的特性外，更具有良好的抗電子遷移性和良好的抗應力性，除了可以提高元件的操作速率外，同時可以提升元件的可靠度；在另一方面，層間介電層則必須選擇低介電常數 (Dielectric Constant) 的材質以取代原有的二氧化矽，以降低金屬內連線之間的耦合電容。二氧化矽的介電常數約為 3.9，因此必須選取介電常數小於 3.9 的介電質做為層間介電層，方可達到降低電阻-電容遲滯的功效，例如：氟摻雜之二氧化矽 (SiOF)、有機旋塗玻璃 (HSQ) 等等。另外一種有效之低介電常數的材質為黑鑽石 (black diamond)，其係由甲基矽烷 (methylsilane) 所形成，其成分為矽 20%、氧 30%、碳 9%、氫 36%、及其他元素。因黑鑽石約有 36% 的體積為孔洞，因此其介電常數僅約為 2.9，是一種很具潛力的低介電常數材質。

在銅製程的技術中，因銅金屬無法如同鋁合金一般用氯氣進行蝕刻，因此業界發展出一種雙鑲嵌 (Dual-damascene) 的製程方法。雙鑲嵌的製程技術可參考 Motorola 公司 Boeck; Bruce Allen 等人在美國專利第 5880018 號所揭露之 "Method for manufacturing a low dielectric constant inter-level integrated circuit structure"。請參考圖一，在一已完成前段製程的半導體基板 10 上連續形成第一氮化矽層 11、第一低介電常數介電層 12、第二氮化矽層 13、和第二低介電常數介電層 14，再



五、發明說明 (3)

以連續兩道微影與蝕刻技術形成如圖一 A之開口 15。其中氮化矽層 11, 13係做為蝕刻阻障層，其製程方法係以 SiH_4 和 NH_3 為反應氣體，利用電漿增強式化學汽相沉積法 (PECVD) 在 N_2 的環境之下沉積而形成約 500埃 (Angstrom) 的薄膜，所需 RF 的功率約為 400瓦。依一般製程條件所形成的氮化矽層有一 1×10^9 達因 / 平方公分左右的壓縮應力 (compressive stress)，可以用以抵銷低介電常數介電層之較大的拉伸應力 (tensile stress)。第一低介電常數介電層 12 和第二低介電常數介電層 14 的沉積步驟，則以 N_2O 和甲基矽烷 (methylsilane) 為反應氣體，利用電漿增強式化學汽相沉積法 (PECVD) 沉積而成，其中所需 RF 的功率約為 70瓦， N_2O 的流量約為 370 sccm，甲基矽烷的流量約為 68 sccm，反應時間約為 60秒以形成約 5000埃的黑鑽石薄膜。

接下來請參考圖一 B，以 PVD、CVD、或電鍍方法形成一層銅薄膜 16。最後如圖一 C所示，利用化學機械研磨法 (Chemical Mechanical Polishing; CMP) 對所述銅薄膜 16 進行研磨，以形成銅導線 17。

惟，傳統的銅導線 / 低介電常數介電層的整合製程中，做為蝕刻阻障層的第一氮化矽層和第二氮化矽層的介電常數較大，大約介於 7.0 至 8.0 之間，無法進一步降低金屬內連線之間的耦合電容。因此，發展出一種介電常數較小的蝕刻阻障層，便成為半導體業界一項很重要的課題。

為此，應用材料 (Applied Material) 等公司發展出一



五、發明說明 (4)

種新的製程以降低蝕刻阻障層的介電常數。此新製程係以三甲基矽烷(trimethylsilane)加上氮氣或三甲基矽烷加上氫氣做為反應氣體以形成蝕刻阻障層，其介電常數可降至5.1左右，並具有一 $5.8E8$ 達因/平方公分的壓縮應力，確實具有降低介電常數的功效。然而，如將上述方法所形成的蝕刻阻障層在空氣中放置1至3天之後，會因氧化作用變成一具有 $1E9$ 達因/平方公分之拉伸應力的薄膜，不僅無法抵銷低介電常數介電層之較大的拉伸應力，更容易造成蝕刻阻障層和低介電常數介電層的崩裂及剝離現象，嚴重影響製程的良率。

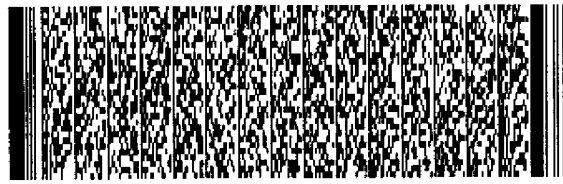
發明概述：

本發明的主要目的為提供一種形成雙鑲嵌製程之蝕刻阻障層的方法。

本發明的次要目的為提供一種形成蝕刻阻障層/低介電常數介電層/蝕刻阻障層/低介電常數介電層之複層結構的方法。

本發明的再一目的為提供一種形成一層基於三甲基矽烷之氮化矽層(trimethylsilane-based nitride)，以做為雙鑲嵌製程之蝕刻阻障層的方法。

本發明揭露一種形成蝕刻阻障層/低介電常數介電層/蝕刻阻障層/低介電常數介電層之複層結構的方法，其製程步驟包括有首先提供一已完成積體電路之前段製程的半導體基板，接著以三甲基矽烷、氮氣和氫氣為反應氣體，



五、發明說明 (5)

形成第一蝕刻阻障層。後續形成第一低介電常數介電層。接下來以三甲基矽烷、氮氣和氬氣為反應氣體，形成第二蝕刻阻障層，接著形成第二低介電常數介電層。其中所述第一蝕刻阻障層、第一低介電常數介電層、第二蝕刻阻障層、和第二低介電常數介電層皆使用電漿增強式化學汽相沉積法在同一反應腔中連續進行沉積而成。

利用本發明方法所形成之氮化矽層/低介電常數介電層/氮化矽層/低介電常數介電層之複層結構有下列的優點：

1. 本發明所形成的蝕刻阻障層是一層基於三甲基矽烷之氮化矽層，其具有較低的介電常數，可有效降低金屬內連線之間的耦合電容；並且其壓縮應力不會隨時間而改變，可用以抵銷低介電常數介電層的拉伸應力，並避免剝離現象的發生。

2. 本發明中四道沉積製程皆在同一反應腔中連續進行，可以大幅節省製程的時間，增加產量並降低製造成本。

3. 本發明中四道沉積製程皆在同一反應腔中連續進行，中途僅改變反應氣體而不將射頻 RF 關閉，如此可使每一層與其上或下鄰接層之間的鍵結強度大幅提升，使各層之間的黏著度更形強化。

圖號說明

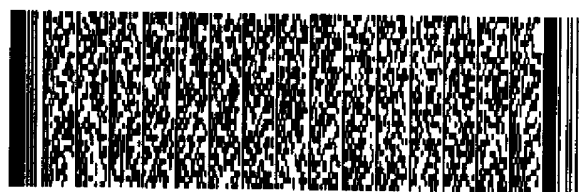
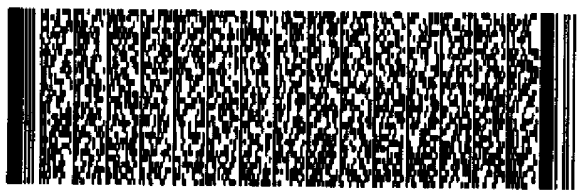


五、發明說明 (6)

10-半導體基板	11-第一氮化矽層
12-第一低介電常數介電層	13-第二氮化矽層
14-第二低介電常數介電層	15-開口
16-銅薄膜	17-銅導線
30-半導體基板	31-第一蝕刻阻障層
32-第一低介電常數介電層	33-第二蝕刻阻障層
34-第二低介電常數介電層	35-開口
36-銅薄膜	37-銅導線

本發明係揭露一種形成雙鑲嵌製程之蝕刻阻障層的方法，特別是關於一種形成低介電常數之蝕刻阻障層的方法，以適用於銅製程之雙鑲嵌製程。本發明可適用於各種型態之邏輯元件及記憶體元件的銅導線/低介電常數介電層的整合製程。

本發明的製程流程圖請參閱圖二，首先提供一已完成積體電路之前段製程的半導體基板 21，利用化學汽相沉積法形成一層基於三甲基矽烷之氮化矽層 (trimethylsilane-based nitride)，以做為第一蝕刻阻障層 22。接下來在同一反應腔且不關閉射頻 RF 的情況下，以 N_2O 和 甲基矽烷 為反應氣體形成第一黑鑽石薄膜 23。接下來在同一反應腔且不關閉射頻 RF 的情況下，再次利用化學汽相沉積法形成一層基於三甲基矽烷之氮化矽層，以做為第二蝕刻阻障層 24。最後在同一反應腔且不關閉射頻 RF

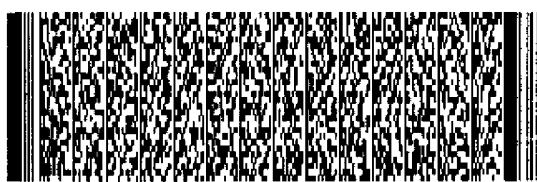


五、發明說明 (7)

的情況下，再次以 N_2O 和 甲基矽烷 為反應氣體形成第二黑鑽石薄膜 25，以完成蝕刻阻障層 / 低介電常數介電層 / 蝕刻阻障層 / 低介電常數介電層之複層結構的沉積。

請一併參考圖三 A，其中步驟 22 係以三甲基矽烷和 NH_3 為反應氣體，利用電漿增強式化學汽相沉積法 (PECVD) 在 N 的環境之下在半導體基板 30 上形成一層基於三甲基矽烷之氮化矽層，以做為第一蝕刻阻障層 31，其厚度介於 300 埃至 1000 埃之間。其中所述三甲基矽烷的流量介於 30 至 150 sccm 之間，最佳流量為 70 sccm；N 的流量介於 1000 至 3500 sccm 之間，最佳流量為 2500 sccm； NH_3 的流量介於 10 至 100 sccm 之間，最佳流量為 30 sccm；射頻 RF 的功率介於 200 至 800 瓦之間。所形成薄膜的介電常數約為 5.2，具有大約 $1.49E9$ 達因 / 平方公分之壓縮應力。與習知應用材料等公司之製程不同的是，本發明所形成基於三甲基矽烷之氮化矽層的壓縮應力不會隨著時間而改變，在空氣中放置 3 天以後其依然保有 $1.482E9$ 達因 / 平方公分之壓縮應力。如此便不會發生如習知製程之蝕刻阻障層經過 1 至 3 天以後會變成拉伸應力，而導致蝕刻阻障層和低介電常數介電層的崩裂及剝離現象。

除了黑鑽石薄膜之外，其他種類的低介電常數介電層（例如：氟摻雜之二氧化矽 ($SiOF$)、有機旋塗玻璃 (HSQ) 等等）亦同樣具有極大的拉伸應力。在本發明的另一實施例中，可以將上述形成具有壓縮應力及低介電常數之蝕刻阻障層的製程應用在其他任何一種低介電常數介電層的製

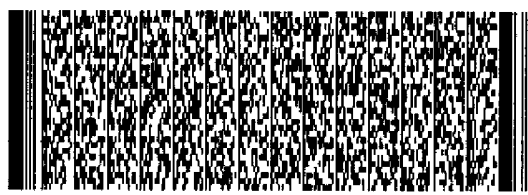
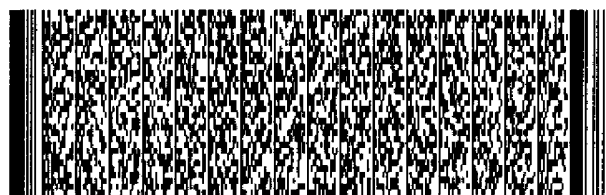


五、發明說明 (8)

程上，以平衡低介電常數介電層的拉伸應力，並降低金屬內連線之間的耦合電容。

接下來如步驟 23 所示，在同一反應腔且不關閉射頻 RF 的情況下，以 N_2O 和三甲基矽烷為反應氣體，利用電漿增強式化學汽相沉積法以射頻 RF 進行黑鑽石薄膜的沉積，以形成約 5000 埃的第一黑鑽石薄膜 32。其中所述 N_2O 的流量介於 350 至 400 sccm 之間，最佳流量為 370 sccm；三甲基矽烷的流量介於 50 至 100 sccm 之間，最佳流量為 68 sccm；反應時間介於 30 秒至 100 秒之間，最佳反應時間約為 60 秒。特別重要的是，本步驟和上述形成第一蝕刻阻障層 31 的步驟是在同一反應腔中連續完成的，不僅可以節省製程的時間，更重要的是可以提高第一蝕刻阻障層 31 和第一黑鑽石薄膜 32 之間的鍵結強度，以使兩層之間的黏著度更形強化。

接下來在步驟 24 中，在同一反應腔且不關閉射頻 RF 的情況下，再次利用化學汽相沉積法形成一層基於三甲基矽烷之氮化矽層，以做為第二蝕刻阻障層 33。本步驟以三甲基矽烷和 NH_3 為反應氣體，利用電漿增強式化學汽相沉積法 (PECVD) 在 N_2 的環境之下，在第一黑鑽石薄膜 32 上形成一層基於三甲基矽烷之氮化矽層，以做為第二蝕刻阻障層 33，其厚度介於 300 埃至 1000 埃之間。其中所述三甲基矽烷的流量介於 30 至 150 sccm 之間，最佳流量為 70 sccm； N_2 的流量介於 1000 至 3500 sccm 之間，最佳流量為 2500 sccm； NH_3 的流量介於 10 至 100 sccm 之間，最佳流量



五、發明說明 (9)

為 30 sccm；射頻 RF 的功率介於 200 至 800 瓦之間。所形成薄膜的介電常數約為 5.2，具有大約 1.49×10^9 達因 / 平方公分之壓縮應力，且同樣不會隨著時間而改變。特別重要的是，本步驟和上述形成第一黑鑽石薄膜 32 的步驟是在同一反應腔中連續完成的，不僅可以節省製程的時間，更重要的是可以提高第一黑鑽石薄膜 32 和第二蝕刻阻障層 33 之間的鍵結強度，以使兩層之間的黏著度更形強化。

接下來如步驟 25 所示，在同一反應腔且不關閉射頻 RF 的情況下，以 N_2O 和三甲基矽烷為反應氣體，利用電漿增強式化學汽相沉積法以射頻 RF 進行黑鑽石薄膜的沉積，以形成約 5000 埃的第二黑鑽石薄膜 34。其中所述 N_2O 的流量介於 350 至 400 sccm 之間，最佳流量為 370 sccm；三甲基矽烷的流量介於 50 至 100 sccm 之間，最佳流量為 68 sccm；反應時間介於 30 秒至 100 秒之間，最佳反應時間約為 60 秒。特別重要的是，本步驟和上述形成第二蝕刻阻障層 33 的步驟是在同一反應腔中連續完成的，不僅可以節省製程的時間，更重要的是可以提高第二蝕刻阻障層 33 和第二黑鑽石薄膜 34 之間的鍵結強度，以使兩層之間的黏著度更形強化。

接下來請參考圖三 B，以連續兩道微影與蝕刻技術形成開口 35。接下來請參考圖三 C，以 PVD、CVD、或電鍍方法形成一層銅薄膜 36。最後如圖三 D 所示，利用化學機械研磨法對所述銅薄膜 36 進行研磨，以形成銅導線 37。

利用本發明方法所形成之蝕刻阻障層 / 低介電常數介



五、發明說明 (10)

電層 / 蝕刻阻障層 / 低介電常數介電層之複層結構有下列的優點：

1. 本發明所形成的蝕刻阻障層是一層基於三甲基矽烷之氮化矽層，其具有較低的介電常數，可有效降低金屬內連線之間的耦合電容；並且其壓縮應力不會隨時間而改變，可抵銷低介電常數介電層的拉伸應力，避免剝離現象的發生。

2. 本發明中四道沉積製程皆在同一反應腔中連續進行，可以大幅節省製程的時間，增加產量並降低製造成本。

3. 本發明中四道沉積製程皆在同一反應腔中連續進行，中途僅改變反應氣體而不將射頻 RF 關閉，如此可使每一層與其上或下鄰接層之間的鍵結強度大幅提升，使各層之間的黏著度更形強化。

以上所述係利用較佳實施例詳細說明本發明，而非限制本發明的範圍，而且熟知此技藝的人士亦能明瞭，適當而作些微的改變與調整，仍將不失本發明之要義所在，亦不脫離本發明之精神和範圍。



圖式簡單說明

圖式的簡要說明：

圖一 A是習知雙鑲嵌製程中在一已完成前段製程的半導體基板上連續形成第一氮化矽層、第一低介電常數介電層、第二氮化矽層、和 second 低介電常數介電層，再以連續兩道微影與蝕刻技術形成開口之製程的剖面示意圖。

圖一 B是習知雙鑲嵌製程中形成一層銅薄膜之製程的剖面示意圖。

圖一 C是習知雙鑲嵌製程中利用化學機械研磨法對所述銅薄膜進行研磨，以形成銅導線之製程的剖面示意圖。

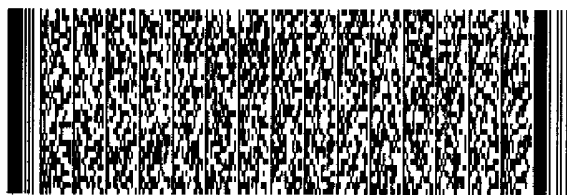
圖二是本發明形成蝕刻阻障層 /低介電常數介電層 /蝕刻阻障層 /低介電常數介電層之複層結構的製程流程圖。

圖三 A是本發明製程中在一已完成前段製程的半導體基板上連續形成第一蝕刻阻障層、第一低介電常數介電層、第二蝕刻阻障層、和 second 低介電常數介電層之製程的剖面示意圖。

圖三 B是本發明製程中以連續兩道微影與蝕刻技術形成開口之製程的剖面示意圖。

圖三 C是本發明製程中形成一層銅薄膜之製程的剖面示意圖。

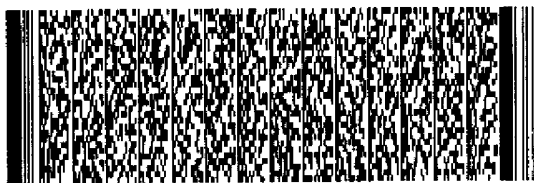
圖三 D是本發明製程中利用化學機械研磨法對所述銅薄膜進行研磨，以形成銅導線之製程的剖面示意圖。



四、中文發明摘要 (發明之名稱：形成雙鑲嵌製程之蝕刻阻障層的方法)

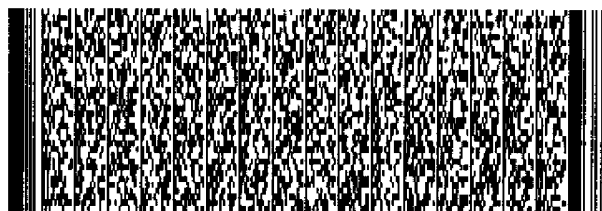
本發明揭露一種形成蝕刻阻障層 / 低介電常數介電層 / 蝕刻阻障層 / 低介電常數介電層之複層結構的方法，其製程步驟包括有首先提供一已完成積體電路之前段製程的半導體基板，接著以三甲基矽烷、氮氣和氨氣為反應氣體，形成第一蝕刻阻障層。後續形成第一低介電常數介電層。接下來以三甲基矽烷、氮氣和氨氣為反應氣體，形成第二蝕刻阻障層，接著形成第二低介電常數介電層。其中所述第一蝕刻阻障層、第一低介電常數介電層、第二蝕刻阻障層、和第二低介電常數介電層皆使用電漿增強式化學汽相沉積法在同一反應腔中連續進行沉積而成。

英文發明摘要 (發明之名稱：)



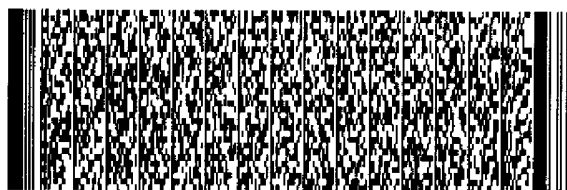
六、申請專利範圍

1. 一種形成雙鑲嵌製程之蝕刻阻障層的方法，其製程方法為利用三甲基矽烷、氮氣和氨氣為反應氣體，利用化學汽相沉積法形成一層基於三甲基矽烷之氮化矽層 (trimethylsilane-based nitride)。
2. 如申請專利範圍第 1 項所述之形成雙鑲嵌製程之蝕刻阻障層的方法，其中所述化學汽相沉積法為電漿增強式化學汽相沉積法 (PECVD)。
3. 如申請專利範圍第 1 項所述之形成雙鑲嵌製程之蝕刻阻障層的方法，其中所述三甲基矽烷的流量介於 30 至 150 sccm 之間；氮氣的流量介於 1000 至 3500 sccm 之間；而氨氣的流量介於 10 至 100 sccm 之間。
4. 一種形成蝕刻阻障層 / 低介電常數介電層 / 蝕刻阻障層 / 低介電常數介電層之複層結構的方法，適用於雙鑲嵌製程，其製程步驟包括有：
 - a. 提供一已完成積體電路之前段製程的半導體基板；
 - b. 以三甲基矽烷、氮氣和氨氣為反應氣體，利用化學汽相沉積法形成第一蝕刻阻障層；
 - c. 形成第一低介電常數介電層；
 - d. 以三甲基矽烷、氮氣和氨氣為反應氣體，利用化學汽相沉積法形成第二蝕刻阻障層；以及
 - e. 形成第二低介電常數介電層。



六、申請專利範圍

5. 如申請專利範圍第4項所述之形成蝕刻阻障層/低介電常數介電層/蝕刻阻障層/低介電常數介電層之複層結構的方法，其中步驟(b)所述之第一蝕刻阻障層為一層基於三甲基矽烷之氮化矽層(trimethylsilane-based nitride)。
6. 如申請專利範圍第4項所述之形成蝕刻阻障層/低介電常數介電層/蝕刻阻障層/低介電常數介電層之複層結構的方法，其中步驟(b)中三甲基矽烷的流量介於30至150sccm之間；氮氣的流量介於1500至3500sccm之間；而氬氣的流量介於10至50sccm之間。
7. 如申請專利範圍第4項所述之形成蝕刻阻障層/低介電常數介電層/蝕刻阻障層/低介電常數介電層之複層結構的方法，其中所述第一低介電常數介電層為黑鑽石薄膜。
8. 如申請專利範圍第7項所述之形成蝕刻阻障層/低介電常數介電層/蝕刻阻障層/低介電常數介電層之複層結構的方法，其中所述黑鑽石薄膜是以 N_2O 和三甲基矽烷為反應氣體，利用化學汽相沉積法所形成。
9. 如申請專利範圍第8項所述之形成蝕刻阻障層/低介電常數介電層/蝕刻阻障層/低介電常數介電層之複層結構的方法，其中其中所述 N_2O 的流量介於350至400sccm之間；



六、申請專利範圍

三甲基矽烷的流量介於 50 至 100 sccm 之間。

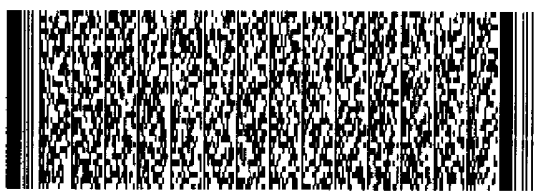
10. 如申請專利範圍第 4 項所述之形成蝕刻阻障層 / 低介電常數介電層 / 蝕刻阻障層 / 低介電常數介電層之複層結構的方法，其中步驟 (d) 所述之第二蝕刻阻障層為一層基於三甲基矽烷之氮化矽層。

11. 如申請專利範圍第 4 項所述之形成蝕刻阻障層 / 低介電常數介電層 / 蝕刻阻障層 / 低介電常數介電層之複層結構的方法，其中步驟 (d) 中三甲基矽烷的流量介於 30 至 150 sccm 之間；氮氣的流量介於 1000 至 3500 sccm 之間；而氨氣的流量介於 10 至 100 sccm 之間。

12. 如申請專利範圍第 4 項所述之形成蝕刻阻障層 / 低介電常數介電層 / 蝕刻阻障層 / 低介電常數介電層之複層結構的方法，其中所述第二低介電常數介電層為黑鑽石薄膜。

13. 如申請專利範圍第 12 項所述之形成蝕刻阻障層 / 低介電常數介電層 / 蝕刻阻障層 / 低介電常數介電層之複層結構的方法，其中所述黑鑽石薄膜是以 N_2O 和三甲基矽烷為反應氣體，利用化學汽相沉積法所形成。

14. 如申請專利範圍第 13 項所述之形成蝕刻阻障層 / 低介電常數介電層 / 蝕刻阻障層 / 低介電常數介電層之複層結構



六、申請專利範圍

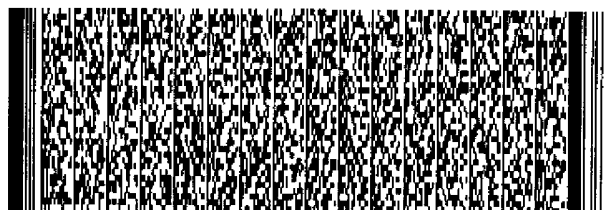
的方法，其中其中所述 N_2O 的流量介於 350 至 400 sccm 之間；三甲基矽烷的流量介於 50 至 100 sccm 之間。

15. 一種形成蝕刻阻障層 / 低介電常數介電層 / 蝕刻阻障層 / 低介電常數介電層之複層結構的方法，其製程步驟包括有：

- a. 提供一已完成積體電路之前段製程的半導體基板；
- b. 以三甲基矽烷、氮氣和氧氣為反應氣體，形成第一蝕刻阻障層；
- c. 形成第一低介電常數介電層；
- d. 以三甲基矽烷、氮氣和氧氣為反應氣體，形成第二蝕刻阻障層；以及
- e. 形成第二低介電常數介電層；其中所述第一蝕刻阻障層、第一低介電常數介電層、第二蝕刻阻障層、和第二低介電常數介電層皆使用電漿增強式化學汽相沉積法在同一反應腔中連續進行沉積而成。

16. 如申請專利範圍第 15 項所述之形成蝕刻阻障層 / 低介電常數介電層 / 蝕刻阻障層 / 低介電常數介電層之複層結構的方法，其中步驟 (b) 所述之第一蝕刻阻障層為一層基於三甲基矽烷之氮化矽層 (trimethylsilane-based nitride)。

17. 如申請專利範圍第 15 項所述之形成蝕刻阻障層 / 低介



六、申請專利範圍

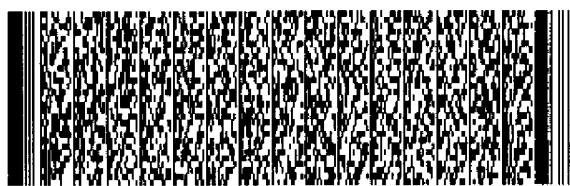
電常數介電層 / 蝕刻阻障層 / 低介電常數介電層之複層結構的方法，其中步驟 (b) 中三甲基矽烷的流量介於 30 至 150 sccm 之間；氮氣的流量介於 1000 至 3500 sccm 之間；而氬氣的流量介於 10 至 100 sccm 之間。

18. 如申請專利範圍第 15 項所述之形成蝕刻阻障層 / 低介電常數介電層 / 蝕刻阻障層 / 低介電常數介電層之複層結構的方法，其中所述第一低介電常數介電層為黑鑽石薄膜。

19. 如申請專利範圍第 18 項所述之形成蝕刻阻障層 / 低介電常數介電層 / 蝕刻阻障層 / 低介電常數介電層之複層結構的方法，其中所述黑鑽石薄膜是以 N_2O 和三甲基矽烷為反應氣體，利用化學汽相沉積法所形成。

20. 如申請專利範圍第 19 項所述之形成蝕刻阻障層 / 低介電常數介電層 / 蝕刻阻障層 / 低介電常數介電層之複層結構的方法，其中其中所述 N_2O 的流量介於 350 至 400 sccm 之間；三甲基矽烷的流量介於 50 至 100 sccm 之間。

21. 如申請專利範圍第 15 項所述之形成蝕刻阻障層 / 低介電常數介電層 / 蝕刻阻障層 / 低介電常數介電層之複層結構的方法，其中步驟 (d) 所述之第二蝕刻阻障層為一層基於三甲基矽烷之氮化矽層。



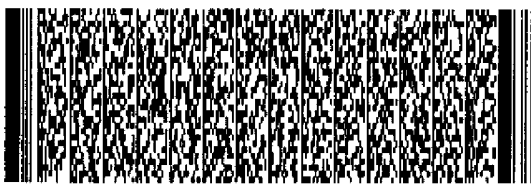
六、申請專利範圍

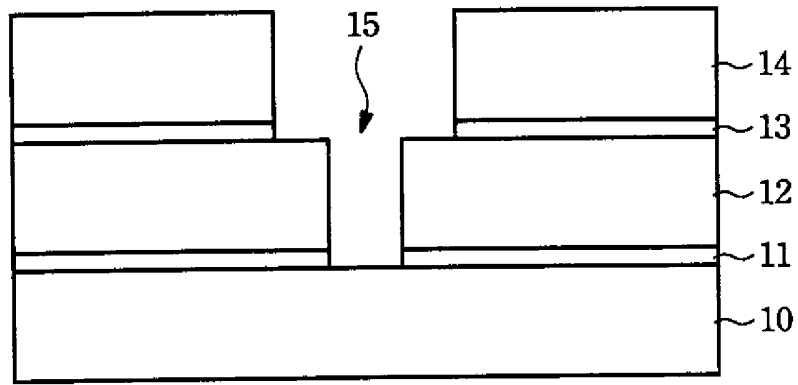
22. 如申請專利範圍第15項所述之形成蝕刻阻障層/低介電常數介電層/蝕刻阻障層/低介電常數介電層之複層結構的方法，其中步驟(d)中三甲基矽烷的流量介於30至150sccm之間；氮氣的流量介於1000至3500sccm之間；而氬氣的流量介於10至100sccm之間。

23. 如申請專利範圍第15項所述之形成蝕刻阻障層/低介電常數介電層/蝕刻阻障層/低介電常數介電層之複層結構的方法，其中所述第二低介電常數介電層為黑鑽石薄膜。

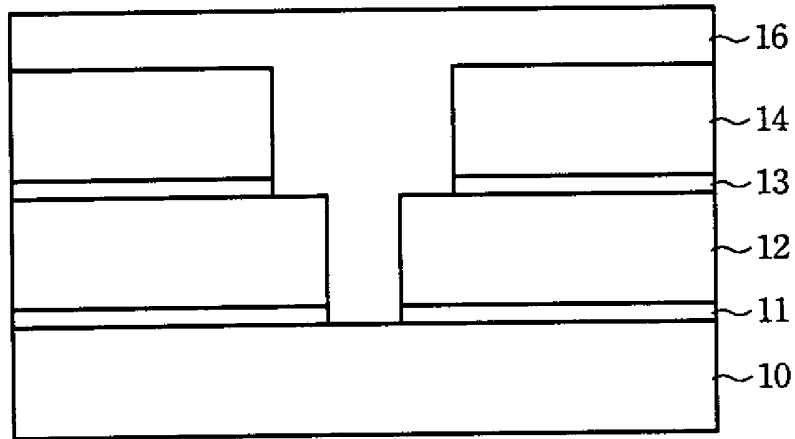
24. 如申請專利範圍第23項所述之形成蝕刻阻障層/低介電常數介電層/蝕刻阻障層/低介電常數介電層之複層結構的方法，其中所述黑鑽石薄膜是以 N_2O 和三甲基矽烷為反應氣體，利用化學汽相沉積法所形成。

25. 如申請專利範圍第24項所述之形成蝕刻阻障層/低介電常數介電層/蝕刻阻障層/低介電常數介電層之複層結構的方法，其中其中所述 N_2O 的流量介於350至400sccm之間；三甲基矽烷的流量介於50至100sccm之間。

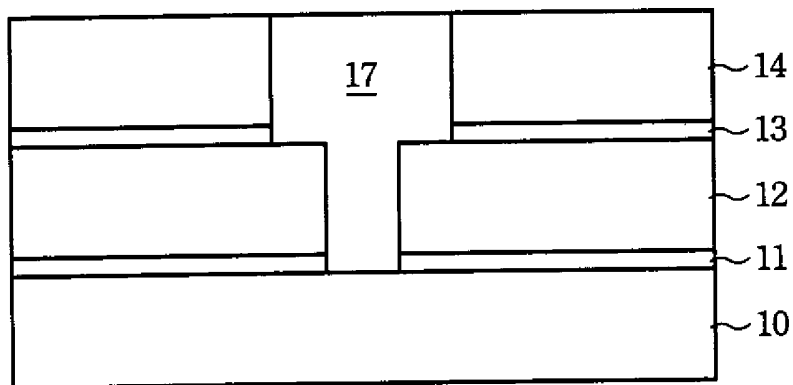




圖一A



圖一B



圖一C

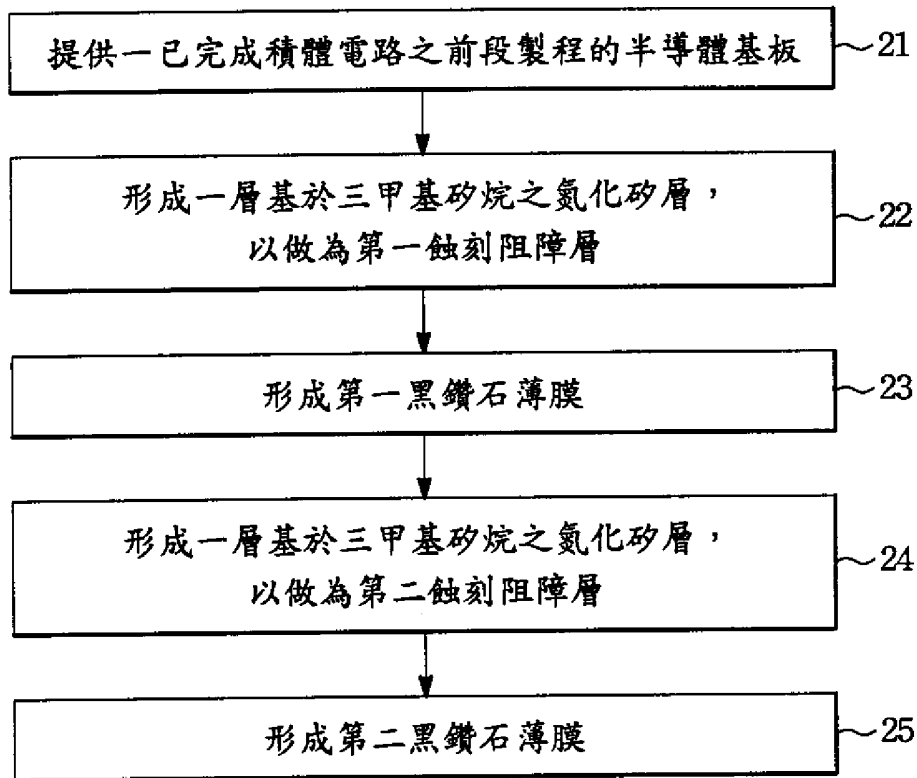
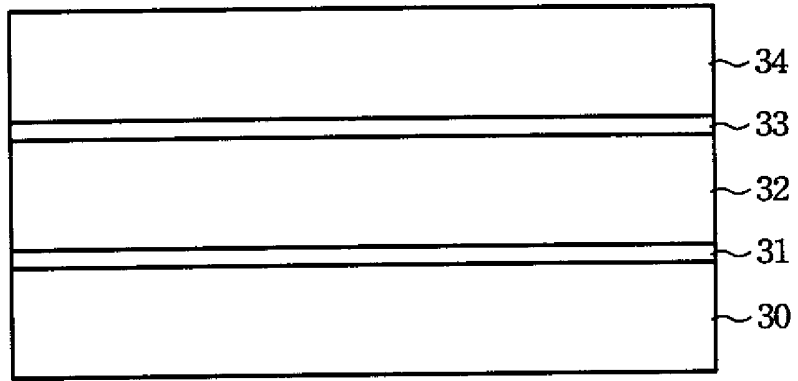
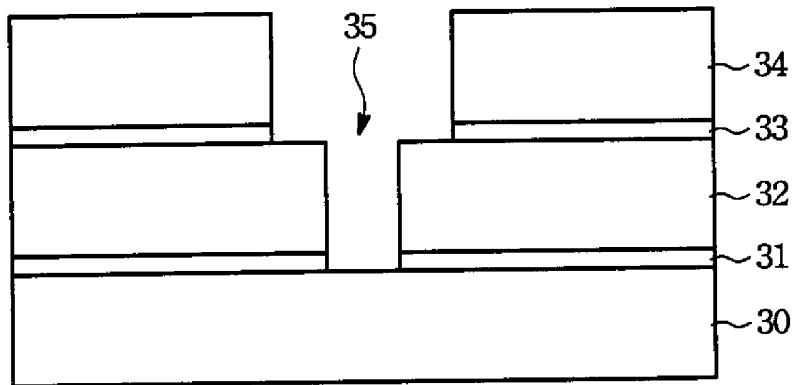


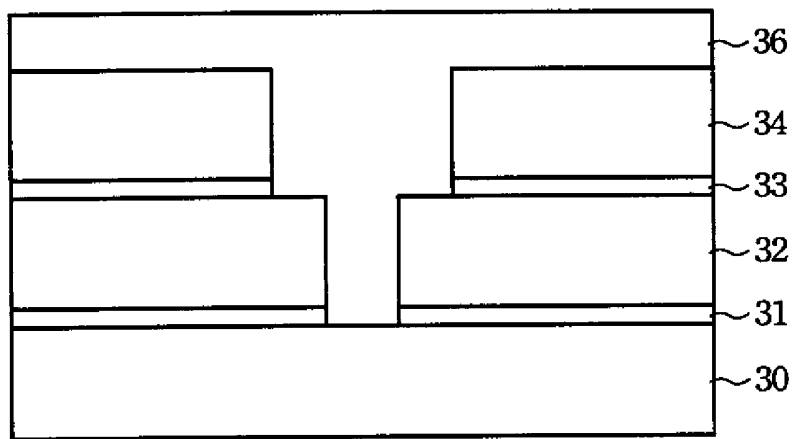
圖 二



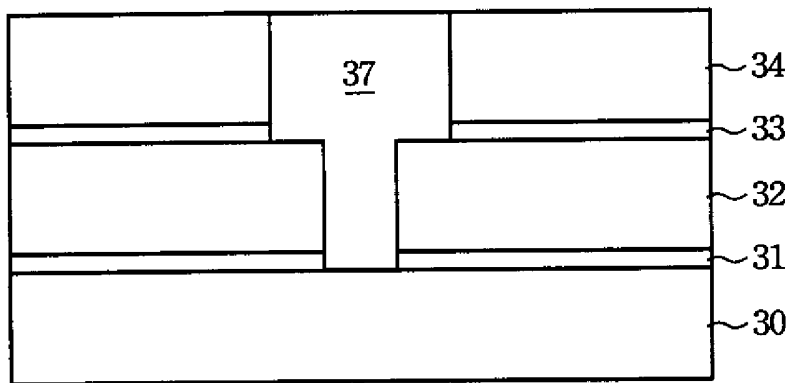
圖三A



圖三B



圖三C



圖三D