(12) 公 開 特 許 公 報(A)

(19) 日本国特許庁(JP)

(11) 特許出願公開番号 特開2008-16733

(P2008-16733A)

(43) 公開日 平成20年1月24日 (2008.1.24)

(51) Int.Cl.			FI		テーマコード (参考)
H O 1L	27/146	(2006.01)	HO1L 27/14	А	4M118

審査請求 未請求 請求項の数 11 OL (全 8 頁)

(21) 出願番号 (22) 出願日	特願2006-188530 (P2006-188530) 平成18年7月7日 (2006.7.7)	(71) 出願人	302062931 NECエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
		(74)代理人	100110928
			弁理士 速水 進治
		(72)発明者	中柴 康隆
			神奈川県川崎市中原区下沼部1753番地
			NECエレクトロニクス株式会社内
		F ターム (参	考) 4M118 AAO5 ABO1 BA14 CAO3 CA32
			DDO4 DD12 FAO6 FA28 FA33
			GA02 GB03 GB04 GB06 GB11

(54) 【発明の名称】固体撮像装置

(57)【要約】

【課題】従来の裏面入射型の固体撮像装置においては、 撮像面である裏面と反対側の面(表面)から、受光部が 設けられた半導体基板内に迷光が入り込む可能性がある

【解決手段】固体撮像装置1は、半導体基板10、受光 部14、および遮光膜20を備えている。固体撮像装置 1は、裏面入射型であり、半導体基板10の裏面S2に 入射した被撮像体からの光を半導体基板10の内部で光 電変換し、その光電変換により発生した電荷を受光部1 4で受けて当該被撮像体を撮像する。受光部14は、半 導体基板10と共にPN接合ダイオードを構成している 。半導体基板10の表面S1側には、受光部14を覆う ように遮光膜20が設けられている。この遮光膜20は 、固体撮像装置1の外部から上記表面S1に入射しよう とする光を遮るものである。 【選択図】図1



【特許請求の範囲】 【請求項1】 半 導 体 基 板 の 裏 面 に 入 射 し た 光 を 光 電 変 換 す る こ と に よ り 被 撮 像 体 を 撮 像 す る 固 体 撮 像 装置であって、 前記半導体基板中に設けられ、当該半導体基板と共にPN接合ダイオードを構成し、前 記光電変換により生じた信号電荷を受ける受光部と、 前記半導体基板の表面側に前記受光部を覆うように設けられ、当該固体撮像装置の外部 から前記表面に入射しようとする光を遮る遮光膜と、 を備えることを特徴とする固体撮像装置。 【請求項2】 請求項1に記載の固体撮像装置において、 前記遮光膜は、前記受光部が設けられた領域の全体を覆っている固体撮像装置。 【請求項3】 請求項2に記載の固体撮像装置において、 前記遮光膜は、前記半導体基板の前記表面の略全体を覆っている固体撮像装置。 【請求項4】 請求項1乃至3いずれかに記載の固体撮像装置において、 前記半導体基板の前記表面上に設けられ、配線を含む配線層を備え、 前記遮光膜は、前記配線と同一の材料によって形成されている固体撮像装置。 【請求項5】 請求項4に記載の固体撮像装置において、 前記遮光膜は、前記配線層中に設けられている固体撮像装置。 【請求項6】 請求項5に記載の固体撮像装置において、 前記遮光膜は、前記配線の一部である固体撮像装置。 【請求項7】 請求項1乃至6いずれかに記載の固体撮像装置において、 前記半導体基板の前記裏面は、前記被撮像体が直接に接触する面である固体撮像装置。 【請求項8】 請求項1乃至7いずれかに記載の固体撮像装置において、 前記被撮像体は、指である固体撮像装置。 【請求項9】 請求項1乃至8いずれかに記載の固体撮像装置において、 前記受光部は、第1の不純物拡散層である固体撮像装置。 【請求項10】 請求項9に記載の固体撮像装置において、 前記半導体基板の前記表面上に、前記受光部と隣接して設けられたゲート絶縁膜と、 前記ゲート絶縁膜上に設けられたゲート電極と、 前記ゲート絶縁膜および前記ゲート電極を挟んで、前記受光部の反対側に設けられた第 2の不純物拡散層と、を備え、 前 記 受 光 部 、 前 記 ゲ ー ト 絶 縁 膜 、 前 記 ゲ ー ト 電 極 お よ び 前 記 第 2 の 不 純 物 拡 散 層 は 、 電 界 効 果 ト ラ ン ジ ス タ を 構 成 し て い る 固 体 撮 像 装 置 。 【請求項11】 請求項9に記載の固体撮像装置において、 前記半導体基板中に、前記受光部と隣接して設けられた第2の不純物拡散層と、 前 記 半 導 体 基 板 の 前 記 表 面 上 に 、 前 記 第 2 の 不 純 物 拡 散 層 と 隣 接 し て 設 け ら れ た ゲ ー ト 絶縁膜と、 前記ゲート絶縁膜上に設けられたゲート電極と、 前 記 ゲート 絶 縁 膜 お よ び 前 記 ゲート 電 極 を 挟 ん で 、 前 記 第 2 の 不 純 物 拡 散 層 の 反 対 側 に

設けられた第3の不純物拡散層と、を備え、

50

40

10

20

30

前 記 第 2 の 不 純 物 拡 散 層 、 前 記 ゲ ー ト 絶 縁 膜 、 前 記 ゲ ー ト 電 極 お よ び 前 記 第 3 の 不 純 物 拡散層は、電界効果トランジスタを構成している固体撮像装置。 【発明の詳細な説明】 【技術分野】 [0001]本発明は、固体撮像装置に関する。 【背景技術】 [0002]特許文献1には、裏面入射型の固体撮像装置が記載されている。その固体撮像装置にお い て は 、 半 導 体 基 板 の 裏 面 に 入 射 し た 被 撮 像 体 か ら の 光 が 、 半 導 体 基 板 の 内 部 で 光 電 変 換 10 される。そして、それにより生じた電荷を受光部が受けることにより、被撮像体が撮像さ れる。 [0003]なお、本発明に関連する先行技術文献としては、特許文献1の他に、特許文献2,3が 挙げられる。 【特許文献1】特開2002-33469号公報 【特許文献 2 】特開 2 0 0 0 - 2 5 2 4 5 2 号公報 【特許文献3】特開平3-148172号公報 【発明の開示】 【発明が解決しようとする課題】 20 [0004]しかしながら、かかる固体撮像装置には次の課題があることを本発明者は発見した。す なわち、上記固体撮像装置においては、撮像面である裏面と反対側の面(表面)から、受 光部が設けられた半導体基板内に迷光が入り込む可能性がある。迷光が入り込んだ場合、 偽信号が発生し、それにより撮像画像が劣化してしまう。 【課題を解決するための手段】 [0005]本発明による固体撮像装置は、半導体基板の裏面に入射した光を光電変換することによ り被撮像体を撮像する固体撮像装置であって、上記半導体基板中に設けられ、当該半導体 基板と共にPN接合ダイオードを構成し、上記光電変換により生じた信号電荷を受ける受 30 光 部 と 、 上 記 半 導 体 基 板 の 表 面 側 に 上 記 受 光 部 を 覆 う よ う に 設 け ら れ 、 当 該 固 体 撮 像 装 置 の外部から上記表面に入射しようとする光を遮る遮光膜と、を備えることを特徴とする。 [0006]この 固 体 撮 像 装 置 に お い て は 、 半 導 体 基 板 の 表 面 側 に 遮 光 膜 が 設 け ら れ て い る 。 こ れ に より、迷光が当該表面から半導体基板内に入り込むのを防ぐことができる。 【発明の効果】 [0007]本発明によれば、良好な撮像画像を得ることが可能な固体撮像装置が実現される。 【発明を実施するための最良の形態】 [0008]40 以下、図面を参照しつつ、本発明による固体撮像装置の好適な実施形態について詳細に 説明する。なお、図面の説明においては、同一要素には同一符号を付し、重複する説明を 省略する。 (第1実施形態) [0009]図1は、本発明による固体撮像装置の第1実施形態を示す断面図である。固体撮像装置 1 は、半導体基板10、受光部14、および遮光膜20を備えている。この固体撮像装置 1 は、 裏 面 入 射 型 で あ り 、 半 導 体 基 板 1 0 の 裏 面 5 2 に 入 射 し た 被 撮 像 体 か ら の 光 を 半 導 体 基 板 1 0 の 内 部 で 光 電 変 換 し 、 そ の 光 電 変 換 に よ り 発 生 し た 電 荷 を 受 光 部 1 4 で 受 け て

当該被撮像体を撮像する。撮像は、被撮像体が上記裏面S2に直接接触した状態で行われ

(3)

50

ることが好ましい。また、被撮像体は、例えば指である。

【 0 0 1 0 】

本実施形態において半導体基板10は、P型シリコン基板である。この半導体基板10 はP型ウエル領域12を含んでおり、このP型ウエル領域12に受光部14が形成されて いる。受光部14は、N型不純物拡散層(第1の不純物拡散層)であり、半導体基板10 と共にPN接合ダイオードを構成している。

【0011】

半導体基板10の表面S1側には、受光部14を覆うように遮光膜20が設けられている。遮光膜20は、受光部14が設けられた領域の全体を覆っている。本実施形態においては特に、半導体基板10の表面S1の略全体が遮光膜20によって覆われている。この遮光膜20は、固体撮像装置1の外部から上記表面S1に入射しようとする光を遮るものである。

【0012】

半導体基板10上には配線層30が設けられており、この配線層30中に上述の遮光膜20が設けられている。配線層30は、配線32,34,36を含んでいる。遮光膜20は、これらの配線32,34,36と同一の材料によって形成されている。かかる材料としては、A1、Cu、WまたはTi等が挙げられる。

[0013]

半導体基板10の表面S1上には、ゲート絶縁膜42が形成されている。このゲート絶縁膜42は、上述の受光部14と隣接して設けられている。また、ゲート絶縁膜42上には、配線34に接続されたゲート電極44が形成されている。ゲート絶縁膜42およびゲート電極44は、例えば、それぞれ酸化シリコンおよびポリシリコンによって構成される

20

30

10

[0014]

さらに、ゲート絶縁膜42およびゲート電極44を挟んで、受光部14の反対側にはN 型不純物拡散層46(第2の不純物拡散層)が形成されている。N型不純物拡散層46は 、配線36に接続されている。これらのゲート絶縁膜42、ゲート電極44およびN型不 純物拡散層46は、受光部14と共に、電界効果トランジスタ(FET)を構成している 。このFETにおいて、ゲート電極44およびN型不純物拡散層46は、それぞれリセッ トゲートおよびリセットドレインとして機能する。また、このFETは、素子分離領域6 2によって、他の素子と隔てられている。素子分離領域62は、例えば、LOCOS(Lo cal Oxidation of Silicon)領域またはSTI(Shallow Trench Isolation)領域である

[0015**]**

受光部14には、配線64を介して、ソースフォロアアンプ50が接続されている。この配線64も配線層30中に形成された配線であるが、図1においては、この配線64お よびソースフォロアアンプ50を回路図で表している。

【0016】

ソースフォロアアンプ 5 0 は、選択スイッチ用 F E T 5 2 、検出用 F E T 5 4 、および 負荷用 F E T 5 6 を含んでいる。これらは、高電位側の電源端子(V_{d d})と低電位側の 40 電源端子(V_{s s})との間に、設けられている。具体的には、電源端子(V_{d d})から電 源端子(V_{s s})に向かって、検出用 F E T 5 4 、選択スイッチ用 F E T 5 2 および負荷 用 F E T 5 6 の順に、互いに直列に設けられている。また、負荷用 F E T 5 6 のドレイン 端子(選択スイッチ用 F E T 5 2 側の端子)に、ソースフォロアアンプ 5 0 の出力端子 5 8 が接続されている。

【0017】

次に、固体撮像装置1の動作を説明する。まず、ゲート電極44にハイパルスが印加されることにより、受光部14の電位がリセットされる。次に、ゲート電極44にローパルスが印加されることにより、光電変換により発生した電荷が受光部14中に蓄積される。 すると、受光部14の電位は、蓄積された電荷量に依存した値となり、ソースフォロアア ンプ50の出力端子58から出力される。

【0018】

続いて、固体撮像装置1の効果を説明する。固体撮像装置1においては、半導体基板1 0の表面S1側に遮光膜20が設けられている。これにより、迷光が当該表面S1から半 導体基板10内に入り込むのを防ぐことができる。よって、良好な撮像画像を得ることが 可能な固体撮像装置1が実現されている。

【0019】

受光部14が設けられた領域の全体が遮光膜20によって覆われていることにより、迷 光による撮像画像の劣化を特に効果的に防ぐことができる。さらに、本実施形態において は半導体基板10の表面S1の略全体が遮光膜20によって覆われているため、迷光が半 10 導体基板10内に入り込むのを一層確実に防ぐことができる。

[0020]

遮光膜20が、配線層30中に設けられるとともに、配線32,34,36と同一の材料によって形成されている。これにより、遮光膜20の形成を配線形成プロセスで行うことができるため、遮光膜20の形成、ひいては固体撮像装置1の製造が容易となる。例えば、遮光膜20は、電極パッド(図示せず)と同時に形成することが可能である。 【0021】

受光部14、ゲート絶縁膜42、ゲート電極44およびN型不純物拡散層46がFET を構成している。これにより、簡素な構成で、受光部14の電位をリセットするための構 造を実現することができる。

ところで、特許文献3には、半導体基板の表面側に遮光膜が設けられた固体撮像装置が 開示されている。しかしながら、その固体撮像装置は、受光部にショットキーバリアダイ オードが採用されている点で、PN接合ダイオードが採用されている固体撮像装置1と相 違する。同文献の固体撮像装置においては、使用される光が赤外光(波長が約5µm以下)に限定されているため、PN接合ダイオードを用いることができないのである。すなわ ち、PN接合ダイオードを用いたとすると、バンドギャップが広くて、受光部が赤外光を 充分に受けられなくなってしまう。

[0023]

また、同文献の固体撮像装置は、上述のとおり赤外光を対象とするため、熱線に対して 30 感度を発揮する。したがって、被撮像体が指である場合には、その指全体からの熱線の影響を受けてしまう。そのため、同固体撮像装置は、指紋の撮像には不向きである。この点、固体撮像装置1であれば、指紋の撮像に好適に適用することができる。

【0024】

また、同文献の固体撮像装置は、CCD(Charge Coupled Device)型であるため、配線層が単層である。それゆえ、配線層中のスペースが限られており、遮光膜を配線層中に形成することが困難である。実際、同固体撮像装置においては、配線層の上部に遮光膜が設けられている。したがって、固体撮像装置1とは異なり、配線形成プロセスで遮光膜を形成できないため、遮光膜を形成する分だけ工程数が増大してしまう。

(第2実施形態)

【 0 0 2 5 】

図2は、本発明による固体撮像装置の第2実施形態を示す断面図である。固体撮像装置 2においては、遮光膜20が配線34と一体に形成されている。すなわち、この遮光膜2 0は、配線層30中の配線の一部であり、遮光膜としての機能および配線としての機能を 兼ね備えている。固体撮像装置2のその他の構成、および動作は、固体撮像装置1と同様 である。

かかる構成の固体撮像装置2によれば、遮光膜20を配線34と同時に形成することができるので、製造工程数を少なく抑えることが可能である。固体撮像装置2のその他の効果は、固体撮像装置1と同様である。なお、本実施形態において遮光膜20が、配線層3

20

50

0 中の 配 線 3 4 以 外 の 配 線 (例 え ば 配 線 3 2 , 3 6) と 一 体 に 形 成 さ れ て い て も よ い こ と

は言うまでもない。 (第3実施形態) [0027]図3は、本発明による固体撮像装置の第3実施形態を示す断面図である。固体撮像装置 3 においては、半導体基板10の表面S1側の表層に、N型不純物拡散層48(第2の不 純物拡散層)が形成されている。このN型不純物拡散層48は、受光部14と隣接して設 けられている。また、半導体基板10の表面S1上に、N型不純物拡散層48と隣接して ゲート絶縁膜42が形成されている。ゲート絶縁膜42上には、ゲート電極44が形成さ れている。さらに、ゲート絶縁膜42およびゲート電極44を挟んで、 N 型不純物拡散層 10 4 8 の反対側には N 型不純物拡散層 4 6 (第 3 の不純物拡散層)が形成されている。 [0028]これらの N 型 不 純 物 拡 散 層 4 8 、 ゲート 絶 縁 膜 4 2 、 ゲート 電 極 4 4 お よび N 型 不 純 物 拡散層46は、FETを構成している。このFETにおいても、ゲート電極44およびN 型不純物拡散層46は、それぞれリセットゲートおよびリセットドレインとして機能する 。 固 体 撮 像 装 置 3 の そ の 他 の 構 成 、 お よ び 動 作 は 、 固 体 撮 像 装 置 1 と 同 様 で あ る 。 ま た 、 固体撮像装置3の効果も固体撮像装置1と同様である。なお、本実施形態においても、第 2 実施形態と同様、遮光膜 2 0 を配線層 3 0 中の配線と一体に形成してもよい。 [0029]本発明による固体撮像装置は、上記実施形態に限定されるものではなく、様々な変形が 20 可能である。例えば、P型の半導体基板およびN型の受光部を例示したが、N型の半導体 基板およびP型の受光部であってもよい。 【図面の簡単な説明】 [0030]【図1】本発明による固体撮像装置の第1実施形態を示す断面図である。 【図2】本発明による固体撮像装置の第2実施形態を示す断面図である。 【図3】本発明による固体撮像装置の第3実施形態を示す断面図である。 【符号の説明】 $\begin{bmatrix} 0 & 0 & 3 & 1 \end{bmatrix}$ 固体撮像装置 30 1 2 固体撮像装置 3 固体撮像装置 1 0 半導体基板 1 2 P型ウエル領域 14 受光部 2 0 遮光膜 3 0 配 線 層 32,34,36 配 線 ゲート絶縁膜 4 2 4 4 ゲート電極 40 N 型 不 純 物 拡 散 層 4 6 4 8 N 型 不 純 物 拡 散 層 5 0 ソースフォロアアンプ 58 出力端子 62 素子分離領域 64 配 線 52 選択スイッチ用FET 54 検出用FET 負荷用FET 56 S 1 表面 50 S 2 裏面





【図2】



【図3】

