

# 公告本

415147

申請日期	87-06-29
案 號	87110471
類 別	H03L <sup>1</sup> / <sub>093</sub> . <sup>1</sup> / <sub>8</sub>

A4  
C4

(以上各欄由本局填註)

## 發明 專利 說明 書 415147

一、發明 名稱	中 文	具充放電量控制器之充電泵
	英 文	CHARGE PUMP WITH CHARGE/DISCHARGE AMOUNT CONTROL
二、發明 人	姓 名	谷島秀明
	國 籍	日 本
	住、居所	日本國愛知縣春日井市高藏寺町二丁目1844番2
三、申請人	姓 名 (名稱)	日商・富士通股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	代 表 人 姓 名	關 澤 義

裝 訂 線

經濟部中央標準局員工消費合作社印製

A6

B6

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

本案已向：

日本 國(地區) 申請專利, 申請日期: 1998,2,6 案號: 特願平10-026060  
有 無主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

## 五、發明說明(1)

本發明係有關安裝於PLL電路中之充電泵，特別是有關可快速地鎖定於所需之頻率並維持頻率穩定之輸出信號之充電泵。

第1圖為傳統PLL電路10之方塊圖。PLL電路10具有相位比較器11、充電泵12、低通濾波器(LPF)13、壓控式振盪器(VCO)14與分頻器15。相位比較器提供第一與第二相位差信號UP與DN至充電泵，這些相位差信號的脈衝寬度取決於具有預定頻率之參考信號RIN與來自分頻器15之分頻信號FIN之間的相位差。充電泵12提供輸出信號Co至LPF13，該輸出隨第一與第二相位差信號UP與DN之脈衝寬度而變化。LPF13修正來自充電泵12之輸出信號Co而使其平滑，並提供DC電壓信號Lo至VCO14。VCO14提供振盪輸出信號Fout至外部電路，該振盪輸出信號之頻率取決於DC電壓信號Lo之電壓值。VCO14亦提供振盪輸出信號Fout至分頻器15。分頻器15對振盪輸出信號Fout進行分頻，並將所產生的分頻信號FIN送到相位比較器11。PLL電路10使來自VCO14之頻率振盪輸出信號Fout之頻率與所需之頻率匹配，或鎖定於所需之頻率上。

第4圖為相位比較器11之電路圖。相位比較器11具有四個D型正反器(DF)21至24，以及互斥或(EOR)閘25與26。相位比較器11根據第5至7圖的時序圖進行操作。第5圖顯示參考信號RIN之與分頻信號FIN之一致上升時的時序圖。在此，由於參考信號RIN之相位與分頻信號FIN之相位一致，相位比較器11輸出具有相同脈衝寬度的第一與第二相位差信號UP與DN。第6圖顯示參考信號RIN在分頻信號FIN上升之後才上升的情況

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(2)

下所形成之時序圖。在此，分頻信號FIN之相位領先參考信號RIN之相位，因此相位比較器11所輸出之第一相位差信號UP之脈衝寬度小於第二相位差信號DN之脈衝寬度。第7圖顯示參考信號RIN在分頻信號FIN上升之前上升的情況下所形成之時序圖。在此，參考信號RIN之相位領先分頻信號FIN之相位，因此相位比較器11所輸出之第一相位差信號UP之脈衝寬度大於第二相位差信號DN之脈衝寬度。

如第2圖所示，充電泵12具有串接於第一電源線L1與第二電源線L2之間的P通道MOS(PMOS)電晶體TP1與N通道MOS電晶體TN1，其中第一電源線L1連接至高壓電源 $V_{DD}$ ，而第二電源線L2連接至低壓電源 $V_{SS}$ 。PMOS電晶體TP1之源極連接至高壓電源 $V_{DD}$ ，其汲極連接至NMOS電晶體TN1之汲極，且其閘極輸出第一相位差信號UP。NMOS電晶體TN1之源極連接至低壓電源 $V_{SS}$ ，其閘極輸出第二相位差信號DN。電晶體TP1與TN1之汲極之間的節點N1為提供充電泵12之輸出信號Co的節點。

當PMOS電晶體TP1響應於L電位的第一相位差信號UP而導通時，充電泵12執行充電，使電流流入LPF13，因而提高LPF13之電量。具有電阻器與電容器的LPF13隨著電量的增加而提高輸出信號Lo之電位。亦即，充電泵12在第一相位差信號UP之電位為L的期間執行充電。

當NMOS電晶體TN1響應於H電位的第二相位差信號DN而導通時，充電泵12執行放電，使電流流出LPF13，因而降低LPF13之電量。LPF13隨著電量的減少而降低輸出信號Lo之電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

### 五、發明說明(3)

位。亦即，充電泵12在第二相位差信號DN之電位為H的期間執行放電。

在第5圖的例子中，當相位比較器11輸出具有相同相位的第一與第二相位差信號UP與DN時，充電泵12同時執行充電(輸出電流 $I(Co)$ (正極))與放電(汲入電流 $I(Co)$ (負極))。因此，如第8(a)圖所示，LPF13之輸出信號Lo之電壓 $V(Lo)$ 不變，且VCO14保持輸出信號Fout之頻率。

在第7圖的例子中，當相位比較器11輸出之第一相位差信號UP之脈衝寬度大於第二相位差信號DN之脈衝度時，充電泵12執行充電的時間幅度大於執行放電的時間幅度。易言之，充電泵12輸出電流 $I(Co)$ (正極)的時間幅度大於汲入電流 $I(Co)$ (負極)的時間幅度。因此如第8(b)圖所示，LPF13之輸出信號Lo之電壓 $V(Lo)$ 上升，且VCO14提高輸出信號Fout之頻率。

在第6圖的例子中，當相位比較器11輸出之第一相位差信號UP之脈衝寬度小於第二相位差信號DN之脈衝度時，充電泵12執行充電的時間幅度小於執行放電的時間幅度。易言之，充電泵12汲入電流 $I(Co)$ (負極)的時間幅度大於輸出電流 $I(Co)$ (正極)的時間幅度。因此如第8(c)圖所示，LPF13之輸出信號Lo之電壓 $V(Lo)$ 下降，且VCO14降低輸出信號Fout之頻率。

參考第3圖，充電泵12之等效電路可利用串接於第一與第二電源線L1與L2之間的電阻器R1與R2加以呈現。高壓電源 $V_{DD}$ 與低壓電源VSS之間的電位差固定。因此，舉例而言，當節點N1處於高電位且電壓接近高壓電源 $V_{DD}$ 之電壓時，跨越第一電阻器R1之電位差小於跨越第二電阻器R2之電位差。當節

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

## 五、發明說明(4)

點N2處於高電位且其電壓接近低壓電源VSS之電壓時，跨越第一電阻器R1之電位差大於跨越第二電阻器R2之電位差。

跨越第一與第二電阻器R1與R2之電位差分別為電晶體TP1與TP2之源極—汲極電位差。因此，電晶體TP1或TN1在源極—汲極電位差變大時具有較大的驅動力，而在源極—汲極電位差變小時具有較小的驅動力。在具有較大的驅動力時，會有大量電流流入電晶體，而在具有較小的驅動力時，會有少量的電流流入電晶體。個別電晶體TP1與TN1之驅動性能對PLL電路10造成以下的影響。

當節點N處於高電位且其電位提高至接近高壓電源 $V_{DD}$ 之電位時，由於NMOS電晶體TN1之驅動力大於PMOS電晶體TP1之驅動力，流入NMOS電晶體TN1之電流量大於流入電晶體TP1之電流量，即使第一與第二相位差信號UP與DN為輸入。因此，充電量大於放電量。

第9圖以表列的方式顯示PMOS電晶體TP1之充電量與NMOS電晶體TN1之放電量之比例，該表列係根據節點N1之電壓(VN1)以及參考電壓RIN與分頻信號FIN之間的相位差之間的關係而取得。在第9圖中，波形上的數字即為比例。舉例而言，在第9圖的中央部分(在此信號RIN與FIN大致同相，且節點N1之電壓V(N1)設定於高壓電源 $V_{DD}$ 之電位與低壓電源VSS之電位的中間值)，充電量對放電量的比例為4:4。

在第9圖的中間下方部分(在此信號RIN與FIN大致同相，且節點N1位於高電位)，大量電流流入NMOS電晶體TN1，使充電量對放電量的比例成為2:6。在此，LPF13之輸出信號Lo

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(5)

之電壓 $V(Lo)$ 下降，且VCO14之振盪輸出信號 $F_{out}$ 之頻率下降。這導致PLL電路10之振盪輸出信號 $F_{out}$ 脫離連鎖的不正常操作。亦即，PLL電路10之振盪輸出信號 $F_{out}$ 下降，即使參考信號 $RIN$ 與分頻信號 $FIN$ 大致同相，且這兩個信號的頻率大致相同。

在第9圖之左下角中，其中分頻信號 $FIN$ 之相位落後於參考信號 $RIN$ 之相位，且節點 $N1$ 位於高電位，大量電流流入NMOS電晶體 $TN1$ 中，提高放電量，充電量對放電量的比成為3:3。在此，LPF13之輸出信號 $Lo$ 之電壓 $V(Lo)$ 固定。VCO14回應LPF13之輸出信號 $Lo$ 而送出具有固定頻率的振盪輸出信號 $F_{out}$ 。因此，振盪輸出信號 $F_{out}$ 之頻率不受分頻信號 $FIN$ 之延遲相位的影響而保持固定。易言之，當節點 $N1$ 處於高電位時，具有固定頻率的振盪輸出信號 $F_{out}$ 被輸出。

在第9圖的右下角部分中，在此分頻信號 $FIN$ 之相位領先參考信號 $RIN$ 之相位，且節點 $N1$ 處於高電位，放電量提高，使充電量對放電量的比例變成1:9。在此，LPF13大幅降低輸出信號 $Lo$ 之電壓 $V(Lo)$ 。VCO14回應於LPF13之輸出信號 $Lo$ 而大幅降低振盪輸出信號。因此，振盪輸出信號 $F_{out}$ 之頻率大於(低於)所需之頻率，增加振盪輸出信號 $F_{out}$ 之鎖定時間。

在第9圖之左上角部分中，分頻信號 $FIN$ 之相位落後於參考信號 $RIN$ 之相位，且節點 $N1$ 位於低電位，充電量增加而使充電量對放電量之比例變成9:1。在此，VCO14回應LPF13之輸出信號 $Lo$ 而快速提高振盪輸出信號 $F_{out}$ 之頻率。因此，PLL電路之鎖定時間增加。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

## 五、發明說明(6)

在第9圖之右上角部分，在此分頻信號FIN之相位領先參考信號RIN之相位，且節點N1位於低電位，充電量提高而使充電量對放電量之比例成為3:3。在此，VCO14回應於LPF13之輸出信號而送出頻率固定的振盪輸出信號Fout。因此，振盪輸出信號Fout之頻率不會鎖定於預定頻率上。

第10圖為針對前述問題加以改良之傳統相位比較器30之方塊圖。相位比較器30具有九個NAND閘30a至30i。第二與第三NAND閘30b與30c形成第一正反器31，而第四與第五NAND閘形成第二正反器32。

當分頻信號FIN之相位落後於參考信號RIN之相位時，如第11(a)圖所示，相位比較器30輸出第一相位差信號UP，其脈衝寬度取決於該相位差，並輸具有預定強度的第二相位差信號DN。第二相位差信號DN由反相器電路(未顯示)予以反相，且隨後送至充電泵12之NMOS電晶體TN1之閘極。充電泵12回應於第一與第二相位差信號UP與DN而執行充電。

當分頻信號FIN之相位領先參考信號RIN之相位時，如第11(b)圖所示，相位比較器30輸出脈衝寬度取決於相位差的第二相位差信號DN與具有預定強度的第一相位差信號UP。充電泵12回應於第一與第二相位差信號UP與DN而執行放電。

當參考信號RIN與分頻信號FIN大致同相時，相位比較器30輸出具有預定強度的第一與第二相位差信號UP與DN。當充電泵12回應於具有預定強度的第一與第二相位差信號UP與DN而不進行充電/放電操作時，充電泵12之輸出信號的電壓保持固定，如第12圖所示。這使振盪輸出信號Fout之頻率保持

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水



## 五、發明說明(7)

一定，因而鎖定振盪輸出信號 $F_{out}$ 之頻率。

然而，當節點 $N1$ 之電壓 $V(N1)$ 為高電位時，PMOS電晶體 $TP1$ 之驅動性能降低，因而減少放電量。因此，充電泵 $12$ 之充電減緩且 $LPF13$ 之輸出信號 $Lo$ 之電壓上升減緩。因此， $VCO14$ 之振盪輸出信號 $F_{out}$ 之頻率稍許提高。緩慢的充電程序延長振盪輸出信號 $F_{out}$ 之鎖定時間。

因此，本發明之目的在於提供一種可降低鎖定時間並改善頻率穩定性的充電泵。

簡言之，本發明提供一種充電泵，包含充／放電電路、連接至充／放電電路之檢測電路，以及連接至檢測電路與充／放電電路之調節電路。充／放電電路根據第一脈衝信號執行充電操作，根據第二脈衝信號執行放電操作，並據輸出接點的充電操作與放電操作產生具有電壓的輸出信號。檢測電路檢知充電操作與放電操作之狀態，並產生代表檢測結果的控制信號。調節電路調節充電與放電操作，使單位時間內的充電量與放電量大致相等。

本發明提供一種充電泵，包含：充電與放電電晶體，串接於高壓電源與低壓電源之間；第一電晶體、電阻器與第二電晶體，串接於高壓電源與低壓電源之間；第三電晶體，連接於第一節點與充電電晶體之閘極之間，該第一節點位於第一電晶體與電阻器之間，該第三電晶體由第一脈衝信號加以操作；第四電晶體，連接於第二節點與放電電晶體之閘極之間，該第二節點位於第二電晶體與電阻器之間，該第四電晶體由第二脈衝信號加以操作。該第一與第二電晶體之閘極連

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(8)

接至位於充電電晶體與放電電晶體之間的第三節點。

本發明還提供一種充電泵，包含：主充電電晶體與主放電電晶體，串接於高壓電源與低壓電源之間；一組輔助充電電晶體，包含串接於第一節點與高壓電源之間的第一與第二輔助充電電晶體，該第一節點位於主充電電晶體與主放電電晶體之間；一組輔助放電電晶體，包含串接於該節點與低壓電源之間的第一與第二輔助放電電晶體；與A/D轉換器，連接至該節點，用以將出現於該節點的類比信號轉換為數位信號。第一輔助充電電晶體之閘極連接至主充電電晶體之閘極，第二輔助充電電晶體極由該數位信號加以操作。第一輔助放電電晶體之閘極連接至主放電電晶體之閘極，第二輔助放電電晶體由該數位信號加以操作。

本發明提供一種充電泵，包含：充電電晶體與放電電晶體，串接於高壓電源與低壓電源之間；第一與第二電晶體，串接於充電電晶體與放電電晶體之間，第一電晶體之閘極連接至位於第一電晶體與充電電晶體之間的第一節點，第二電晶體之閘極連接至位於第二電晶體與放電電晶體之間的第二節點；第一運算放大器，具有連接至第一節點的第一輸入端，連接至第一與第二電晶體之間之第三節點的第二輸入端，以及輸出端；第二運算放大器，具有連接至第二節點的第一輸入端，連接至第三節點之第二輸入端，以及輸出端；第三電晶體，連接於高壓電源與充電電晶體之閘極之間；第四電晶體，連接於低壓電源與放電電晶體之閘極之間。第三電晶體之閘極連接至第一運算放大器之輸出端，而第四電晶體之閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(9)

極連接至第二運算放大器之輸出端。

本發明還提供一種充電泵，包含：充電電晶體與放電電晶體，串接於高壓電源與低壓電源之間；一組輔助充電電晶體，包含串接於高壓電源與第一節點之間的第一與第二輔助充電電晶體，該第一節點位於充電電晶體與放電電晶體之間；

一組輔助放電電晶體，包含串接於低壓電源與第一節點之間的第一與第二輔助放電電晶體；第一運算放大器，具有連接至第一節點之第一輸入端，連接至位於高壓電源與充電電晶體之間的第二節點的第二輸入端，以及輸出端；第二運算放大器，具有連接至第一節點之第一輸入端，連接至位於低壓電源與放電電晶體之間的第三節點的第二輸入端，以及輸出端。第一輔助充電電晶體之閘極連接至充電電晶體之閘極，第二輔助充電電晶體之閘極連接至第一運算放大器之輸出端。第一輔助放電電晶體之閘極連接至放電電晶體之閘極，且第二輔助放電電晶體之閘極連接至第二運算放大器之輸出端。

本發明提供一種充電泵，包含：充電電晶體與放電電晶體，串接於高壓電源與低壓電源之間；第一電阻器與第一電流檢測電路，串接於第一節點與第二節點之間，其中該第一節點位於充電電晶體與放電電晶體之間，且該第二節點位於高壓電源與充電電晶體之間；第二電阻器與第二電流檢測電路，串接於第一節點與第三節點之間，其中該第三節點位於低壓電源與放電電晶體之間；運算放大器，具有連接至第一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

本

## 五、發明說明(10)

電流檢測電路之輸出端的第一輸入端，連接至第二電流檢測電路之輸出端的第二輸入端，以及輸出端；第一電晶體，連接於高壓電源與充電電晶體之閘極之間；第二電晶體，連接於低壓電源與放電電晶體之閘極之間。第一與第二電晶體之閘極連接至運算放大器之輸出端。

本發明提供一種充電泵，包含：充電電晶體與放電電晶體，串接於高壓電源與低壓電源之間；一組輔助充電電晶體，包含串接高壓電源與第一節點之間的第一與第二輔助充電電晶體，其中該第一節點位於充電電晶體與放電電晶體之間；一組輔助放電電晶體，包含串接於低壓電源與第一節點之間的第一與第二輔助放電電晶體；第一電阻器與第一電流檢測電路，串接於第一節點與第二節點之間，其中該第二節點位於充電電晶體與高壓電源之間；第二電阻器與第二電流檢測電路，串接於第一節點與第三節點之間，其中該第三節點位於放電電晶體與低壓電源之間；運算放大器，具有連接至第一電流檢測電路之第一輸入端，連接至第二電流檢測電路之第二輸入端，以及輸出端。第一輔助充電電晶體之閘極連接至充電電晶體之閘極，第二輔助充電電晶體之閘極連接至運算放大器之輸出端，第一輔助放電電晶體之閘極連接至放電電晶體之閘極，且第二輔助放電電晶體之閘極連接至運算放大器之輸出端。

本發明之其他目的與優點可參考以下說明之較佳實施例與附圖而得知，圖式中：

第1圖為第一種傳統PLL電路之示意方塊圖；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 (11)

第2圖為第1圖之PLL電路之充電泵之電路圖；

第3圖為第2圖之充電泵之等效電路圖；

第4圖為第1圖之PLL電路之相位比較器之電路方塊圖；

第5圖為參考信號之上升(下降)在第4圖之比較器中與時鐘信號之上升保持同相的條件下的時序圖；

第6圖為參考信號之上升(下降)在第4圖之比較器中領先時鐘信號之上升半個週期的時序圖；

第7圖為參考信號之上升(下降)在第4圖之比較器中落後時鐘信號之上升半個週期的時序圖；

第8(a)至8(c)圖為第4圖之相位比較器之輸出信號以及第2圖之充電泵之汲入與排出電流之波形圖；

第9圖之陣列顯示第2圖之充電泵中之充電量與放電量之比例，該陣列係根據輸出電壓以及參考信號與分頻信號之相位差之間的關係而得。

第10圖為第二種傳統相位比較器之電路方塊圖；

第11(a)與11(b)圖為第10圖之相位比較器中之時序圖；

第12圖之陣列顯示第2圖之充電泵根據第10圖之相位比較器進行操作而得之充電量與放電量，該陣列係根據輸出電壓以及參考信號與分頻信號之相位差之間的關係而得。

第13圖為本發明之充電泵的方塊圖；

第14圖為具有本發明第一實施例之充電泵之PLL電路之電路方塊圖；

第15圖為本發明第一實施例之充電泵之電路圖；

第16(a)至16(c)圖顯示第15圖之充電泵中之內部電阻之變

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(12)

化：

第17圖為本發明第二實施例之充電泵之電路圖；

第18圖為第17圖之充電泵之A/D轉換器之電路圖；

第19圖為第17圖之充電泵之解碼器之電路圖；

第20圖為本發明第三實施例之充電泵之電路圖；

第21圖為第20圖之充電泵之A/D轉換器之電路圖；

第22圖為第20圖之充電泵之解碼器之方塊圖；

第23圖為第20圖之充電泵之特性圖；

第24圖為本發明第四實施例之充電泵之電路圖；

第25圖為第24圖之充電泵之微分放大器之電路圖；

第26(a)至26(c)圖顯示第24圖之充電泵之電阻的變化；

第27圖為本發明第五實施例之充電泵之電路圖；

第28圖為本發明第六實施例之充電泵之電路圖；

第29圖為本發明第七實施例之充電泵之電路圖；

第30圖為具有本發明之充電泵之PLL頻率合成器之示意方塊圖。

圖式中的相同標號用以標示相同的元件。第13圖為本發明之充電泵100的方塊圖。泵電泵100包含充/放電電路1、檢測電路4與補償電路5。充/放電電路1包含可回應於第一脈衝信號UP而執行充電功能的排出電路2與可回應於第二脈衝信號DN而執行放電功能的汲入電路3。排出電路2與汲入電路3之間的一個節點當做輸出接點，用以輸出充/放電電路1之輸出信號Co。連接於輸出端的檢測電路4檢測排出電路2與汲入電路3之狀態並根據檢測結果輸出控制信號。補償電路5控制

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 (13)

排出電路2與汲入電路3以根據控制信號確保排出電路2之充電量與汲入電路3之放電量之間的平衡。

第14圖為具有本發明第一實施例之充電泵41之PLL電路40。PLL電路40還具有相位比較器11、低通濾波器(LPF)13、壓控式振盪器(VCO)14與分頻器15。充電泵41接收來自相位比較器11之第一與第二相位差信號UP與DN，並送出輸出信號Co至LPF13，其中該輸出信號隨著第一與第二相位差信號UP與DN之脈衝寬度而改變。由於相位比較器11、LPF13、VCO14與分頻器15之構造與習知技術相同，在此不予贅述。

第15圖為充電泵41之電路圖，其中包含第一至第三P通道MOS(PMOS)電晶體TP1至TP3，第一至第三N通道MOS(NMOS)電晶體TN1至TN3，以及電阻器Rc。第一PMOS電晶體TP1與第一NMOS電晶體TN1串接並形成充/放電(C/D)電路42，用以對LPF13進行充/放電。

特別是，第一PMOS電晶體TP1之源極連接至高壓電源 $V_{DD}$ ，其汲極連接至第一NMOS電晶體TN1之汲極。第一NMOS電晶體TN1之源極連接至低壓電源 $V_{SS}$ 。第一PMOS電晶體TP1之汲極與第一NMOS電晶體TN1之汲極之間的節點N1為輸出充電泵41之輸出信號的接點。

當第一PMOS電晶體TP1由施加於閘極的預定電壓加以導通時，電流  $I(Co)$  由高壓電源 $V_{DD}$ 經由節點N1而送至LPF13以對其進行充電。此充電程序決定節點N1之電壓或輸出信號Co之電壓。LPF13調節輸出信號Co使其平滑，並根據儲存之電量輸出高壓輸出信號ILo。因此，第一PMOS電晶體TP1形成排

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

本

## 五、發明說明 (14 )

出電路而將電流送至LPF13。

當第一NMOS電晶體TN1由施加於閘極的預定電壓加以導通時，電流 $I(Co)$ 由LPF13經由節點N1送至低壓電源 $V_{SS}$ ，因而降低LPF13之充電量。LPF13放電使其根據減少的電荷量送出輸出信號Lo。因此，第一NMOS電晶體TN1形成汲入電路而由LPF13汲入電流。

第二PMOS電晶體TP2、電阻器 $R_c$ 與第二NMOS電晶體TN2在高壓電源 $V_{DD}$ 與低壓電源 $V_{SS}$ 之間形成串聯。此串接電路形成檢測電路43，它可接收輸出信號Co並檢測輸出信號Co之電壓係提高至高壓電源 $V_{DD}$ 之電壓附近或低壓電源 $V_{SS}$ 之電壓附近。檢測電路43根據對輸出信號Co的檢測結果送出分壓電壓V1或V2。第三PMOS與NMOS電晶體TP3與TN3形成補償電路44，用以根據檢測電路43之檢測結果對C/D電路之充/放電量進行補償。

特別是，第二PMOS電晶體TP2之閘極連接至節點N1，其源極連接至高壓電源 $V_{DD}$ 之電源線路，且其汲極連接至電阻器 $R_c$ 之第一端點(節點N2)。第二NMOS電晶體TN2之閘極連接至節點N1，其源極連接至低壓電源 $V_{SS}$ 之電源線路，且其汲極連接至電阻器 $R_c$ 之第二端點(節點N3)。

第二PMOS與NMOS電晶體TP2與TN2之閘極接受節點N1或輸出信號Co之電壓。因此，第二PMOS電晶體TP2相當於電阻器，其ON電阻值對應於輸出信號Co之電壓與高壓電源電壓 $V_{DD}$ 之間的差值。同樣地，第二NMOS電晶體TN2相當於電阻器，其ON電阻值對應於輸出信號Co之電壓與低壓電源電壓 $V_{SS}$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂



## 五、發明說明 (15 )

之間的差值。第16(a)至16(c)圖為檢測電路43之等效電路圖，其中不同尺寸的電阻器 $R_p$ 與 $R_n$ 用以說明不同的電壓值。

在第16(a)圖之等效電路圖中，第二PMOS電晶體TP2以電阻器 $R_p$ 加以表示，而第二NMOS電晶體TN2係以電阻器 $R_n$ 加以表示。在節點N2與N3上，將高壓電源電壓 $V_{DD}$ 與低壓電源電壓 $V_{SS}$ 之電位差根據電阻器 $R_p$ 、 $R_c$ 、 $R_n$ 加以分壓可得到分壓電壓 $V_1$ 與 $V_2$ 。高壓電源 $V_{DD}$ 之電壓與低壓電源 $V_{SS}$ 之電壓之間的電位差為常數。因而分壓電壓 $V_1$ 與 $V_2$ 可由電阻器 $R_p$ 與 $R_n$ 之電阻值加以決定。

當輸出信號 $C_o$ 之電壓值位在高壓電源 $V_{DD}$ 之電壓與低壓電源 $V_{SS}$ 之電壓的中間電壓值( $1/2(V_{DD} + V_{SS})$ )附近時，如第16(a)圖所示，第二PMOS電晶體TP2之閘一源極電壓大致相當於第二NMOS電晶體TN2之閘一源極電壓，因而電晶體TP2與TN2之ON電阻值大致相等。因此，高壓電源 $V_{DD}$ 之電壓與節點N2之電壓的電位差大致相當於低壓電源 $V_{SS}$ 之電壓與節點N3之電壓的電位差。因此，預定分壓電壓 $V_{1a}$ 與 $V_{2a}$ 出現在節點N2與N3上。

當輸出信號 $C_o$ 之電壓降低至低壓電源 $V_{SS}$ 之電壓值附近時(低於中間電壓)，如第16(b)圖所示，第二PMOS電晶體TP2(電阻器 $R_p$ )之ON電阻值小於第二NMOS電晶體TN2(電阻器 $R_n$ )之電阻值。因此，節點N2與N3上的分壓電壓 $V_{1b}$ 與 $V_{2b}$ 大於預定分壓電壓 $V_{1a}$ 與 $V_{2a}$ 。

當輸出信號 $C_o$ 之電壓提高至高壓電源 $V_{DD}$ 之電壓值附近時(高於中間電壓)，如第16(c)圖所示，第二PMOS電晶體TP2(

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(16)

電阻器 $R_p$ )之ON電阻值大於第二NMOS電晶體 $TN_2$ (電晶體 $R_n$ )之電阻值。因此，節點 $N_2$ 與 $N_3$ 上的分壓電壓 $V_{1b}$ 與 $V_{2b}$ 小於預定分壓電壓 $V_{1a}$ 與 $V_{2a}$ 。

如第15圖所示，第二PMOS電晶體 $TP_2$ 與電阻器 $R_c$ 之間的節點 $N_2$ 經由第三NMOS電晶體 $TN_2$ 連接至第一NMOS電晶體 $TN_1$ 之閘極。第二相位差信號 $DN$ 送到第三NMOS電晶體 $TN_3$ 之閘極。第三NMOS電晶體 $TN_3$ 由電位為H的第二相位差信號 $DN$ 加以導通，並經由節點 $N_2$ 與第一NMOS電晶體 $TN_1$ 之閘極電氣連接。在第二相位差信號 $DN$ 保持H電位時，節點 $N_2$ 的第一分壓電壓 $V_1$ 被送到第一NMOS電晶體 $TN_1$ 之閘極。

第一NMOS電晶體 $TN_1$ 根據送至閘極的第一分壓電壓 $V_1$ 對 $LPF_{13}$ 進行放電。第一分壓電壓 $V_1$ 對應於第二PMOS電晶體 $TP_2$ 之閘一源極電壓(亦即，輸出信號 $C_o$ 之電壓與高壓電源 $V_{DD}$ 之電壓之間的電位差)。第一NMOS電晶體 $TN_1$ 根據電位差而導通對應的電流量。第一NMOS電晶體 $TN_1$ 之驅動性能因而根據來自檢測電路43之檢測結果，亦即第一分壓電壓 $V_1$ ，而受到補償。

第二NMOS電晶體 $TN_2$ 與電阻器 $R_c$ 之間的節點 $N_3$ 經由第三PMOS電晶體 $TP_3$ 連接至第一PMOS電晶體 $TP_1$ 之閘極。第一相位差信號 $UP$ 送到第三PMOS電晶體 $TP_3$ 之閘極。第三PMOS電晶體 $TP_3$ 由電位為L的第一相位差信號 $UP$ 加以導通，並經由節點 $N_3$ 與第一PMOS電晶體 $TP_1$ 之閘極電氣連接。在第一相位差信號 $UP$ 保持L電位時，節點 $N_3$ 的電壓被送到第一PMOS電晶體 $TP_1$ 之閘極。第一PMOS電晶體 $TP_1$ 根據送至閘極的第二分

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(17)

壓電壓V2對LPF13進行充電。第二分壓電壓V2對應於第二NMOS電晶體TN2之間之源極電壓(亦即,輸出信號Co之電壓與低壓電源V<sub>SS</sub>之電壓之間的電位差)。第一PMOS電晶體TP1根據電位差而導通對應的電流量。第一PMOS電晶體TP1之驅動性能因而根據來自檢測電路43之檢測結果,亦即第二分壓電壓V2,而受到補償。

以下說明充電泵41之操作。

在第一個例子中,在輸出信號Co之電壓V(N1)位於高壓電源V<sub>DD</sub>之電壓與低壓電源V<sub>SS</sub>之電壓的中間電壓附近的情況下,第二PMOS電晶體TP2之閘極與源極之間的電位差大致相當於第二NMOS電晶體TN2之閘極與源極之間的電位差。第二PMOS電晶體TP2之ON電阻值(電阻器R<sub>p</sub>之電阻值)因而大致相當於第二NMOS電晶體TN2之ON電阻值(電阻器R<sub>n</sub>之電阻值)。因此,節點N2與N3分別產生預定的第一與第二分壓電壓V1a與V2a,使得高壓電源V<sub>DD</sub>之電壓與第一分壓電壓V1之間的電位差大致相當於第二分壓電壓V2與低壓電源V<sub>SS</sub>之電壓之間的電位差。

第一電晶體TP1與TN1根據第一與第二分壓電壓V1與V2而導通大致相等的電流量,使得每單位時間的電流量或充電量與放電量大致相當。如此一來,充電泵41對LPF13進行充/放電,其充/放電量取決於第一與第二相位差信號UP與DN之脈衝寬度。LPF13提供輸出信號Lo,其電壓值取決於所儲存的電量。VCO14根據來自LPF13的輸出信號而保持、提高或減少振盪輸出信號Fout之頻率。

## 五、發明說明 (18)

在第二個例子中，在輸出信號Co之電壓V(N1)降低至低壓電源V<sub>SS</sub>之電壓附近時，第二PMOS電晶體TP2之閘極與源極之間的電位差小於第二NMOS電晶體TN2之閘極與源極之間的電位差。檢測電路43因而送出第一與第二分壓電壓V1b與V2b，其值大於第一個例子中的預定第一與第二電壓V1a與V2a。第三PMOS電晶體TP3根據第一相位差信號UP而提供第二分壓電壓V2b至第一PMOS電晶體TP1之閘極。第三NMOS電晶體TN3根據第二相位差信號DN而提供第一分壓電壓V1b至第一NMOS電晶體TN1之閘極。因此，第一PMOS電晶體TP1所導通之電流量小於第一NMOS電晶體TN1所導通的電流量。亦即，第一PMOS電晶體TP1之驅動能力變小，因而降低單位時間的充電量。此外，第一NMOS電晶體TN1之驅動能力提高，因而提高單位時間的放電量。因此，充電泵41提供輸出信號Co至LPF13以根據第一與第二相位差信號UP與DN保持充電量與放電量之間的平衡。

當參考信號RIN與分頻信號FIN同相時，充電泵41根據具有相同脈衝寬度的第一與第二相位差信號進行操作而使充電量大致等於放電量(參照第9圖中間部分)。相對應的習知技術顯示於第9圖中間上部。因此，LPF13提供具有特定電壓V(Lo)的輸出信號，而VCO14根據輸出信號Lo穩定地保持振盪輸出信號Fout之鎖定期率。

當分頻信號FIN之相位落後參考信號RIN之相位時，充電泵41進行操作，以根據第一相位差信號UP之長脈衝寬度與第二相位差信號DN之短脈衝寬度之比例(第9圖之左側中間)進行

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

源

## 五、發明說明 (19 )

適量的充／放電。對應的習知技術示於第9圖左上角。因此，LPF13適切地提高輸出信號Lo之電壓V(Lo)，且VCO14提高振盪輸出信號Fout之頻率，而使振盪輸出信號Fout之頻率鎖定於目標頻率上。

當分頻信號FIN之相位領先參考信號RIN之相位時，充電泵41進行操作，以根據第一相位差信號UP之短脈衝寬度與第二相位差信號DN之長脈衝寬度之比例(第9圖之右側中間)進行適量的充／放電。對應的習知技術示於第9圖右上角。因此，LPF13適切地降低輸出信號Lo之電壓V(Lo)，且VCO14降低振盪輸出信號Fout之頻率，而使振盪輸出信號Fout之頻率鎖定於目標頻率上。

顯而易見，PLL電路40之鎖定時間減少且振盪輸出信號Fout之頻率不致超過目標頻率太多。

在第三個例子中，在輸出信號Co之電壓V(N1)提高至高壓電源V<sub>DD</sub>之電壓附近時，第二PMOS電晶體TP2之閘極與源極之間的電位差大於第二NMOS電晶體TN2之閘極與源極之間的電位差。檢測電路43因而送出第一與第二分壓電壓V1c與V2c，其值大於第一個例子中的預定第一與第二電壓V1a與V1b。因此，第一NMOS電晶體TN1所導通之電流量小於第一PMOS電晶體TP1所導通的電流量。亦即，第一PMOS電晶體TP1之驅動能力變大，因而提高單位時間的充電量。此外，第一NMOS電晶體TN1之驅動能力變小，因而降低單位時間的放電量。因此，充電泵41提高單位時間的充電量且降低單位時間的放電量，以保持充電量與放電量之間的平衡。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(20)

當參考信號RIN與分頻信號FIN同相時，充電泵41根據具有相同脈衝寬度的第一與第二相位差信號進行操作而使充電量大致等於放電量(參照第9圖中間部分)。相對應的習知技術顯示於第9圖中間下方。因此，LPF13輸出具有特定電壓 $V(L_o)$ 的輸出信號。

當分頻信號FIN之相位落後參考信號RIN之相位時，充電泵41進行操作，以根據第一相位差信號UP與第二相位差信號DN之脈衝寬度(第9圖之左側中間)進行適量的充/放電。對應的習知技術示於第9圖左下角。這使充電量提高且LPF13適切地提高輸出信號 $L_o$ 之電壓 $V(L_o)$ 。

當分頻信號FIN之相位領先參考信號RIN之相位時，充電泵41進行操作，以根據第一相位差信號UP與第二相位差信號DN之脈衝寬度(第9圖之右側中間)進行適量的充/放電。對應的習知技術示於第9圖右下角。這使放電量提高且LPF13適切地降低輸出信號 $L_o$ 之電壓 $V(L_o)$ 。

第一實施例可進行以下的修改。NMOS電晶體可連接於節點N3與第一PMOS電晶體TP1之間，且PMOS電晶體可連接於節點N2與第15圖之第一NMOS電晶體之閘極之間。或者可使用具有一對PMOS電晶體與NMOS電晶體的轉換開。在這些修改中，最好利用反相器電路而提供第一與第二相位差信號UP與DN之反相信號至PMOS電晶體之閘極。

第17圖為本發明之第二實施例之充電泵51之電路方塊圖。充電泵51包含第一至第三PMOS電晶體TP11至TP13，第一至第三NMOS電晶體TN11至TN13，A/D(數位對類比)轉換器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

## 五、發明說明(21)

52，以及解碼器53。

第一PMOS電晶體TP11與第一NMOS電晶體TN11形成串接電路，其功能為第一充／放電(C/D)電路54，用以對LPF13進行充／放電。特別是，第一PMOS電晶體TP11之源極連接至高壓電源 $V_{DD}$ ，其汲極連接至第一NMOS電晶體TN11之汲極，且其閘極接收來自相位比較器11之第一相位差信號UP。第一NMOS電晶體TN11之源極連接至低壓電源 $V_{SS}$ ，且其閘極接收來自相位比較器11之第二相位差信號DN。

串接的第二與第三PMOS電晶體TP12及TP13與第一PMOS電晶體TP11形成並聯。亦即，第二電晶體TP12之汲極連接至節點N1，其源極連接至第三電晶體TP1，且其閘極接收第一相位差信號UP。因此，第二PMOS電晶體TP12根據第一相位差信號UP而與第一PMOS電晶體TP12同時導通或關閉。第三電晶體TP13之源極連接至高壓電源 $V_{DD}$ ，且其閘極接收來自解碼器53之第一控制信號S1(容後詳述)。第三PMOS電晶體TP13根據第一控制信號S1而導通或關閉。當第二與第三PMOS電晶體TP12與TP13幾乎同時導通時，電流 $I(Co)$ 由高壓電源 $V_{DD}$ 經第二與第三電晶體TP12與TP13而送至LPF13。

第二與第三PMOS電晶體TP12與TP13及第二與第三NMOS電晶體TN12與TN13形成第二C/D電路55，用以對LPF13進行充／放電。第二與第三PMOS電晶體TP12與TP13形成排出電路，用以將電流送至LPF13，而第二與第三NMOS電晶體TN12與TN13形成汲入電路，用以從LPF13汲入電流。

特別是，串接的第二與第三NMOS電晶體TN12與TN13和

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (22)

第一MOS晶體TN11形成並聯。亦即，第二電晶體TN12之汲極連接至節點N1，其源極連接至第三電晶體TN13之汲極，且其閘極接收第二相位差信號。第二NMOS電晶體TN12因而與第一NMOS晶體TN11同時由第二相位差信號DN加以導通或關閉。第三電晶體TN13之源極連接至低壓電源 $V_{SS}$ ，且其閘極接收來自解碼器53之第二控制信號S2。第三NMOS電晶體TN13由第二控制信號S2加以導通或關閉。當第二與第三NMOS電晶體TN12與TN13大致同時被導通時，電流 $I(Co)$ 由低壓電源 $V_{SS}$ 經第二與第三電晶體TN12與TN13而送至LPF13。

連接至節點N1的A/D轉換器52接收輸出信號 $C_o$ 並產生位元信號D2至D0。如第19圖所示，解碼器53接收來自A/D轉換器52之位元信號D2-D0，並由位元信號D2-D0產生第一與第二控制信號S1與S2。亦即，A/D轉換器52與解碼器53形成檢測電路，用以檢測輸出信號 $C_o$ 之電壓係提高至高壓電源 $V_{DD}$ 之電壓附近或降低至低壓電源 $V_{SS}$ 之電壓附近，並輸出第一與第二控制信號以標明檢測結果。

如第18圖所示，A/D轉換器52最好包含串接於高壓電源 $V_{DD}$ 與低壓電源 $V_{SS}$ 之間的四個電阻器R11至R14。電阻器R11至R14形成分頻器，用以產生第一至第三分壓電壓V11至V13，它們是根據R11-R14之電阻值對高壓電源 $V_{DD}$ 與低壓電源 $V_{SS}$ 之間的電壓進行分壓而得。

A/D轉換器52將第一至第三分壓電壓V11至V13與輸出信號 $C_o$ 之電壓 $V(C_o)$ 加以比較，並產生代表比較結果的三位元信號D2-D0。特別是，當輸出信號 $C_o$ 之電壓位於高壓電源 $V_{DD}$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明 (23)

之電壓與第一分壓電壓  $V_{11}$  之間時，A/D轉換器 52 輸出 "000" 的位元信號  $D_2-D_0$ 。當輸出信號  $C_o$  之電壓位於第一分壓電壓  $V_{11}$  與第二分壓電壓  $V_{12}$  之間時，A/D轉換器 52 輸出 "100" 的  $D_2-D_0$  位元信號。當輸出信號  $C_o$  之電壓介於第二分壓電壓  $V_{12}$  與第二分壓電壓  $V_{13}$  之間時，A/D轉換器 52 輸出位元信號 "110" 的位元信號  $D_2-D_0$ 。當輸出信號  $C_o$  之電壓介於第三分壓電壓  $V_{13}$  與低壓電源  $V_{SS}$  之間時，A/D轉換器 52 輸出 "111" 的位元信號  $D_2-D_0$ 。因此，數值為 "0" 的位元信號  $D_2$  表示輸出信號  $C_o$  之電壓接近高壓電源  $V_{DD}$  之電壓。數值為 "1" 的位元信號  $D_0$  表示輸出信號  $C_o$  之電壓接近低壓電源  $V_{SS}$  之電壓。

第三 PMOS 電晶體 TP13 由第一控制信號 S1 加以導通，該信號代表輸出信號  $C_o$  之電壓提高至高壓電源  $V_{DD}$  之電壓附近。第三 NMOS 電晶體 TN13 由第二控制信號 S2 加以導通，該信號代表輸出信號  $C_o$  之電壓降低到低壓電源  $V_{SS}$  之電壓附近。

以下說明充電泵 51 之操作。

在第一個例子中，當輸出信號  $C_o$  之電壓介於第一分壓電壓  $V_{11}$  與第二分壓電壓  $V_{12}$  之間或介於第二分壓電壓  $V_{12}$  與第三分壓電壓  $V_{13}$  之間時，A/D轉換器 52 輸出的位元信號  $D_2-D_0$  為 "110" 或 "100"。解碼器 53 根據位元信號  $D_2-D_0$  產生 H 電位的第二控制信號 S1 與 L 電位的第二控制信號 S2。第三電晶體 TP13 與 TN13 由第一與第二控制信號 S1 與 S2 加以關閉。因此，第二 C/D 電路 55 不動作。第一 C/D 電路 54 根據第一與第二相位差信號 UP 與 DN 進行充/放電操作，並輸出具有特定電壓值的輸出信號  $C_o$ 。此時，充電量與放電量大致相等。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(24)

在第二個例子中，當輸出信號Co之電壓介於高壓電源 $V_{DD}$ 之電壓與第一分壓電壓 $V_{11}$ 之間時，A/D轉換器52輸出的位元信號D2-D0為"000"。解碼器53根據位元信號D2-D0產生L電位的第一與第二控制信號S1與S2。第三PMOS電晶體TP13由L電位的第一控制信號S1予以導通，而第三NMOS電晶體TN13由電位為L的第二控制信號加以關閉。因此，第一與第二C/D電路54與55進行充電操作，而第一C/D電路54單獨進行放電操作。

在第三個例子中，當輸出信號Co之電壓介於第三分壓電壓 $V_{13}$ 與低壓電源 $V_{SS}$ 之電壓之間時，A/D轉換器52輸出的位元信號D2-D0為"111"。解碼器53根據位元信號D2-D0產生H電位的第一與第二控制信號S1與S2，且第三NMOS電晶體TN13由H電位的第二控制信號 $V_{SS}$ 予以導通。因此，第一C/D電路54單獨進行充電操作，而第一與第二C/D電路54與55進行放電操作。當輸出信號Co之電壓降低到低壓電 $V_{SS}$ 之電壓附近時，汲入電路(放電電路)之驅動性能增強，並提高放電量。亦即，第二C/D電路22之放電操作進行補償以平衡放電量與充電量。

第20圖為本發明之第三實施例之充電泵51a之電路方塊圖。充電泵51a包含第一至第五PMOS電晶體TP11至TP15，第一至第五NMOS電晶體TN11至TN15，A/D轉換器52a，以及解碼器53a。

第一PMOS電晶體TP11與第一NMOS電晶體TN11形成第一C/D電路54。第二與第三PMOS電晶體TP12與TP13及第二

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(25)

與第三NMOS電晶體TN12與TN13形成第二C/D電路55。第一與第二C/D電路54及55與第17圖之第二實施例之電路相似。第四與第五PMOS電晶體TP14與TP15及第四與第五NMOS電晶體TN14與TN15形成第三C/D電路56。

串接的第四與第五PMOS電晶體TP14與TP15與第一PMOS電晶體形成並聯。特別是，第四電晶體TP14之汲極連接至節點N1，其源極連接至第五電晶體TP15之汲極，且其閘極接收第一相位差信號UP。第四PMOS電晶體TP14與第一PMOS電晶體TP11由第一相位差信號UP同時加以導通或關閉。第五電晶體TP15之源極接收來自高壓電源 $V_{DD}$ 的電壓，且其閘極接收來自解碼器53a的第一控制信號S3，此部分容後詳述。第五PMOS電晶體TP15由第一控制信號S3加以導通或關閉。當第四與第五PMOS電晶體TP14與TP15同時導通時，電流 $I(Co)$ 由高壓電源 $V_{DD}$ 經第四與第五電晶體TP14與15送到LPF13。

串接的第四與第五NMOS電晶體TN14與TN15和第一NMOS電晶體形成並聯。特別是，第四電晶體TN14之汲極連接至節點N1，其源極連接至第五電晶體TN15之汲極，且其閘極接收第四相位差信號DN為輸入。第四NMOS電晶體TN14與第一NMOS晶體TN11由第四相位差信號DN同時加以導通或關閉。第五電晶體TN15之源極連接至低壓電源 $V_{SS}$ ，且其閘極接收來自解碼器53a的第四控制信號S4。第五NMOS電晶體TN15由第四控制信號S4加以導通或關閉。當第四與第五NMOS電晶體TN14與TN15同時導通時，電流 $I(Co)$ 由低壓電源 $V_{SS}$ 經第四與第五電晶體TN14與TN15流至LPF13。

## 五、發明說明(26)

連接至節點N1的A/D轉換器52a接收輸出信號Co並產生四位元的位元信號D3至D0。如第22圖所示，解碼器53a接收來自A/D轉換器52a之位元信號D3-D0，並根據位元信號D3-D0產生第一至第四控制信號S1至S4。亦即，A/D轉換器52a與解碼器53a形成檢測電路，用以檢知輸出信號Co之電壓係提高至高壓電源 $V_{DD}$ 之電壓附近或低壓電源 $V_{SS}$ 之電壓附近，並輸出代表檢測結果的第一至第四控制信號S1至S4。

如第21圖所示，A/D轉換器52a包含串接於高壓電源 $V_{DD}$ 與低壓電源 $V_{SS}$ 之間的五個電阻器R11至R15。電阻器R11-R15形成分頻器，可根據電阻器R11-R15之電阻值對高壓電源 $V_{DD}$ 與低壓電源 $V_{SS}$ 之電的電壓進行分壓而產生第一至第四分壓電壓V11至V14。

A/D轉換器52a將第一至第四分壓電壓V11-V14與輸出信號Co之電壓 $V(Co)$ 進行比較，並產生代表比較結果的四位元信號D3-D0。特別是，當輸出信號Co介於高壓電源 $V_{DD}$ 之電壓與第一分壓電壓V11之間時，A/D轉換器52a輸出之位元信號D3-D0為"0000"。當輸出信號Co之電壓介於第一分壓電壓V11與第二分壓電壓V12之間時，A/D轉換器52a輸出之位元信號D3-D0為"1000"。當輸出信號Co之電壓介於第二分壓電壓V12與第三分壓電壓V13之間時，A/D轉換器52a輸出之位元信號D3-D0為"1100"。當輸出信號Co之電壓介於第三分壓電壓V13與第四分壓電壓V14之間時，A/D轉換器52a輸出之位元信號D3-D0為"1110"。當輸出信號Co之電壓介於第四分壓電壓V14與低壓電源 $V_{SS}$ 之電壓之間時，A/D轉換器52a輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

## 五、發明說明 (27)

出之位元信號D3-D0為"1111"。

當輸出信號Co介於高壓電源 $V_{DD}$ 之電壓與第一分壓電壓V11之間時，位元信號D3為"0"，而當輸出信號Co之電壓位於第一分壓電壓V11與低壓電源 $V_{SS}$ 之電壓之間時，位元信號D3為"1"。位元信號D2或第一控制信號S1因而表示輸出信號Co之電壓介於高壓電源 $V_{DD}$ 之電壓與第一分壓電壓V11之間。

數值為"0"的位元信號D2代表輸出信號Co之電壓介於高壓電源 $V_{DD}$ 之電壓與第二分壓電壓V12之間。數值為"1"的位元信號D1代表輸出信號Co之電壓介於第三分壓電壓V13與低壓電源 $V_{SS}$ 之電壓之間。數值為"1"的位元信號D0代表輸出信號Co之電壓介於第四分壓電壓V14與低壓電源 $V_{SS}$ 之電壓之間。

第三PMOS電晶體TP13由L電位的第一控制信號S1加以導通。第三NMOS電晶體TN13由H電位的第二控制信號S2加以導通。第五PMOS電晶體TP15由L電位的第三控制信號S3加以導通。第五NMOS電晶體TN15由H電位的第四控制信號S4加以導通。

以下說明充電泵51a的操作。

在第一個例子中，當輸出信號Co之電壓介於第二分壓電壓V12與第三分壓電壓V13之時間時，A/D轉換器52a輸出之位元信號D3-D0為"1100"。解碼器53根據D3-D0產生H電位的第一與第三控制信號S1與S3以及L電位的第二與第四控制信號S2與S4。第三電晶體TP13與TN13根據第一至第四控制信號S1至S4而關閉。因此，第二與第三C/D電路55與56不動作。第一C/D電路54執行充/放電操作並輸出具有特定電壓值的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

## 五、發明說明(28)

信號。

在第二個例子中，當輸出信號 $C_0$ 之電壓介於第一分壓電壓 $V_{11}$ 與第二分壓電壓 $V_{12}$ 之間時，A/D轉換器52a輸出之位元信號 $D_3-D_0$ 為"1000"。解碼器53根據位元信號 $D_3-D_0$ 生H電位的第一控制信號 $S_1$ 與L電位的第二至第四控制信號 $S_2-S_4$ 。第三PMOS電晶體 $TP_{13}$ 由於H電位的第一控制信號 $S_1$ 而關閉，而第五PMOS電晶體 $TP_{15}$ 由於L電位的第三控制信號 $S_3$ 而導通。第三與第五NMOS電晶體 $TN_{13}$ 與 $TN_{15}$ 由L電位的第二與第四控制信號 $S_2$ 與 $S_4$ 加以關閉。因此，第二C/D電路55不動作，第一與第三C/D電路54與56執行充電操作，且第一C/D電路54單獨進行放電操作。亦即，第一PMOS電晶體 $TP_{11}$ 之低驅動性能可由第五PMOS電晶體 $TP_{15}$ 加以補償，因而提高充電量。當輸出信號 $C_0$ 之電壓提高至高壓電源 $V_{DD}$ 之電壓附近時，排出電路(充電電路)之驅動性能增強，因而提高充電量。亦即，第三C/D電路56之充電操作進行補償以平衡充電量與放電量。

在第三個例子中，當輸出信號 $C_0$ 之電壓介於高壓電源 $V_{DD}$ 之電壓與第一分壓電壓 $V_{11}$ 之間時，A/D轉換器52a輸出之位元信號 $D_3-D_0$ 為"0000"。解碼器53根據位元信號 $D_3-D_0$ 產生L電位的第一至第四控制信號 $S_1$ 至 $S_4$ 。第三與第五PMOS電晶體 $TP_{13}$ 與 $TP_{15}$ 由L電位的第一與第三控制信號 $S_1$ 與 $S_3$ 加以導通，而第三與第五NMOS電晶體 $TN_{13}$ 與 $TN_{15}$ 由低電位的第二與第四控制信號 $S_2$ 與 $S_4$ 以關閉。因此，第一至第三C/D電路54至56執行充電操作，且第一C/D電路54單獨執行放電操作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

## 五、發明說明 (29 )

。亦即，第一PMOS電晶體TP11之低驅動性能可由第三與第五PMOS電晶體TP13與TP15加以補償，因而提高充電量。當輸出信號Co之電壓提高至高壓電源 $V_{DD}$ 之電壓附近時，排出電路(充電電路)之驅動性能增強，而使充電量大於第二個例子中的充電量。

在第四個例子中，當輸出信號Co之電壓介於第三分壓電壓V13與第四分壓電壓V14之間時，A/D轉換器52a輸出之位元信號D3-D0為"1110"。解碼器53根據位元信號D3-D0產生H電位的第一、第三與第四控制信號S1、S3與S4，以及L電位的第二控制信號S2。第三與第五PMOS電晶體TP13與TP15由於H電位的第一控制信號S1而關閉。第三NMOS電晶體TN13由L電位的第二控制信號S2加以關閉。第五NMOS電晶體TN15由H電位的第四控制信號S4加以導通。因此，第二C/D電路55不動作。第一與第三C/D電路54與56執行放電操作。當輸出信號Co之電壓降低至低壓電源 $V_{SS}$ 之電壓附近時，汲入電路(放電電路)之驅動性能增強，因而提高放電量。亦即，第一NMOS電晶體TN11之低驅動性能可由第五NMOS電晶體TN15加以補償，因而提高放電量。

在第五個例子中，當輸出信號Co之電壓介於第四分壓電壓V14與低壓電源 $V_{SS}$ 之電壓之間時，A/D轉換器52a輸出之位元信號D3-D0為"1111"。解碼器53根據位元信號D3-D0產生H電位的第一至第四控制信號S1至S4。第三與第五PMOS電晶體TP13與TP15由H電位的第一與第三控制信號S1與S3加以關閉。第三與第五NMOS電晶體TN13與TN15由H電位的第二

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

## 五、發明說明(30)

與第四控制信號S2與S4加以導通。因此，第一C/D電路54執行充電操作，且第一至第三C/D電路54至56執行放電操作。當輸出信號Co之電壓降低至低壓電源 $V_{SS}$ 之電壓附近時，汲入電路(放電電路)之驅動性能增強，因而提高放電量。亦即，第一NMOS電晶體TN1之低驅動性能可由第三與第五NMOS電晶體TN13與TN15加以補償。

第23圖顯示根據第一與第二相位差信號UP與DN所得之充/放電流比與輸出信號Co之電壓之關係。在第23圖中，實線代表充電泵51a之特性，而單點虛線代表傳統充電泵12之特性。顯而易見，根據本發明之充電泵51a，從此端的低壓電源 $V_{SS}$ (第23圖之左側)到彼端的高壓電源 $V_{DD}$ (第23圖之右側)的範圍中，充/放電流比都接近"1"。根據傳統充電泵12，充電電流大於在低壓電源 $V_{SS}$ 端(第23圖之左側)的放電電流，且充電電流小於高壓電源 $V_{DD}$ 端(第23圖之右側)的放電電流。

在第二與第三實施例中可採用具有A/D轉換器52或52a與解碼器53或53a之功能的微電腦。在第二與第三實施例中，解碼器53或53a可省略。

第24圖為本發明之第四實施例之充電泵61的電路圖。充電泵61包含C/D電路54，檢測電路64，以及補償電路65。C/D電路54包含一對第一PMOS與NMOS電晶體TP11與TN11。檢測電路64包含第一與第二運算放大器OP1與OP2以及第二PMOS與NMOS電晶體TP21與TN21，該檢測電路用以檢知輸出信號Co之電壓係提高至高壓電源 $V_{DD}$ 之壓附近或低壓電源 $V_{SS}$ 之電壓附近。補償電路63具有第三PMOS與NMOS電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明 (31 )

TP22與TN22，該電路用以補償C/D電路54之充電量/放電量。

第二PMOS電晶體TP2連接於第一PMOS電晶體TP11與節點N1之間，而第二NMOS電晶體TN22連接於第一NMOS電晶體TN11與節點N1之間。第二PMOS電晶體TP21之閘極連接至源極，並跨越其源極與汲極產生微分電壓，其值介於節點N1之電壓 $V(N1)$ 與高壓電源 $V_{DD}$ 之電壓之間。第二NMOS電晶體TN21之閘極連接至源極，並產生跨越源極與汲極的微分電壓，其值介於節點N1之電壓 $V(N1)$ 與低壓電源 $V_{SS}$ 之電壓之間。

第一運算放大器OP1之反相輸入端連接至節點N1，而其非反相輸入端連接至第一PMOS電晶體TP11與第二PMOS電晶體TP21之間的節點N21。第一運算放大器OP1根據節點N21與節點N1之間的電位差送出具有預定電壓值的第一控制信號S11至第三PMOS電晶體TP22。節點N21對節點N1之間的電位差與輸出信號 $C_o$ 之電壓對高壓電源 $V_{DD}$ 之電壓之間的電位差相關。

第二運算放大器OP2之反相輸入端連接至節點N1，且其非反相輸入端連接至第一NMOS電晶體TN11與第二NMOS電晶體TN21之間的節點N22。第二運算放大器OP2根據節點N22與節點N1之間的電位差送出具有預定電壓值的第二控制信號S12至第三NMOS電晶體TN22。節點N22對N1之間的電位差與輸出信號 $C_o$ 之電壓對低壓電源 $V_{SS}$ 之電壓的電位差相關。

輸出信號 $C_o$ 之電壓(節點N1)提高到高壓電源 $V_{DD}$ 之電壓附近時，第一運算放大器OP1之輸入端之間的電位差變小，而第二運算放大器OP2之輸入端之間的電位差變大。因此，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

## 五、發明說明 (32 )

第一與第二運算放大器OP1與OP2分別輸出具有高電壓的第一與第二控制信號S11與S12。兩輸入端之間的電位差越小，則第一運算放大器OP1輸出之第一控制信號S11之電壓越大(提高至高壓電源 $V_{DD}$ 之電壓附近)。兩輸入端之間的電位差越大，則第二運算放大器OP2輸出之第二控制信號S12之電壓越大(提高至高壓電源 $V_{DD}$ 之電壓附近)。

當輸出信號 $C_o$ 之電壓(節點N1)降低至低壓電源 $V_{SS}$ 之電壓附近時，第一運算放大器OP1之兩輸入端之間的電位差相當大，而第二運算放大器OP2之兩輸入端之間的電位差相當小。因此，第一與第二運算放大器OP1與OP2分別輸出具有低電壓的第一與第二控制信號S11與S12。兩輸入端之間的電位差越大，則第一運算放大器OP1輸出之第一控制信號S11之電壓越小(降低至低壓電源 $V_{SS}$ 之電壓附近)。兩輸入端之間的電位差越小，則第二運算放大器OP2輸出之第二控制信號S12之電壓越小(降低至低壓電源 $V_{SS}$ 之電壓附近)。

第三PMOS電晶體TP22之源極連接至高壓電 $V_{DD}$ ，其汲極連接至第一PMOS電晶體TP11之閘極，且其閘極接收來自第一運算放大器OP1之第一控制信號S11。在由第一控制信號S11導通時，第三PMOS電晶體TP22之ON電阻值取決於第一控制信號S11之電壓。當第三PMOS電晶體TP22具有低ON電阻值時，電荷由高壓電源 $V_{DD}$ 流經第三PMOS電晶體TP22，因而提高第一相位差信號UP之電位。經提高電位之第一相位差信號UP被送至第一PMOS電晶體TP11之閘極，因而降低第一PMOS電晶體TP11之導電性。這使第一PMOS電晶體TP11之充電量降

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

## 五、發明說明 (33)

低。

第三NMOS電晶體TN22之源極連接至低壓電源 $V_{SS}$ ，其汲極連接至第一NMOS電晶體TN11之閘極，且其閘極接收來自第二運算放大器OP2之第二控制信號S12。在由第二控制信號S12導通時，第三NMOS電晶體TN22之ON電阻值取決於第二控制信號S12之電壓。當第三NMOS電晶體TN22具有低ON電阻值時，電荷由低壓電源 $V_{SS}$ 流經第三NMOS電晶體TN22，因而降低第二相位差信號DN之電位。經降低電位之第二相位差信號DN被送至第一NMOS電晶體TN11之閘極，因而降低第三NMOS電晶體TN22之導電性。這使第一NMOS電晶體TN11之放電量降低。

當輸出信號Co之電壓位於高壓電源 $V_{DD}$ 之電壓與低壓電源 $V_{SS}$ 之電壓的中間電壓( $1/2(V_{DD}+V_{SS})$ )附近時，第一與第二運算放大器OP1與OP2分別輸出第一與第二控制信號S11與S12，其電壓使第一PMOS電晶體TP11之充電量大致等於第一NMOS電晶體TN22之放電量。

第25圖為第一運算放大器OP1之電路圖。運算放大器OP1包含偏壓電壓產生器62與微分放大器63。當輸入至非反相輸入端之信號IP之電壓提高而比輸入至反相輸入端之信號IM之電壓高出 $\Delta V$ 時，微分放大器63將流入NMOS電晶體TN23的電流提高 $\Delta I$ 。這電流變化會使流入NMOS電晶體TN23a之電流減少 $\Delta I$ ，並使流入PMOS電晶體TP23a之電流減少 $\Delta I$ 。微分放大器63根據PMOS電晶體TP23b之電流變化量( $2\Delta I$ )汲入相對應的電流量。因此，第一控制信號S11之電壓下降。另一方

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(34)

面，當信號IM之電壓提高而比信號IP之電壓高出 $\Delta V$ 時，第一控制信號S11之電壓根據電位差 $\Delta V$ 而上升。由於第二運算放大器OP2之電路結構與第一運算放大器之電路結構相似，其圖式與詳細說明予以省略。

以下說明充電系61之操作。

在第一個例子中，當輸出信號Co之電壓介於高壓電源 $V_{DD}$ 之電壓與低壓電源 $V_{SS}$ 之電壓之間時，如第26(a)圖所示，第一與第二PMOS電晶體TP11與TP21以及第一與第二NMOS電晶體TN11與TN21具有大致相同的電阻值(例如，在第26(a)圖中，各電晶體之ON電阻值約為10K歐姆)。因此，將高壓電源 $V_{DD}$ 電壓與低壓電源 $V_{SS}$ 電壓之間的電位差根據個別電晶體之ON電阻值加以等分而得之電壓產生於節點N21、N1與N22。第一與第二運算放大器OP1與OP2根據節點N21、N1與N22的電壓分別輸出代表中間電壓的第一與第二控制信號S11與S12。第三PMOS與NOMS電晶體TP22與TN22在根據第一與第二控制信號S1與S2進行操作時具有相同的ON電阻。因此，第一PMOS電晶體TP11之充電量大致等於NMOS電晶體TN11之放電量。

在第二個例子中，當輸出信號Co之電壓 $V(N1)$ 降低至低壓電源 $V_{SS}$ 之電壓附近時，如第26(b)圖所示，第一與第二PMOS電晶體TP11與TP21之ON電阻變小，而第一與第二NMOS電晶體TN11與TN21之ON電阻變大。這降低節點N21與N1之間的電位差並提高節點N1與N22之間的電位差。

第一運算放大器OP1根據節點N21與N1之間的電位差而輸出低電位的第一控制信號S11，而第二運算放大器OP2根據

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

## 五、發明說明 (35 )

節點N1與N21之間的電位差而輸出低電位的第二控制信號S12

第三PMOS電晶體TP22由低電壓的第一控制信號S11加以導通而具有高導電性。這提高第一相位差信號UP之電位，因而降低第一PMOS晶體TP11之導電性。因此，第一PMOS電晶體TP11之充電量變小。第三NMOS電晶體TN22由低電壓的第二控制信號S12加以導通。因此，第一NMOS電晶體TN11根據H電位的第二相位差信號DN在高導電性的條件下執行放電操作。如此一來，單位時間的充電量減低以保持充電量與放電量之間的平衡。

在第三個例子中，當輸出信號Co之電壓V(N1)提高到高壓電源V<sub>DD</sub>之電壓附近時，如第26(c)圖所示，第一與第二PMOS電晶體TP11與TP21之ON電阻值提高，而第一與第二NMOS電晶體TN11與TN21之ON電阻值下降。這降低節點N21與N1之間的電位差並降低節點N1與N22之間的電位差。

第一運算放大器OP1根據節點N21與N1之間的電位差輸出高電位的第一控制信號S11，而第二運算放大器OP1根據節點N1與N22之間的電位差輸出高電位的第二控制信號S12。

第三PMOS電晶體TP22由高電位的第一控制信號S11加以關閉。這使第一PMOS電晶體TP11根據H電位的第一相位差信號UP在高導電性的條件下執行充電操作。第三NMOS電晶體TN22由高電位的第二控制信號S12加以導通並具有高導電性。因此，第二相位差信號DN之電位下降，因而降低第一NMOS電晶體TN11之導電性。這降低第一NMOS電晶體TN11之放電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

原

## 五、發明說明(36)

量。如此一來，單位時間的放電量降低以保持充電量與放電量之間的平衡。

第27圖為本發明之第五實施例之充電泵71之電路圖。充電泵71包含第一至第三PMOS電晶體TP11至TP13，第一至第三NMOS電晶體TN11至TN13，以及第一與第二運算放大器OP1與OP2。第一PMOS電晶體TP11與第一NMOS電晶體TN11形成第一C/D電路54。第二與第三PMOS電晶體TP12與TP13以及第二與第三NMOS電晶體TN12與TN13形成第二C/D電路55。第一與第二運算放大器OP1與OP2當做檢測電路，用以檢知輸出信號Co之電壓係在高壓電源 $V_{DD}$ 之電位附近或在低壓電源 $V_{SS}$ 之電位附近。在輸出信號Co之電位提高至高壓電源 $V_{DD}$ 之電位附近時，第二C/D電路55動作，使充電量大於放電量；而在輸出信號Co之電位降低至低壓電源 $V_{SS}$ 之電位附近時，第二C/D電路55動作，使放電量大於充電量。由於第一至第三PMOS電晶體TP11—TP13與第一至第三NMOS電晶體TN11—TN13的連接與第二實施例相似，在此不再重覆。

第一運算放大器OP1之非反相輸入端連接至第一PMOS電晶體TP11之汲極(節點N1)，其反相輸入端連接至第一PMOS電晶體TP11之源極，且其輸出端連接至第三PMOS電晶體TP13之閘極。第一運算放大器OP1根據第一MOS晶體TP11之汲極—源極電壓(節點N1之電位 $V(N1)$ 與高壓電源 $V_{DD}$ 之電位之間的電位差)提供具有預定電壓值的第一控制信號S1至第三PMOS電晶體TP13。

當輸出信號Co之電壓提高至高壓電源 $V_{DD}$ 之電位附近時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(37)

，跨越第一運算放大器OP1之兩輸入端的電位差很小。因此，第一運算放大器OP1輸出低電位的第一控制信號S11。第三PMOS電晶體TP13由於低電位的第一控制信號S11而導通並具有高導電性。因此，第一至第三PMOS電晶體TP11-TP13之充電量提高。當輸出信號Co之電壓降低至低壓電源 $V_{SS}$ 之電位附近時，第一運算放大器OP1之兩輸入端之間的電位差變大。因此，第一運算放大器OP1輸出高電位的第一控制信號S11。第三PMOS電晶體TP13由於高電位的第一控制信號而關閉。因此，第一至第三PMOS電晶體TP11-TP13之充電量降低。

第二運算放大器OP2之非反相輸入端連接至第一NMOS電晶體TN11之汲極(節點N1)，其反相輸入端連接至第一NMOS電晶體TN11之源極，且其輸出端連接至第三NMOS電晶體TN13之閘極。第二運算放大器OP2根據第一NMOS電晶體TN11之汲極-源極電壓(節點N1之電壓 $V(N1)$ 與低壓電源 $V_{SS}$ 之電壓之間的電位差)而提供具有預定電位的第二控制信號S12至第三NMOS電晶體TN13。由於第三NMOS電晶體TN13之導電性隨第二控制信號S12而改變，放電量隨之調整。

第28圖為本發明之第六實施例之充電泵91之電路圖。充電泵91包含第一與第二PMOS電晶體TP11與TP22，第一與第二NMOS電晶體TN11與TN22，電阻器R21與R22，第一與第二電流檢測電路92與93，以及比較器94。由於第一與第二PMOS電晶體TP11與TP22以及第一與第二NOMS電晶體TN11與TN22之連接與第四實施例相同，在此不再重覆。

## 五、發明說明 (38 )

電阻器 R21 與第一電流檢測電路 92 形成的串接電路連接於第一 PMOS 電晶體 TP11 之源極與汲極而與該電晶體形成並聯。第一電流檢測電路 92 為電流－電壓轉換器 (I－V 轉換器) 並輸出第一檢測信號 S31，該信號之電位取決於流經電阻器 R21 之電流量。

流經電阻器 R21 之電流量取決於流入第一 PMOS 電晶體 TP11 之電流量 (亦即，第一 C/D 電路 54 之充電量)。因此，第一檢測電路 S31 輸出之第一檢測信號 S31 之電位取決於充電量。易言之，電阻器 R21 與第一電流檢測電路 92 形成檢測電路，用以檢知充電量 (排出量)。

電阻器 R22 與第二電流檢測電路 93 形成的串接電路連接於第一 NMOS 電晶體 TN11 之源極與汲極而與該電晶體形成並聯。第二電流檢測電路 93 為電流－電壓轉換器 (I－V 轉換器) 並輸出第二檢測信號 S32，該信號之電位取決於流經電阻器 R22 之電流量。

流經電阻器 R22 之電流量取決於流入第一 NMOS 電晶體 TN11 之電流量 (亦即，第一 C/D 電路 54 之放電量)。因此，第二檢測電路 S32 輸出之第二檢測信號 S32 之電位取決於放電量。

比較器 94 之非反相輸入端用以接收第一檢測信號 S31，而其反相輸入端用以接收第二檢測信號 S32。比較器 94 對第一與第二檢測信號 S31 與 S32 進行取樣，將信號 S31 與 S32 加以比較，並輸出代表比較結果的控制信號 S21。當第二檢測信號 S32 之電位大於第一檢測信號 S31 之電位時 (單位時間的放電量大

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉



## 五、發明說明 (39 )

充電量時)，比較器輸出H電位的控制信號S21。當第一檢測信號S31之電位大於第二檢測信號S32之電位時(單位時間的充電量大於放電量時)，比較器輸出L電位的控制信號S21。電阻器R21與R22、第一與第二電流檢測電路92與93，以及比較器94形成充／放電量檢測電路。第一與第二電流檢測電路92與93可分別閉鎖第一與第二檢測信號S31與S32，以替代比較器94之取樣操作，其中第一與第二檢測信號S31與S32被取樣。

第二PMOS電晶體TP22由H電位的控制信號S21加以關閉(導電性變小)。因此，第一PMOS電晶體TP11由L電位的第一相位差信號UP加以導通以執行充電操作。第二NMOS電晶體TN22由H電位的控制信號S21加以導通(導電性變大)。因此，第二相位差信號DN之電位下降，因而降低第一NMOS電晶體TN11之導電性。這使第一NMOS電晶體TN11之放電量減少。

第二NMOS電晶體TN22由L電位的控制信號S21加以關閉(導電性變小)。因此，第一NMOS電晶體TN11由H電位的第二相位差信號DN加以導通以執行放電操作。第二PMOS電晶體TP11由L電位的控制信號S21加以導通(導電性變大)。因此，第一相位差信號UP之電位提高，因而降低第一PMOS電晶體TP11之導電性。因此，第一PMOS電晶體TP11之充電量降低。

綜言之，第六實施例之充電泵91根據流入電晶體TP11與TN11的電流量調整第一PMOS與NMOS電晶體TP11與TN11的導電性。因此，充電量與放電量之間的平衡可得到補償。

第29圖為本發明第七實施例之充電泵101之電路圖。充電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

## 五、發明說明(40)

泵101利用第六實施例之充/放電量檢測電路來控制第二實施例之第二C/D電路55(第17圖)。充電泵101包含第一至第三PMOS電晶體TP11至TP13，第一至第三NMOS電晶體TN11至TN13，電阻器R21與R22，第一與第二電流檢測電路92與93，以及比較器94。

當單位時間之充電量大於放電量時，在來自比較器94之H電位的控制信號S21的作用之下，第三PMOS電晶體TP13關閉，而第三NMOS電晶體TN13導通。因此，第一C/D電路54執行充電操作，而第一與第二C/D電路54與55執行放電操作。因此，當輸出信號Co為高電位且排出電流(充電量)龐大時，第一與第三NMOS電晶體TN11與TN13提高充電泵101之放電量。

當單位時間之放電量大於充電量時，在來自比較器94之L電位的控制信號S21的作用下，第三PMOS電晶體TP13導通，而第三NMOS電晶體TN13關閉。因此，第一與第二C/D電路54與55執行充電操作，而第一C/D電路54單獨執行放電操作。因此，當輸出信號Co為低電位且汲入電流(放電量)龐大時，第一與第三PMOS電晶體TP11與TP13提高充電量。

雖然本實施例最好採第一與第二C/D電路54與55，但充電泵中可採用第一至第三C/D電路54-56或更多數量的C/D電路。

上述實施例中的充電泵41、51、51a、61、71、91與101可個別應用於PLL頻率合成器中。第30圖為PLL頻率合成器110之電路方塊圖。PLL頻率合成器100具有相位比較器11、充電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

## 五、發明說明(41)

泵41、低通濾波器(LPF)13、壓控式振盪器(VCO)14、參考分頻器111與比較分頻器112。

參考分頻器111將石英振盪器所產生之具有特定頻率之石英振盪信號 $f_0$ 加以分頻，並提供參考信號 $f_r$ 至相位比較器11。比較分頻器112將來自VCO14之振盪輸出信號 $F_{out}$ 加以分頻，並提供比較信號 $f_p$ 至相位比較器11。相位比較器將參考信號 $f_r$ 之相位與比較信號 $f_p$ 之相位加以比較，並根據比較結果提供第一相位差信號UP與第二相位差信號DN至充電泵41。根據第一與第二相位差信號UP與DN，充電泵提供預定電壓信號 $C_0$ 至LPF13。LPF13調節來自充電泵41之電壓信號 $C_0$ 使其平滑，並送出高頻成分排除控制信號 $L_0$ 至VCO14。VCO14送出振盪輸出信號 $F_{out}$ 當做PLL頻率合成器110之輸出信號，該信號之頻率取決於控制信號 $L_0$ 之電壓值。此振盪輸出信號 $F_{out}$ 回授至比較分頻器112。

當輸出信號 $F_{out}$ 之頻率小於所需之頻率時(比較信號 $f_p$ 之頻率小於參考信號 $f_r$ 之頻率時)，相位比較器11輸出第一與第二相位差信號UP與DN，其脈衝寬度取決於信號 $f_r$ 與 $f_p$ 之間的相位差。充電泵41根據相位差信號UP與DN提供預定電壓信號 $C_0$ 至LPF13。LPF13根據電壓信號 $C_0$ 提供高電位的控制信號 $L_0$ 至VCO14。VCO14根據控制信號 $L_0$ 送出高頻振盪輸出信號 $F_{out}$ 。

當輸出信號 $F_{out}$ 之頻率大於所需之頻率時(比較信號 $f_p$ 之頻率大於參考信號 $f_r$ 之頻率時)，相位比較器11與充電泵41使LPF13送出低電位的控制信號 $L_0$ 至VCO14。VCO14根據控制

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(42)

信號Lo送出低頻振盪輸出信號Fout。

熟習此技術之人士應瞭解，本發明可在不悖離其精神與範疇的前提下加以實現。因此，前述實施例係為示範性質而非限制性質，且本發明並不侷限於前述之說明，而是由附呈之申請專利範圍加以規範。

- 1...充／放電電路
- 2...排出電路
- 3...汲入電路
- 4...檢測電路
- 5...補償電路
- 10...PLL電路
- 11...相位比較器
- 12...充電泵
- 13...低通濾波器
- 14...壓控式振盪器
- 15...分頻器
- 21-24...D型正反器
- 25-26...互斥或閘
- 30...相位比較器
- 30a-30i...NAND閘
- 31...正反器
- 32...正反器
- 40...PLL電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

源

## 五、發明說明(43)

- 41... 充電泵
- 42... 充／放電電路
- 43... 檢測電路
- 44... 補償電路
- 51... 充電泵
- 52... A／D轉換器
- 53... 解碼器
- 54... 充／放電電路
- 55... 充／放電電路
- 56... 充／放電電路
- 61... 充電泵
- 62... 偏壓電壓產生器
- 63... 微分放大器
- 64... 檢測電路
- 65... 補償電路
- 71... 充電泵
- 91... 充電泵
- 92... 電流檢測電路
- 93... 電流檢測電路
- 94... 比較器
- 101... 充電泵
- 110... PLL頻率合成器
- 111... 參考分頻器
- 112... 比較分頻器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明(44 )

113...石英振盪器

OP...運算放大器

TP...P通道MOS電晶體

TN...N通道MOS電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

## 五、發明說明( )

壓。

30. 如申請專利範圍第29項之~~PIE~~電路，還包含分頻器，連接於壓控式振盪器與相位比較器之間，用以對振盪輸出信號加以分頻並產生比較信號。

31. 如申請專利範圍第29項之~~PIE~~電路，還包含：

參考分頻器，連接至相位比較器，用以對具有預定頻率的振盪信號進行分頻，並產生具有參考頻率的參考信號；與

比較分頻器，連接於壓控制振盪器與相位比較器之間，用以對振盪輸出信號進行分頻並產生比較信號。

32. 一種相位鎖定迴路(PPL)電路，包含：

相位比較器，用以接收參考信號與比較信號，並產生第一與第二相位差信號，其脈衝寬度取決於第一與第二相位差信號之相位差；

充電泵，連接至相位比較器，用以接收第一與第二相位差信號，並根據第一與第二相位差信號產生具有預定電壓之輸出信號，其中該充電泵包含：

充電電晶體與放電電晶體，串接於高壓電源與低壓電源之間，並由第一與第二相位差信號加以操作，位於充電電晶體與放電電晶體之間的第一節點為充電泵之輸出信號之輸出端；

一組輔助充電電晶體，包含串接於高壓電源與第一節點之間的第一與第二輔助充電電晶體，該第一節

(請先閱讀背面之注意事項再填寫本頁)

表

訂

## 五、發明說明( )

點位於充電電晶體與放電電晶體之間；

一組輔助放電電晶體，包含串接於低壓電源與第一節點之間的第一與第二放電電晶體；

第一電阻器與第一電流檢測電路，串接於第一節點與第二節點之間，其中該第二節點位於充電電晶體與高壓電源之間；

第二電阻器與第二電流檢測電路，串接於第一節點與第三節點之間，其中該第三節點位於放電電晶體與低壓電源之間；

運算放大器，具有連接至第一電流檢測電路之輸出端之第一輸入端，連接至位於第二電流檢測電路之輸出端之第二輸入端，以及輸出端，第一輔助充電電晶體之閘極連接至充電電晶體之閘極，第二輔助充電電晶體之閘極連接至運算放大器之輸出端，第一輔助放電電晶體之閘極連接至放電電晶體之閘極，且第二輔助放電電晶體之閘極連接至運算放大器之輸出端；

壓控式振盪器，連接至充電泵，用以產生振盪輸出信號，其頻率取決於充電泵輸出信號之電壓。

33. 如申請專利範圍第32項之 ~~PII~~ 電路，還包含分頻器，連接於壓控式振盪器與相位比較器之間，用以對振盪輸出信號加以分頻並產生比較信號。

34. 如申請專利範圍第32項之 ~~PII~~ 電路，還包含：

參考分頻器，連接至相位比較器，用以對具有預定頻率的振盪信號進行分頻，並產生具有參考頻率的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂



## 四、中文發明摘要(發明之名稱: 具充放電量控制器之充電泵)

一種用於PLL中之充電泵，包含充／放電電路、檢測電路與調節電路。充／放電電路根據第一脈衝信號執行充電操作並根據第二脈衝信號執行放電操作，並根據充電與放電操作產生具有電壓的輸出信號。檢測電路檢知充電操作或放電操作之執行，並產生控制信號。調節電路調節充電與放電操作，使單位時間內的充電量與放電量大致相等。

## 英文發明摘要(發明之名稱: CHARGE PUMP WITH CHARGE/DISCHARGE AMOUNT CONTROL)

A charge pump circuit which may be used in a PLL includes a charge/discharge circuit, a detection circuit and an adjusting circuit. The charge/discharge circuit performs a charge operation in response to a first pulse signal and a discharge operation in response to a second pulse signal and outputs an output signal having a voltage based on the charge and the discharge operations. The detection circuit detects whether a charge operation or a discharge operation was performed and generates a control signal. The adjusting circuit adjusts the charge and discharge operations so that a charge amount and a discharge amount per unit time become substantially equal to each other.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

## 1. 一種充電泵，包含：

充／放電電路，用以根據第一脈衝信號執行充電操作，根據第二脈衝信號執行放電操作，並根據輸出接點之充電操作與放電操作輸出具有電壓輸出信號；

檢測電路，連接至充／放電電路，用以檢測充電操作與放電操作之狀態，並產生代表檢測結果的控制信號；

調節電路，連接至檢測電路與充／放電電路，用以調節充電操作與放電操作，使單位時間之充電量與放電量大致相等。

## 2. 如申請專利範圍第1項之充電泵，其中該檢測電路檢測輸出信號之電壓係提高至高壓電源之電位附近或提高至低壓電源之電位附近；

該調節電路調節充電操作與放電操作，在輸出信號之電位提高至高壓電源附近時抑制放電操作，並在輸出信號之電位降低至低壓電源之電位附近時抑制充電操作。

## 3. 如申請專利範圍第1項之充電泵，其中該充／放電電路包含連接於高壓電源與低壓電源之間的充電電路以及連接於低壓電源與輸出接點之間的放電電路；

該檢測電路檢知高壓電源電位與充電電路側之輸出接點電位之間的第一電位差，並檢知低壓電源電位與放電電路側之輸出接點電位之間的第二電位差；

該調節電路調節充電操作與放電操作，在第一電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

位差大於第二電位差時降低充電電路之驅動性能，並在第二電位差大於第一電位差時降低放電電路之驅動性能。

4. 如申請專利範圍第1項之充電泵，其中該充／放電電路包含連接於高壓電源與輸出接點之間的充電電路以及連接於低壓電源與輸出接點之間的放電電路；

該檢測電路檢知流入充電電路之第一電流量與流入放電電路之第二電流量，並根據第一與第二電流產生控制信號；

該調節電路調節充電操作與放電操作，在第一電流大於第二電流時降低充電電路之驅動性能，並在第二電流大於第一電流時降低放電電路之驅動性能。

5. 如申請專利範圍第1項之充電泵，其中該檢測電路檢知輸出信號係提高至高壓電源之電位附近或降低至低壓電源之電位附近；且

該調節電路調節充電操作與放電操作，在輸出信號提高至高壓電源之電位附近時提高充電性能，並在輸出信號降低至低壓電源之電位附近時提高放電性能。

6. 如申請專利範圍第1項之充電泵，其中該充／放電電路包含連接於高壓電源與輸出接點之間的充電電路以及連接於低壓電源與輸出接點之間的放電電路；

該檢測電路檢知高壓電源之電位與充電電路側之輸出接點之電位之間的電位差，並檢知低壓電源之電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

位與輸出接點之電位之間的電位差；

調節電路調節充電操作與放電操作，在第一電位差大於第二電位差時提高放電電路之驅動性能，並在第二電位差大於第一電位差時提高充電電路之驅動性能。

7. 如申請專利範圍第1項之充電泵，其中該充／放電電路包含連接於高壓電源與輸出接點之間的充電電路以及連接於低壓電源與輸出接點之間的放電電路；

該檢測電路檢知流入充電電路之第一電流量與流入放電電路之第二電流量，並根據第一與第二充電電流之差值產生控制信號；與

該調節電路調節充電操作與放電操作，在第一電流大於第二電流時提高放電電路之驅動性能，並在第二電流大於第一電流時提高充電電路之驅動性能。

8. 一種充電泵，包含：

充電與放電電晶體，串接於高壓電源與低壓電源之間；

第一電晶體、電阻器與第二電晶體，串接於高壓電源與低壓電源之間；

第三電晶體，連接於第一節點與充電電晶體之閘極之間，該第一節點位於第一電晶體與電阻器之間，該第三電晶體由第一脈衝信號加以操作；

第四電晶體，連接於第二節點與放電電晶體之閘極之間，該第二節點位於第二電晶體與電阻器之間，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

該第四電晶體由第二脈衝信號加以操作；其中該第一與第二電晶體之閘極連接至位於充電電晶體與放電電晶體之間的第三節點。

### 9. 一種充電泵，包含：

主充電電晶體與主放電電晶體，串接於高壓電源與低壓電源之間；

一組輔助充電電晶體，包含串接於第一節點與高壓電源之間的第一與第二輔助充電電晶體，該第一節點位於主充電電晶體與主放電電晶體之間；

一組輔助放電電晶體，包含串接於該節點與低壓電源之間的第一與第二輔助放電電晶體；與

A/D轉換器，連接至該節點，用以將出現於該節點的類比信號轉換為數位信號；

第一輔助充電電晶體之閘極連接至主充電電晶體之閘極，第二輔助充電電晶體極由該數位信號加以操作，第一輔助放電電晶體之閘極連接至主放電電晶體之閘極，第二輔助放電電晶體由該數位信號加以操作。

### 10. 如申請專利範圍第9項之充電泵，其中該組輔助充電電晶體還包含連接於該節點與高壓電源之間的第三與第四輔助充電電晶體，第三輔助充電電晶體之閘極連接至主充電電晶體之閘極，第四輔助充電電晶體之閘極由該數位信號加以操作；與

該組輔助放電電晶體還包含連接於該節點與低壓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

電源之間的第三與第四輔助放電電晶體，第三輔助放電電晶體之閘極連接至主放電電晶體之閘極，第四輔助放電電晶體之閘極由該數位信號加以操作。

11. 如申請專利範圍第9項之充電泵，還包含連接至A/D轉換器之解碼器，用以接收該數位信號，並將該數位信號解碼以產生解碼數位信號。

12. 一種充電泵，包含：

充電電晶體與放電電晶體，串接於高壓電源與低壓電源之間；

第一與第二電晶體，串接於充電電晶體與放電電晶體之間，第一電晶體之閘極連接至位於第一電晶體與充電電晶體之間的第一節點，第二電晶體之閘極連接至位於第二電晶體與放電電晶體之間的第二節點；

第一運算放大器，具有連接至第一節點的第一輸入端，連接至第一與第二電晶體之間之第三節點的第二輸入端，以及輸出端；

第二運算放大器，具有連接至第二節點的第一輸入端，連接至第三節點之第二輸入端，以及輸出端；

第三電晶體，連接於高壓電源與充電電晶體之閘極之間；

第四電晶體，連接於低壓電源與放電電晶體之閘極之間；

第三電晶體之閘極連接至第一運算放大器之輸出端，而第四電晶體之閘極連接至第二運算放大器之輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

出端。

## 13. 一種充電泵，包含：

充電電晶體與放電電晶體，串接於高壓電源與低壓電源之間；

一組輔助充電電晶體，包含串接於高壓電源與第一節點之間的第一與第二輔助充電電晶體，該第一節點位於充電電晶體與放電電晶體之間；

一組輔助放電電晶體，包含串接於低壓電源與第一節點之間的第一與第二輔助放電電晶體；

第一運算放大器，具有連接至第一節點之第一輸入端，連接至位於高壓電源與充電電晶體之間的第二節點的第二輸入端，以及輸出端；

第二運算放大器，具有連接至第一節點之第一輸入端，連接至位於低壓電源與放電電晶體之間的第三節點的第二輸入端，以及輸出端；

第一輔助充電電晶體之閘極連接至充電電晶體之閘極，第二輔助充電電晶體之閘極連接至第一運算放大器之輸出端，第一輔助放電電晶體之閘極連接至放電電晶體之閘極，且第二輔助放電電晶體之閘極連接至第二運算放大器之輸出端。

## 14. 一種充電泵，包含：

充電電晶體與放電電晶體，串接於高壓電源與低壓電源之間；

第一電阻器與第一電流檢測電路，串接於第一節

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

點與第二節點之間，其中該第一節點位於充電電晶體與放電電晶體之間，且該第二節點位於高壓電源與充電電晶體之間；

第二電阻器與第二電流檢測電路，串接於第一節點與第三節點之間，其中該第三節點位於低壓電源與放電電晶體之間；

運算放大器，具有連接至第一電流檢測電路之輸出端的第一輸入端，連接至第二電流檢測電路之輸出端的第二輸入端，以及輸出端；

第一電晶體，連接於高壓電源與充電電晶體之間極之間；

第二電晶體，連接於低壓電源與放電電晶體之間極之間；

第一與第二電晶體之間極連接至運算放大器之輸出端。

### 15. 一種充電泵，包含：

充電電晶體與放電電晶體，串接於高壓電源與低壓電源之間；

一組輔助充電電晶體，包含串接高壓電源與第一節點之間的第一與第二輔助充電電晶體，其中該第一節點位於充電電晶體與放電電晶體之間；

一組輔助放電電晶體，包含串接於低壓電源與第一節點之間的第一與第二輔助放電電晶體；

第一電阻器與第一電流檢測電路，串接於第一節

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 六、申請專利範圍

點與第二節點之間，其中該第二節點位於充電電晶體與高壓電源之間；

第二電阻器與第二電流檢測電路，串接於第一節點與第三節點之間，其中該第三節點位於放電電晶體與低壓電源之間；

運算放大器，具有連接至第一電流檢測電路之第一輸入端，連接至第二電流檢測電路之第二輸入端，以及輸出端；

第一輔助充電電晶體之閘極連接至充電電晶體之閘極，第二輔助充電電晶體之閘極連接至運算放大器之輸出端，第一輔助放電電晶體之閘極連接至放電電晶體之閘極，且第二輔助放電電晶體之閘極連接至運算放大器之輸出端。

## 16. 一種相位鎖定迴路 (PLL) 電路，包含：

相位比較器，用以接收參考信號與比較信號，並產生第一與第二相位差信號，其脈衝寬度取決於第一與第二相位差信號之相位差；

充電泵，連接至相位比較器，用以接收第一與第二相位差信號，並根據第一與第二相位差信號產生具有預定電壓之輸出信號，其中該充電泵包含：

充電與放電電晶體，串接於高壓電源與低壓電源之間，並由第一與第二相位差信號加以操作；

第一電晶體、電阻器與第二電晶體，串接於高壓電源與低壓電源之間；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

第三電晶體，連接於第一節點與充電電晶體之閘極之間，該第一節點位於第一電晶體與電阻器之間，該第三電晶體由第一相位差信號加以操作；

第四電晶體，連接於第二節點與放電電晶體之閘極之間，該第二節點位於第二電晶體與電阻器之間，該第四電晶體由第二相位差信號加以操作；其中輸出信號送至位於充電電晶體與放電電晶體之間的第三節點上，且第一與第二電晶體之閘極連接至第三節點；

壓控式振盪器，連接至充電泵，用以產生振盪輸出信號，其頻率取決於充電泵輸出信號之電壓。

17. 如申請專利範圍第16項之PLL電路，還包含分頻器，連接於壓控式振盪器與相位比較器之間，用以對振盪輸出信號加以分頻並產生比較信號。

18. 如申請專利範圍第16項之PLL電路，還包含：

參考分頻器，連接至相位比較器，用以對具有預定頻率的振盪信號進行分頻，並產生具有參考頻率的參考信號；與

比較分頻器，連接於壓控制振盪器與相位比較器之間，用以對振盪輸出信號進行分頻並產生比較信號。

19. 一種相位鎖定迴路(PLL)電路，包含：

相位比較器，用以接收參考信號與比較信號，並產生第一與第二相位差信號，其脈衝寬度係取決於第一與第二相位差信號之相位差；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

充電泵，連接至相位比較器，用以接收第一與第二相位差信號，並根據第一與第二相位差信號在輸出端產生具有預定電壓的輸出信號；其中該充電泵包含：

主充電電晶體與主放電電晶體，串接於高壓電源與低壓電源之間，並由第一與第二相位差信號加以操作，其中輸出端包含位於主充電電晶體與主放電電晶體之間的節點；

一組輔助充電電晶體，包含串接於該節點與高壓電源之間的第一與第二充電電晶體；

一組輔助放電電晶體，包含串接於該節點與低壓電源之間的第一與第二放電電晶體；

A/D轉換器，連接至該節點，用以將出現於該節點的類比信號轉換為數位信號，第一輔助充電電晶體之閘極連接至主充電電晶體之閘極，第二輔助充電電晶體之閘極由該數位信號加以操作，第一放電電晶體之閘極連接至主放電電晶體之閘極，且第二放電電晶體之閘極由該數位信號加以操作；

壓控式振盪器，連接至該充電泵，用以產生具有預定頻率的振盪輸出信號，該頻率取決於充電泵輸出信號之電壓值。

20. 如申請專利範圍第19項之電路，其中該組輔助充電電晶體包含連接於該節點與高壓電源之間的第三與第四輔助充電電晶體，第三輔助充電電晶體之閘極連

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

接至主充電電晶體之閘極，第四輔助充電電晶體之閘極由該數位信號加以操作；與

該組輔助放電電晶體還包含連接於該節點與低壓電源之間的第三與第四輔助放電電晶體，第三輔助放電電晶體之閘極連接至主放電電晶體之閘極，第四輔助放電電晶體之閘極由該數位信號加以操作。

21. 如申請專利範圍第19項之~~PL~~電路，還包含分頻器，連接於壓控式振盪器與相位比較器之間，用以對振盪輸出信號進行分頻，並產生比較信號。

22. 如申請專利範圍第16項之~~PL~~電路，還包含：

參考分頻器，連接至相位比較器，用以對具有預定頻率的振盪信號進行分頻，並產生具有參考頻率的參考信號；與

比較分頻器，連接於壓控制振盪器與相位比較器之間，用以對振盪輸出信號進行分頻並產生比較信號。

23. 一種相位鎖定迴路(PLL)電路，包含：

相位比較器，用以接收參考信號與比較信號，並產生第一與第二相位差信號，其脈衝寬度取決於第一與第二相位差信號之相位差；

充電泵，連接至相位比較器，用以接收第一與第二相位差信號，並根據第一與第二相位差信號產生具有預定電壓之輸出信號，其中該充電泵包含：

充電電晶體與放電電晶體，串接於高壓電源與低

(請先閱讀背面之注意事項再填寫本頁)

1 裝

訂

線

## 六、申請專利範圍

壓電源之間，並由第一與第二相位差信號加以操作；

第一電晶體與第二電晶體，串接於充電電晶體與放電電晶體之間，第一電晶體之閘極連接至位於第一電晶體與充電電晶體之間的第一節點，第二電晶體之閘極連接至位於第二電晶體與放電電晶體之間的第二節點；

第一運算放大器，具有連接至第一節點之第一輸入端，連接至位於第一與第二電晶體之間之第三節點之第二輸入端，以及輸出端，該第三節點為充電泵之輸出信號之輸出端；

第二運算放大器，具有連接至第二節點之第一輸入端，連接至第三節點之第二輸入端，以及輸出端；

第三電晶體，連接於高壓電源與充電電晶體之閘極之間；

第四電晶體，連接於低壓電源與放電電晶體之閘極之間，第三電晶體之閘極連接至第一運算放大器之輸出端，且第四電晶體之閘極連接至第二運算放大器之輸出端；與

壓控式振盪器，連接至充電泵，用以產生振盪輸出信號，其頻率取決於充電泵輸出信號之電壓。

24. 如申請專利範圍第23項之 ~~PLL~~ 電路，還包含分頻器，連接於壓控式振盪器與相位比較器之間，用以對振盪輸出信號加以分頻並產生比較信號。

25. 如申請專利範圍第23項之 ~~PLL~~ 電路，還包含：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

參考分頻器，連接至相位比較器，用以對具有預定頻率的振盪信號進行分頻，並產生具有參考頻率的參考信號；與

比較分頻器，連接於壓控制振盪器與相位比較器之間，用以對振盪輸出信號進行分頻並產生比較信號。

26. 一種相位鎖定迴路(PLL)電路，包含：

相位比較器，用以接收參考信號與比較信號，並產生第一與第二相位差信號，其脈衝寬度取決於第一與第二相位差信號之相位差；

充電泵，連接至相位比較器，用以接收第一與第二相位差信號，並根據第一與第二相位差信號產生具有預定電壓之輸出信號，其中該充電泵包含：

充電電晶體與放電電晶體，串接於高壓電源與低壓電源之間，並由第一與第二相位差信號加以操作；

一組輔助充電電晶體，包含串接於高壓電源與第一節點之間的第一與第二充電電晶體，該第一節點位於充電電晶體與放電電晶體之間，且為充電泵之輸出信號之輸出端；

一組輔助放電電晶體，包含串接於低壓電源與第一節點之間的第一與第二放電電晶體；

第一運算放大器，具有連接至第一節點之第一輸入端，連接至位於高壓電源與充電電晶體之間之第二節點之第二輸入端，以及輸出端；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

第二運算放大器，具有連接至第一節點之第一輸入端，連接至位於低壓電源與放電電晶體之間之第三節點之第二輸入端，以及輸出端，第一輔助充電電晶體之閘極連接至充電電晶體之閘極，第二輔助充電電晶體之閘極連接至第一運算放大器之輸出端，第一輔助放電電晶體之閘極連接至放電電晶體之閘極，且第二輔助放電電晶體之閘極連接至第二運算放大器之輸出端；與

壓控式振盪器，連接至充電泵，用以產生振盪輸出信號，其頻率取決於充電泵輸出信號之電壓。

27. 如申請專利範圍第26項之PLL電路，還包含分頻器，連接於壓控式振盪器與相位比較器之間，用以對振盪輸出信號加以分頻並產生比較信號。

28. 如申請專利範圍第26項之PLL電路，還包含：

參考分頻器，連接至相位比較器，用以對具有預定頻率的振盪信號進行分頻，並產生具有參考頻率的參考信號；與

比較分頻器，連接於壓控制振盪器與相位比較器之間，用以對振盪輸出信號進行分頻並產生比較信號。

29. 一種相位鎖定迴路(PPL)電路，包含：

相位比較器，用以接收參考信號與比較信號，並產生第一與第二相位差信號，其脈衝寬度取決於第一與第二相位差信號之相位差；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

充電泵，連接至相位比較器，用以接收第一與第二相位差信號，並根據第一與第二相位差信號產生具有預定電壓之輸出信號，其中該充電泵包含：

充電電晶體與放電電晶體，串接於高壓電源與低壓電源之間，並由第一與第二相位差信號加以操作，位於充電電晶體與放電電晶體之間的第一節點為充電泵之輸出信號之輸出端；

第一電阻器與第一電流檢測電路，串接於第一節點與第二節點之間，其中該第一節點位於充電電晶體與放電電晶體之間，而第二節點位於高壓電源與低壓電源之間；

第二電阻器與第二電流檢測電路，串接於第一節點與第三節點之間，其中該第三節點位於低壓電源與放電電晶體之間；

運算放大器，具有連接至第一電流檢測電路之輸出端之第一輸入端，連接至位於第二電流檢測電路之輸出端之第二輸入端，以及輸出端；

第一電晶體，連接於高壓電源與充電電晶體之閘極之間；

第二電晶體，連接於低壓電源與放電電晶體之閘極之間，其中第一與第二電晶體之閘極連接至運算放大器之輸出端；與

壓控式振盪器，連接至充電泵之輸出端，用以產生振盪輸出信號，其頻率取決於充電泵輸出信號之電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 六、申請專利範圍

參考信號；與

比較分頻器，連接於壓控制振盪器與相位比較器之間，用以對振盪輸出信號進行分頻並產生比較信號。

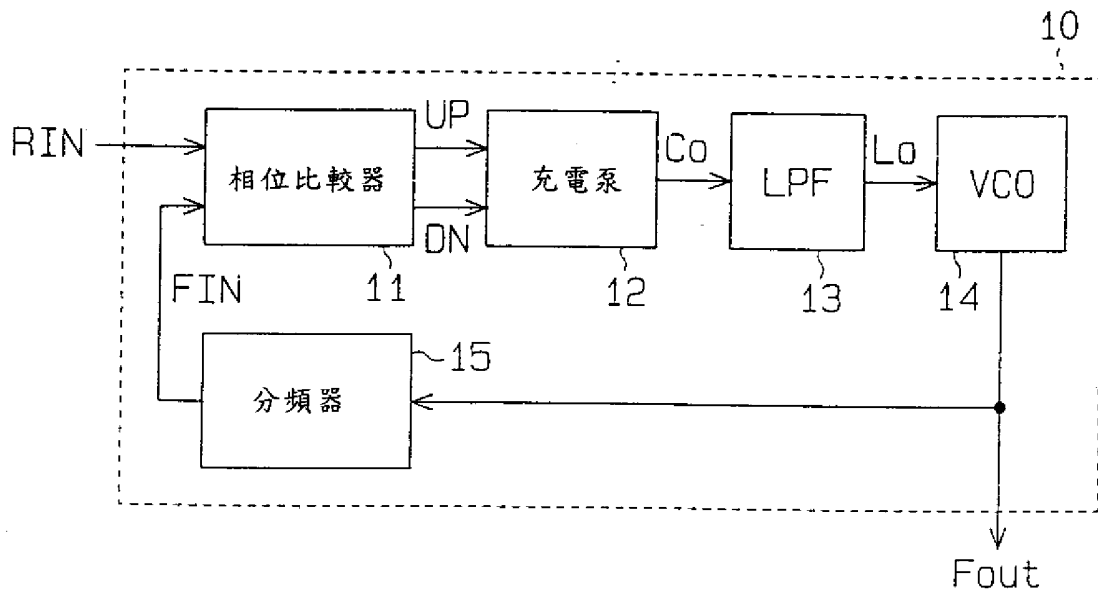
(請先閱讀背面之注意事項再填寫本頁)

裝

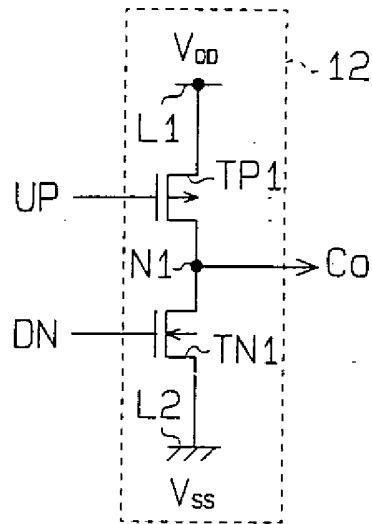
訂

線

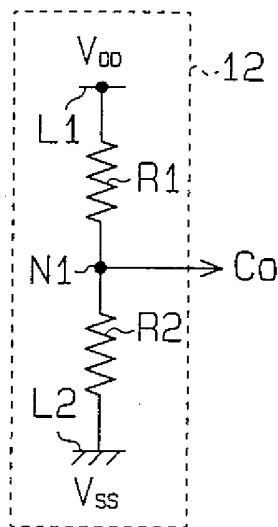
第 1 圖 (習知技術)



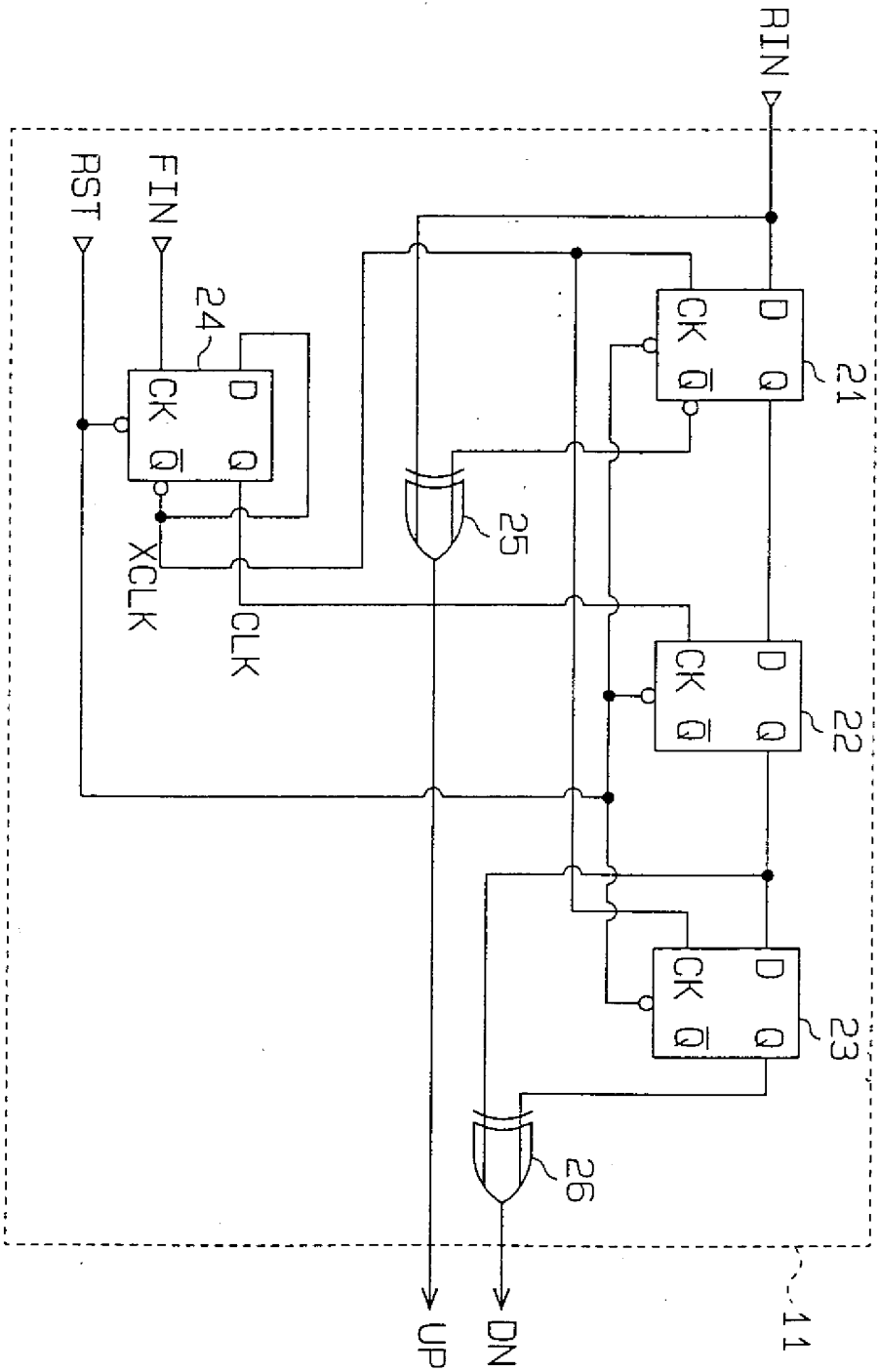
第 2 圖 (習知技術)

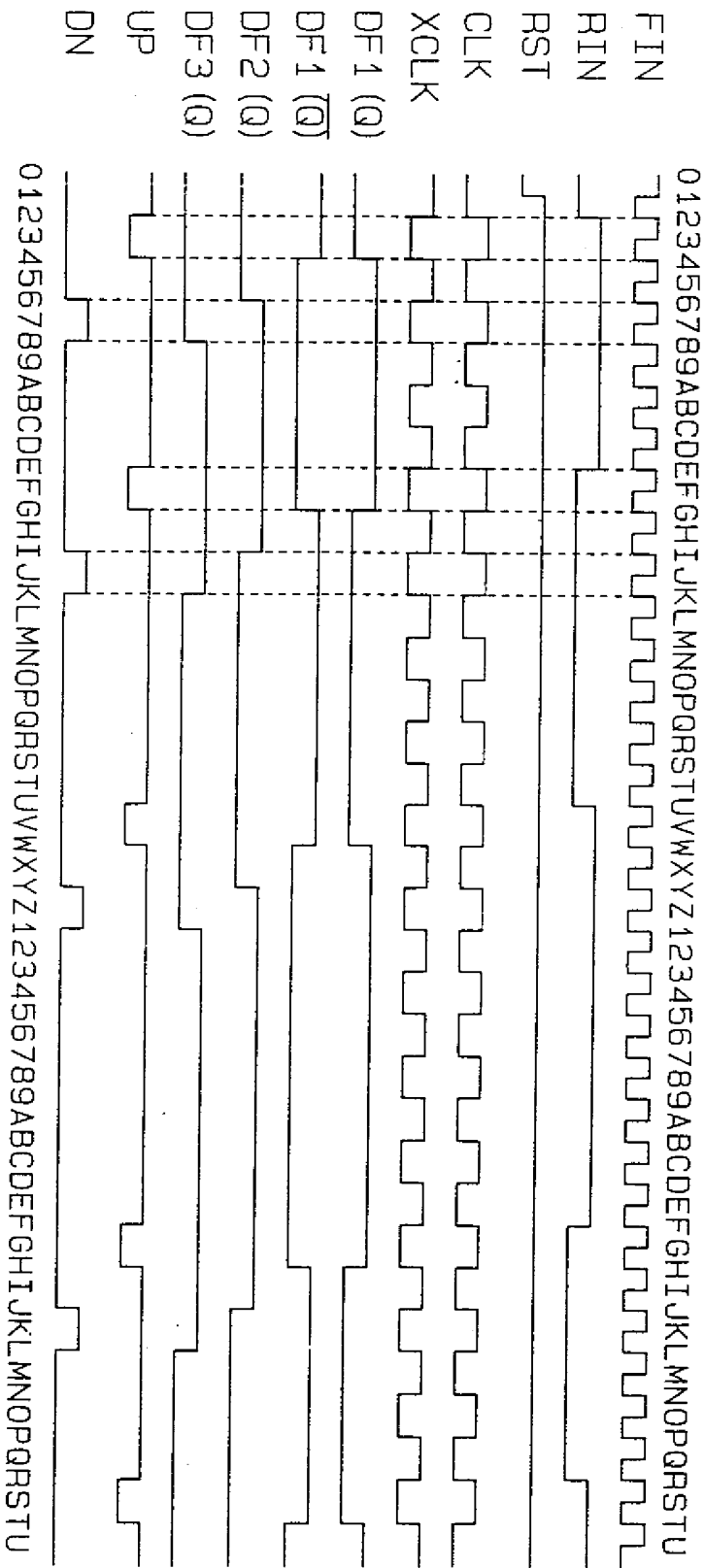


第 3 圖 (習知技術)

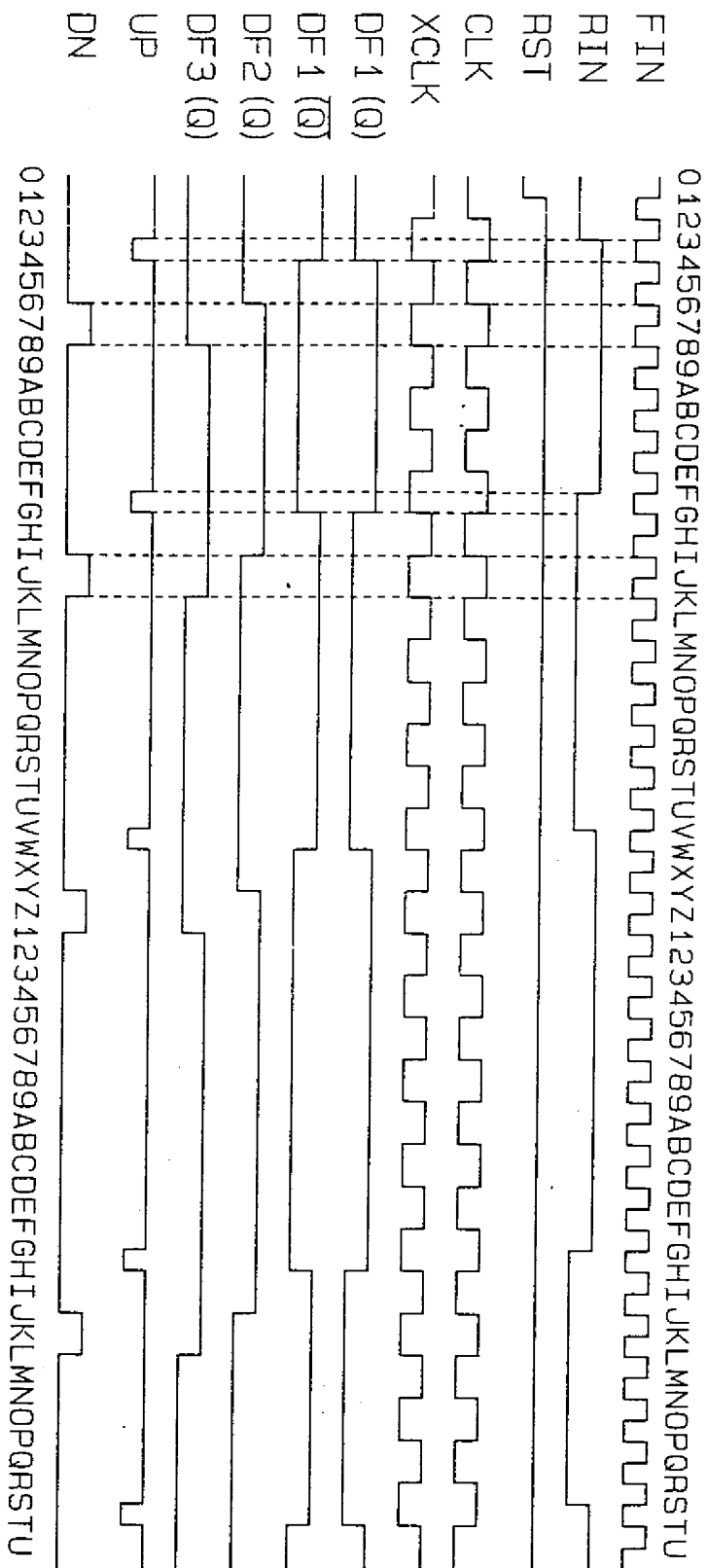


第 4 圖 (習知技術)



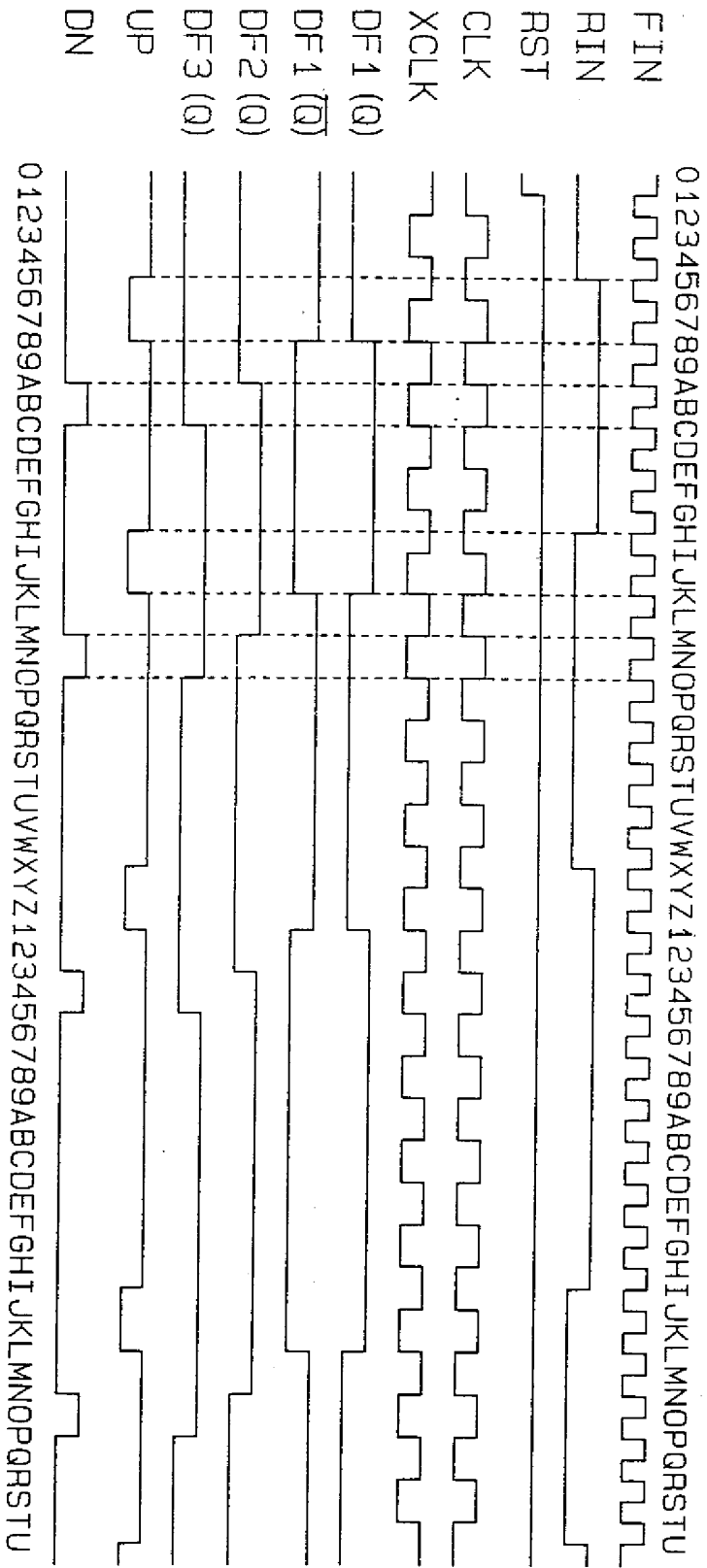


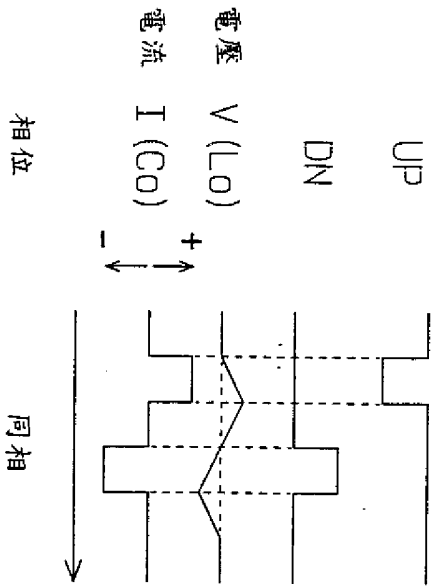
第 5 圖 (習知技術)



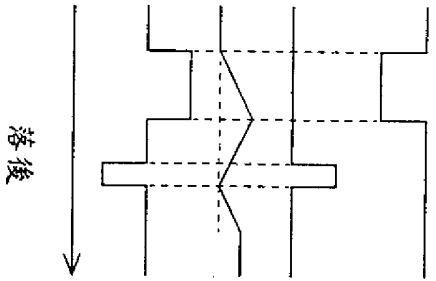
第 6 圖 (習知技術)

第 7 圖 (習知技術)

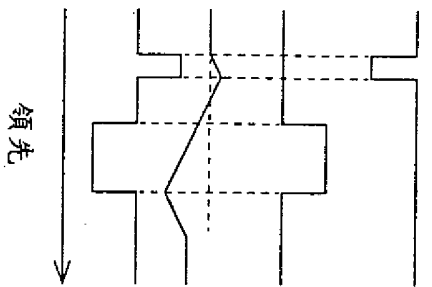




第 8(a)圖  
(習知技術)



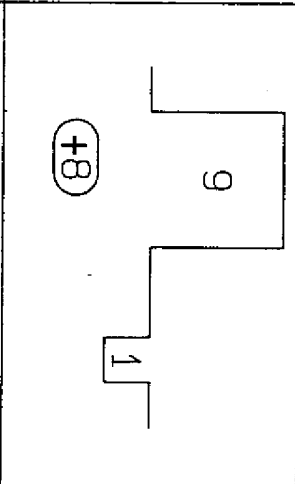
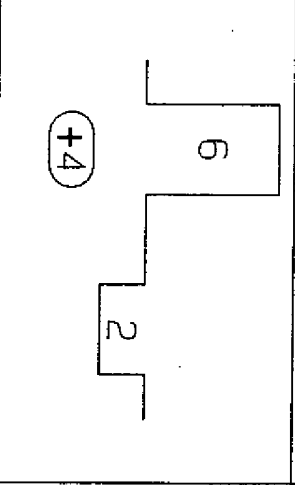
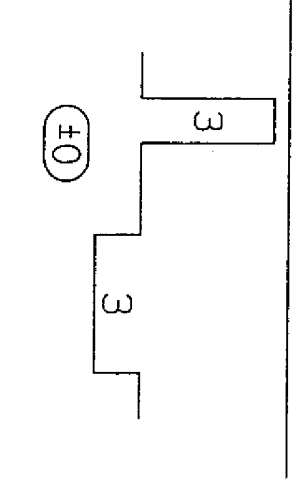
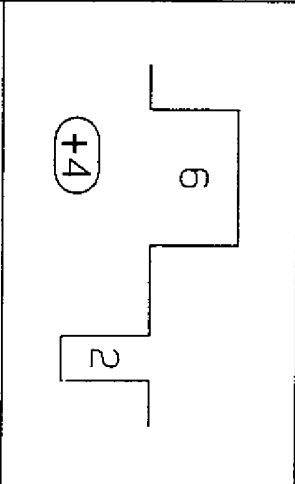
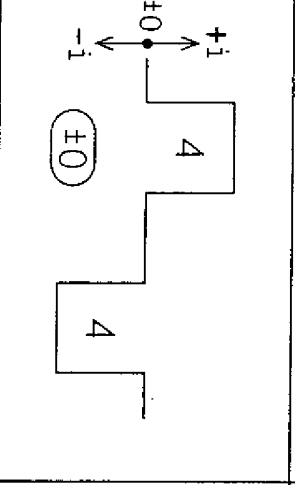
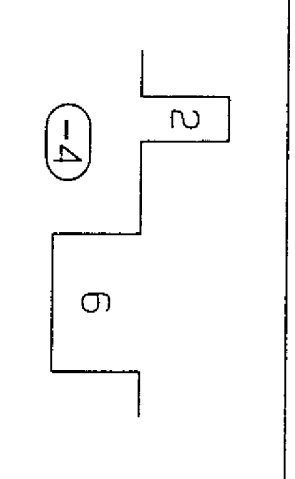
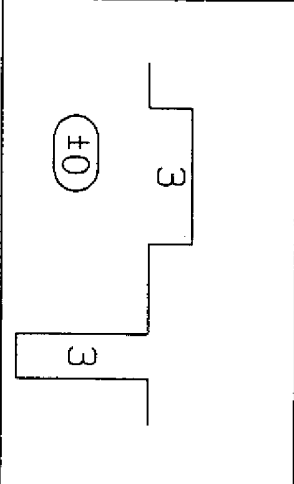
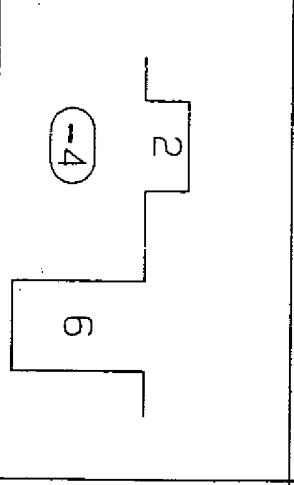
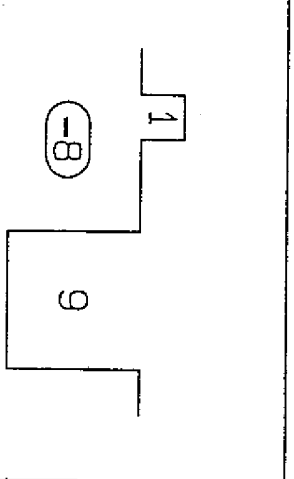
第 8(b)圖  
(習知技術)



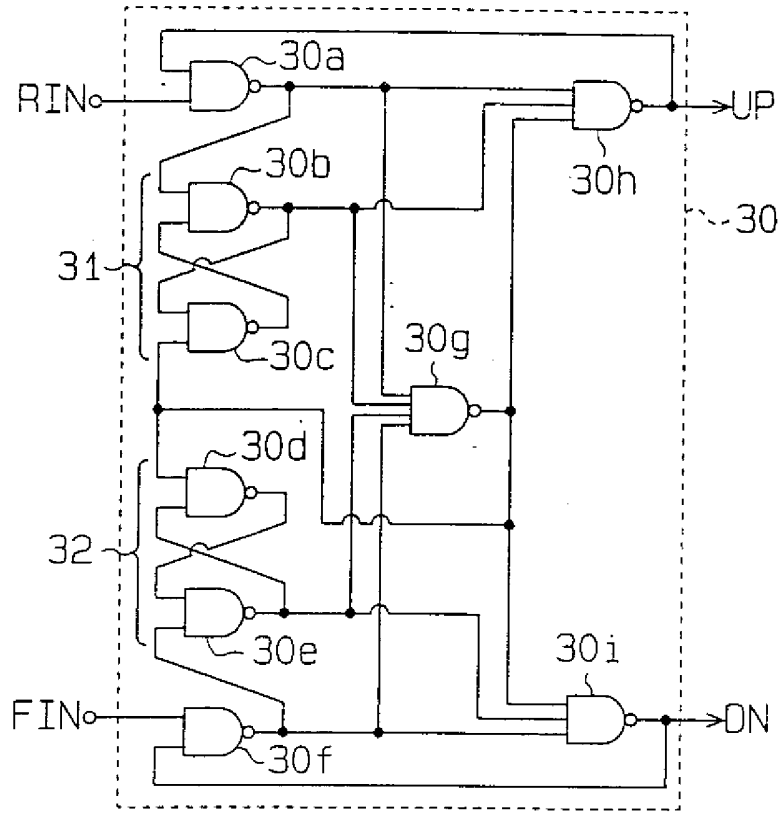
第 8(c)圖  
(習知技術)



第 9 圖 (習知技術)

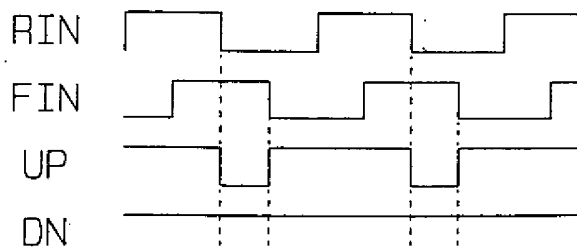
V (N1)	驅動性能	相位		
		落後	同相	領先
低	$pch > nch$			
	$pch = nch$			
高	$pch < nch$			

第10圖 (習知技術)



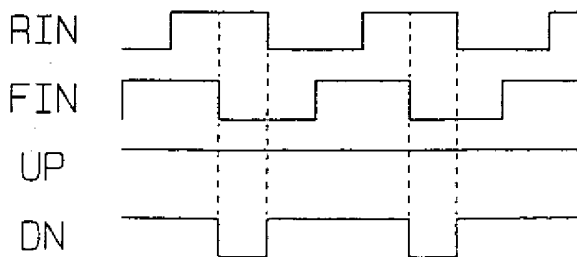
第11(a)圖

(習知技術)

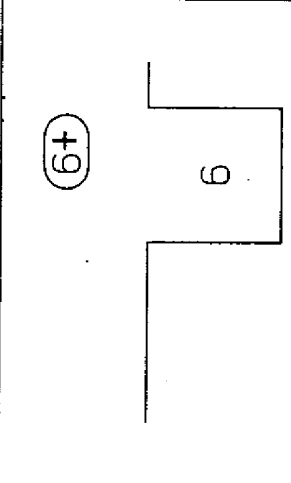
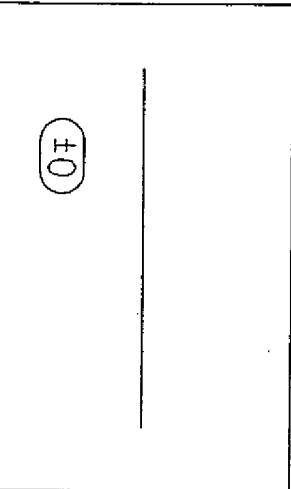
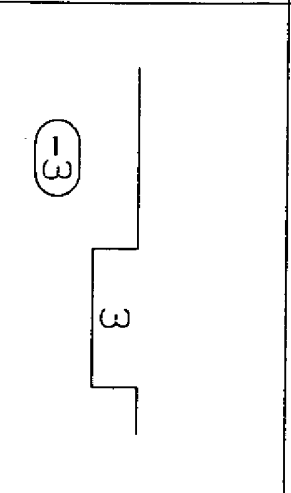
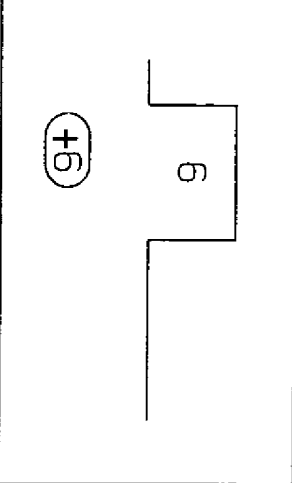
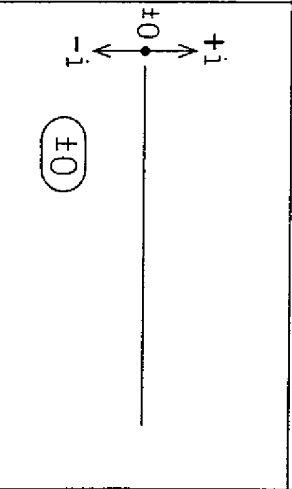
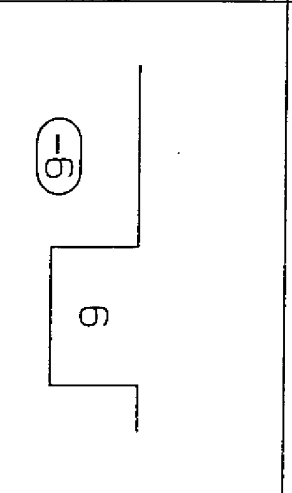
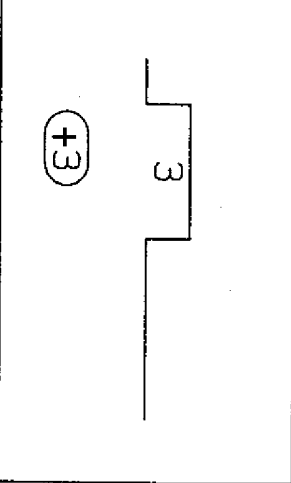
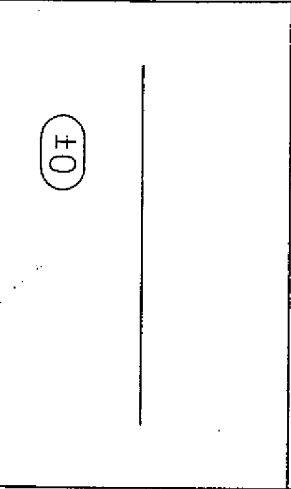
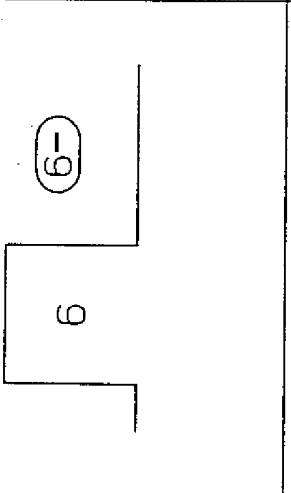


第11(b)圖

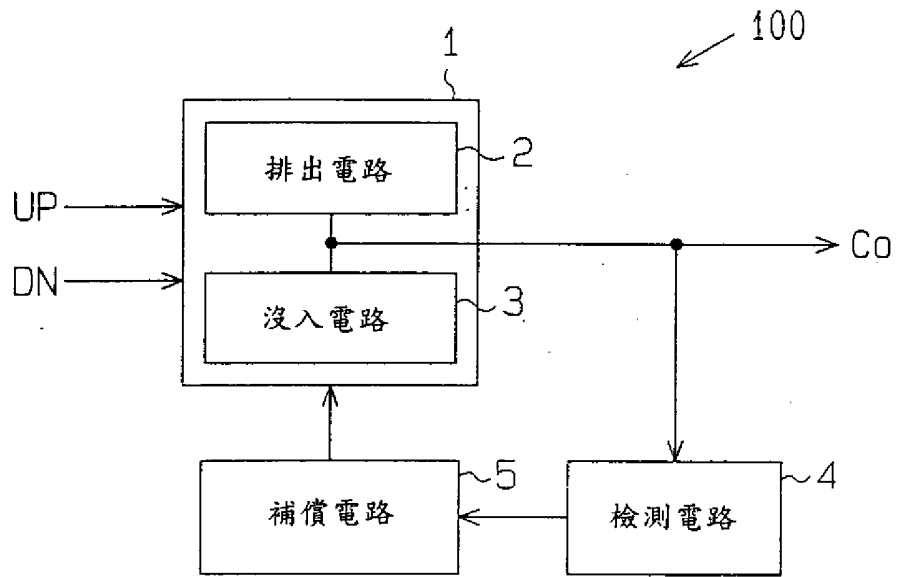
(習知技術)



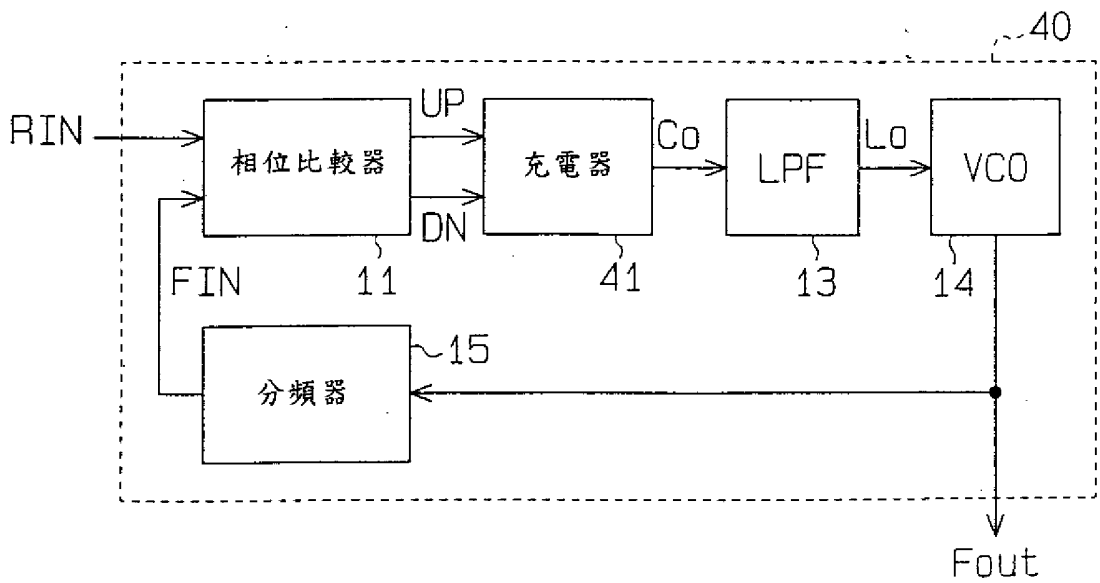
第12圖 (習知技術)

V (N1)	驅動性能	相位		
		落後	同相	領先
低	$pch > nch$	 9 ⊕9	 ±0	 -3 ⊖3
	$pch = nch$	 6 ⊕6	 ±0 ⊕0	 -6 ⊖6
高	$pch < nch$	 3 ⊕3	 ±0	 -9 ⊖9

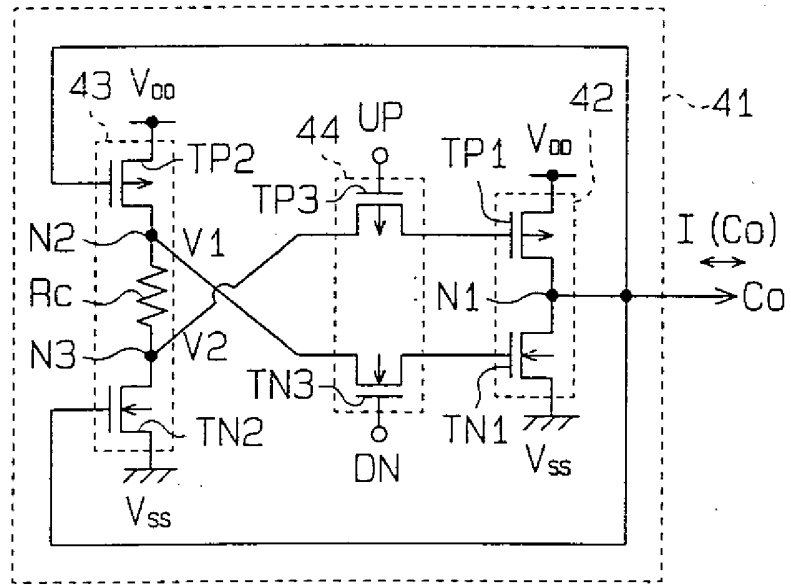
第13圖



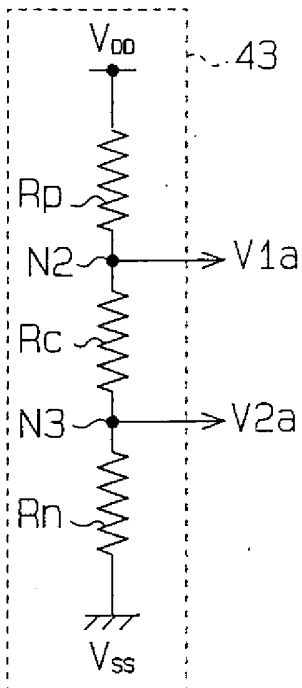
第14圖



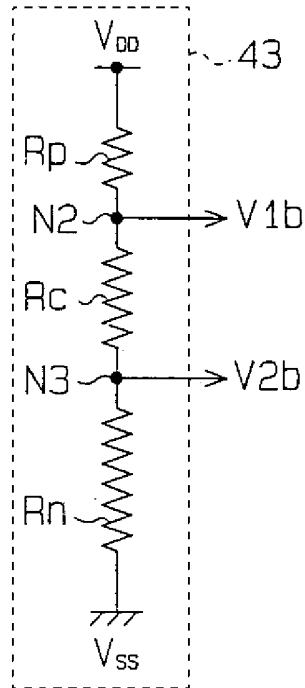
第 15 圖



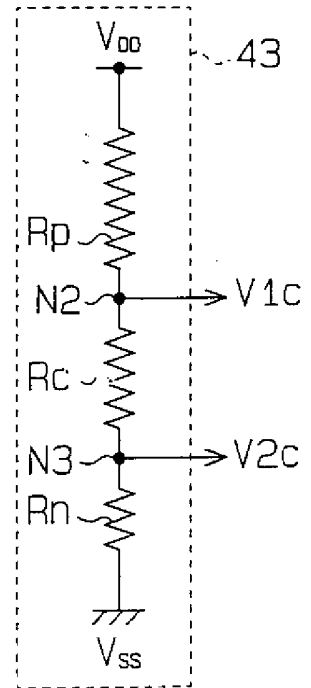
第 16 (a) 圖



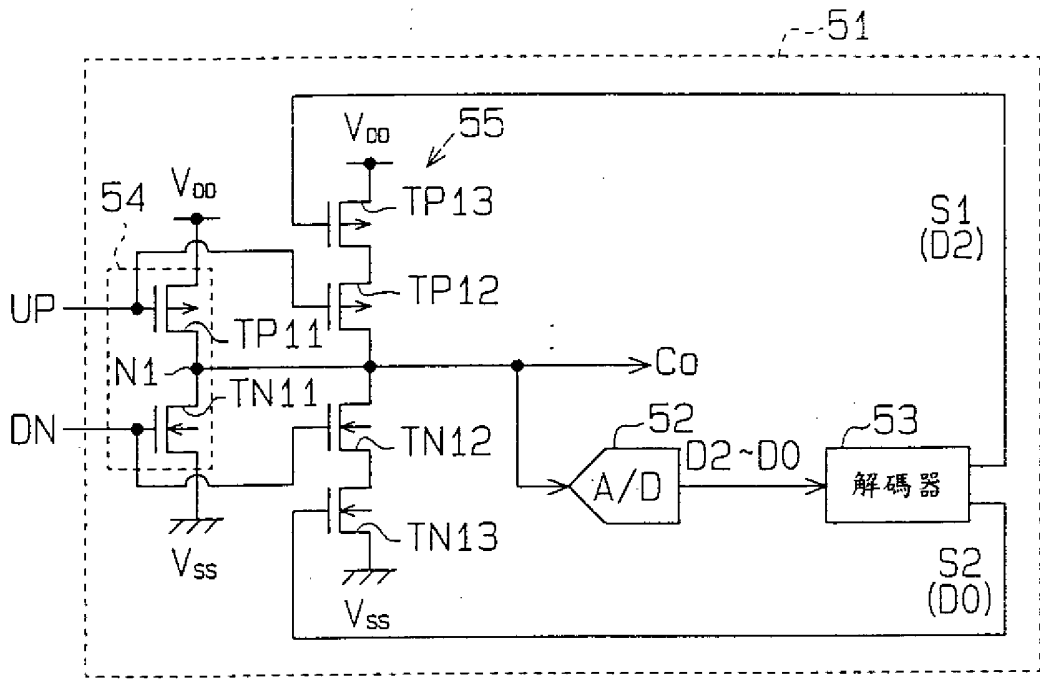
第 16 (b) 圖



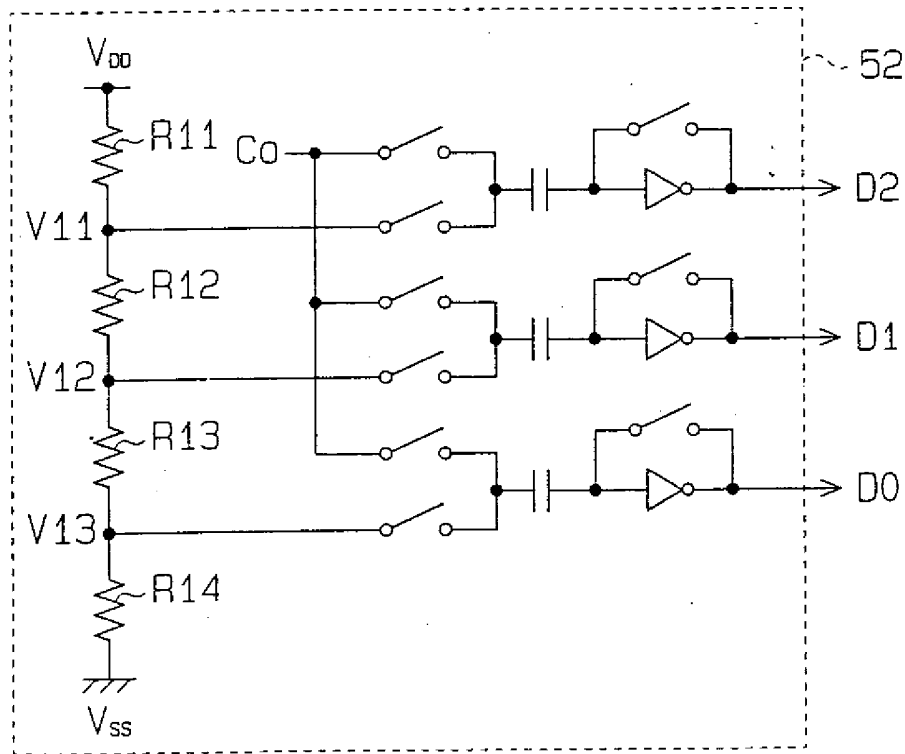
第 16 (c) 圖



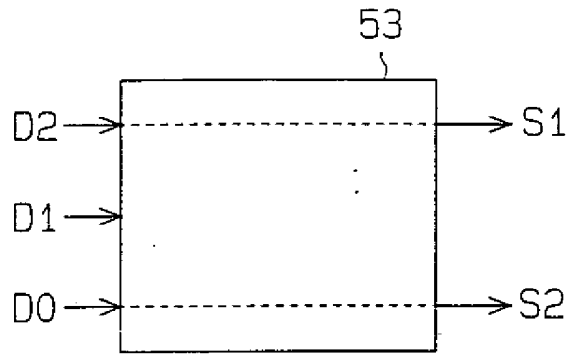
第 17 圖



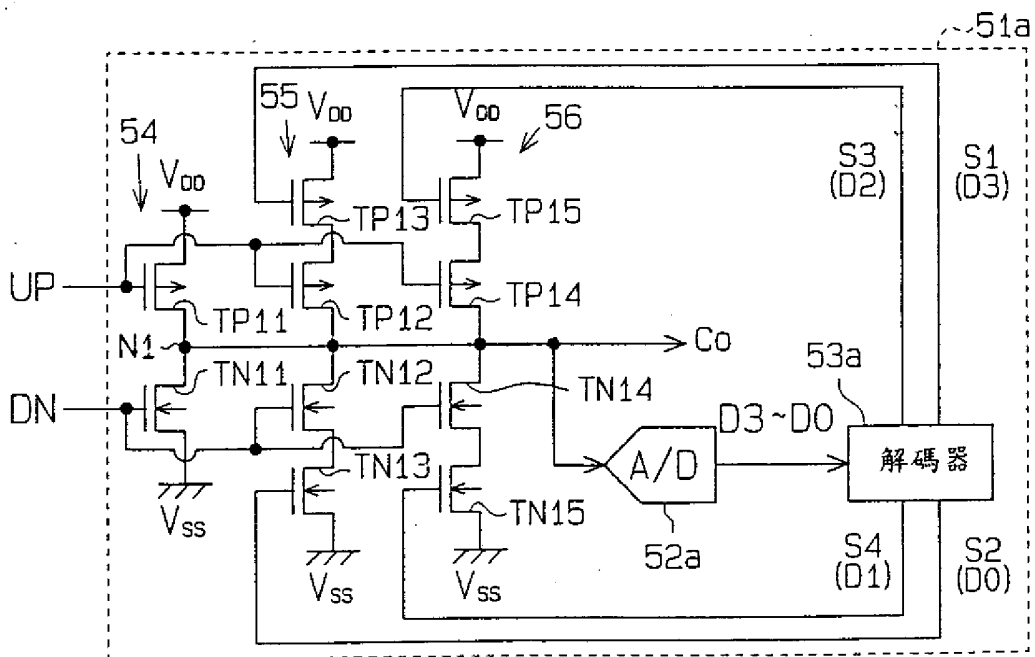
第 18 圖



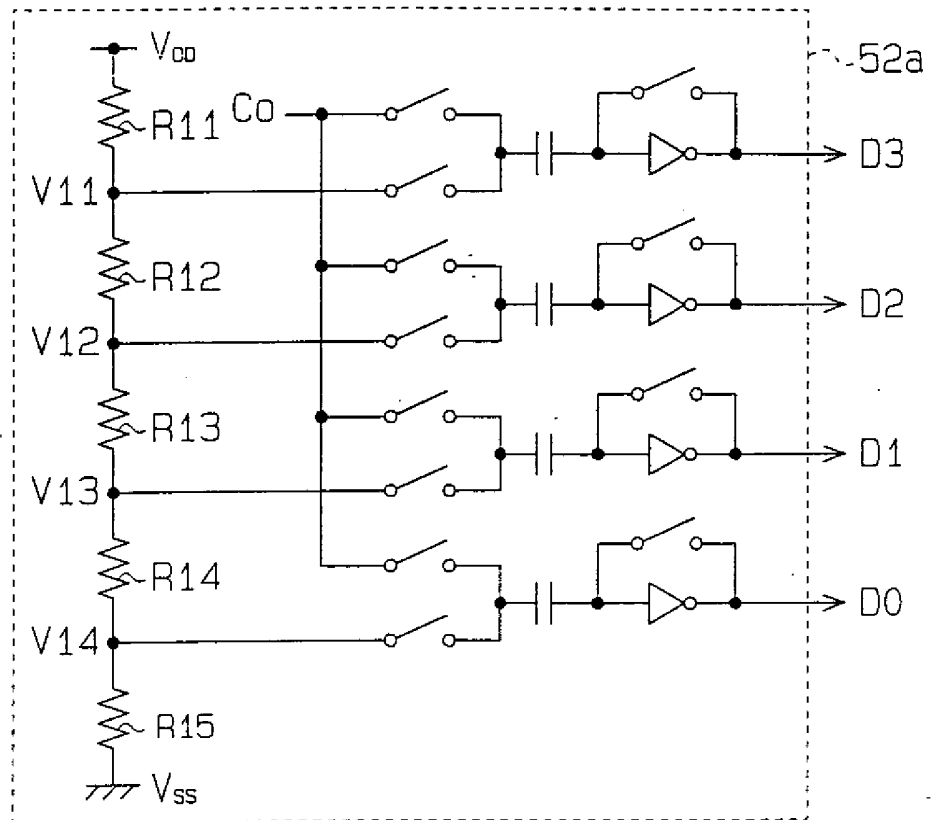
第 19 圖



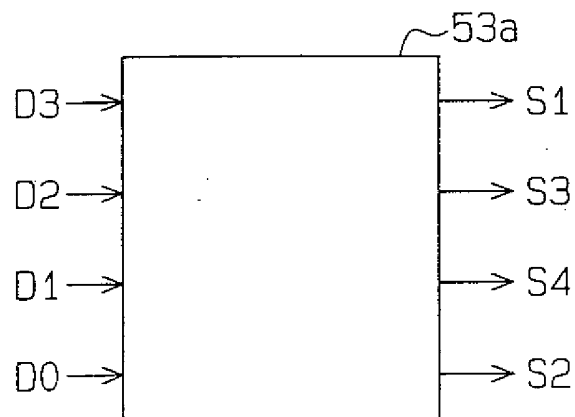
第 20 圖



第 21 圖

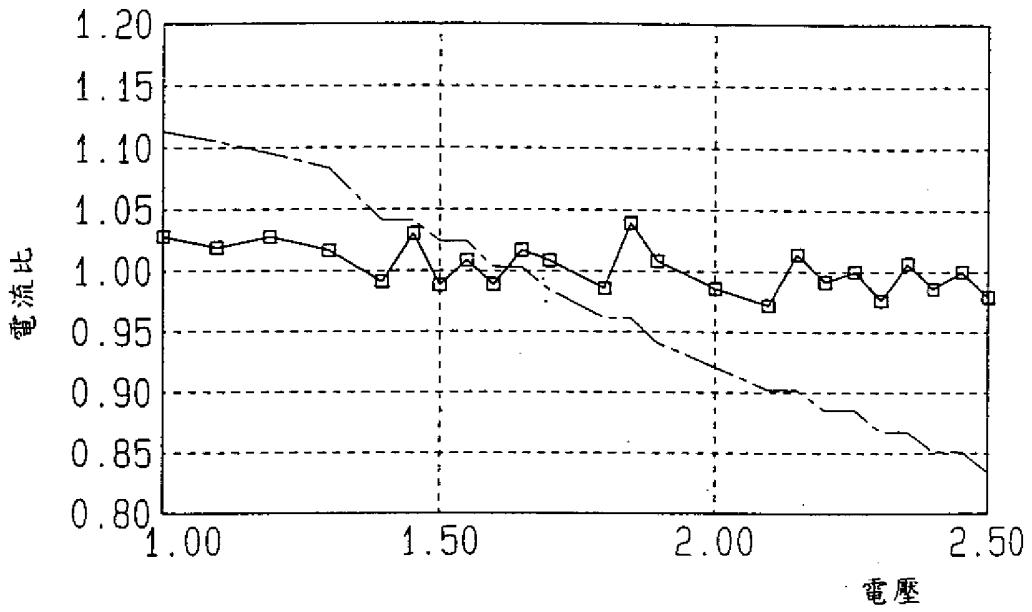


第 22 圖

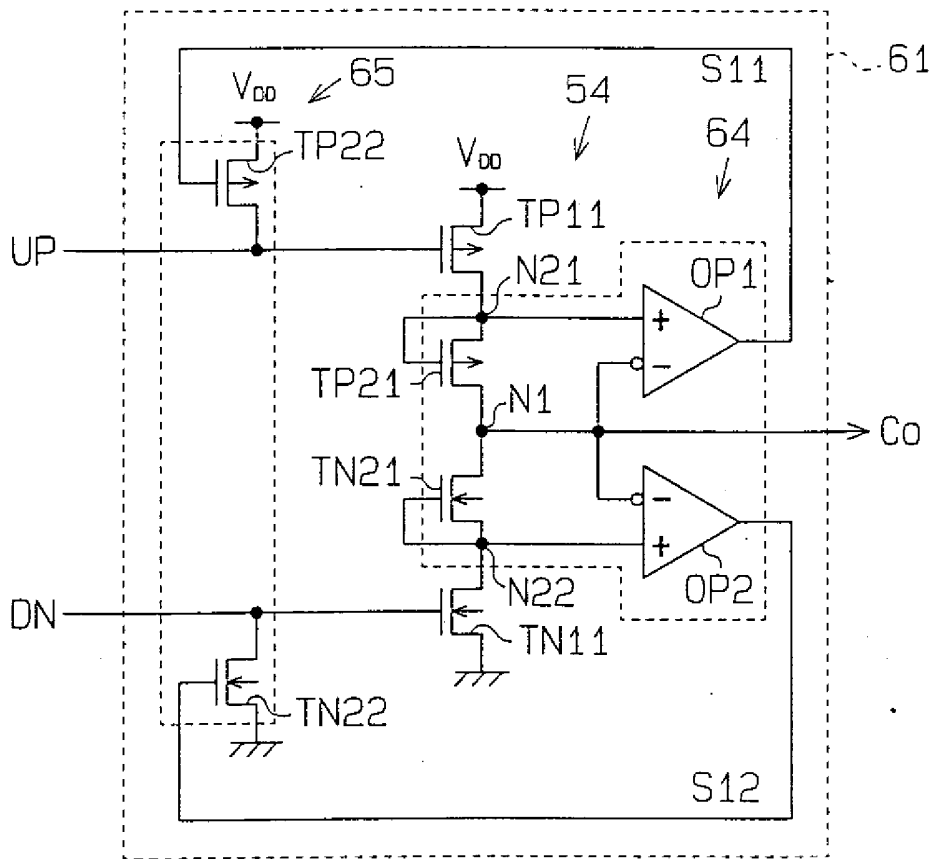




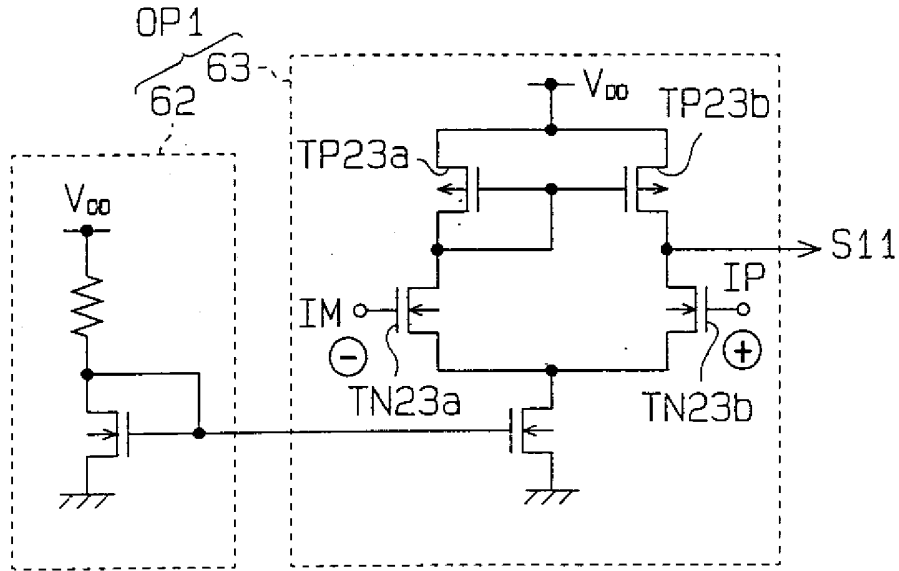
第 23 圖



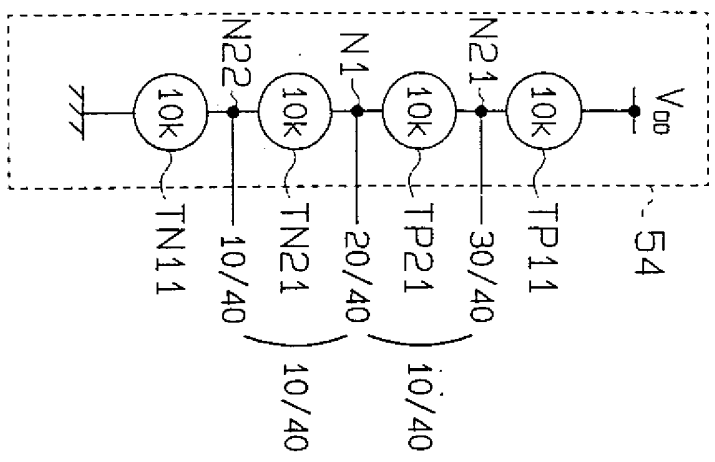
第 24 圖



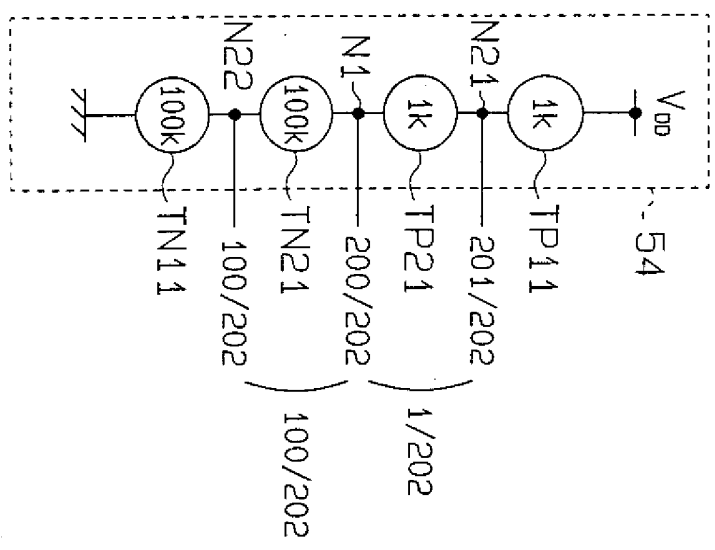
第 25 圖



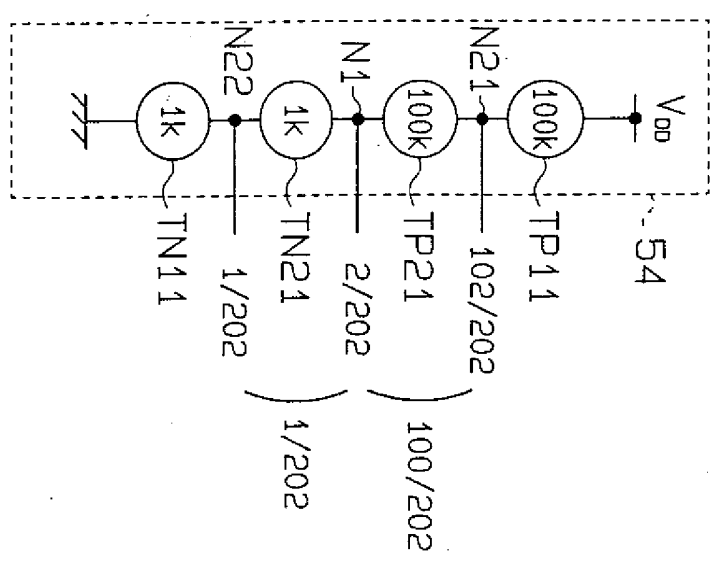
第 26 (a) 圖



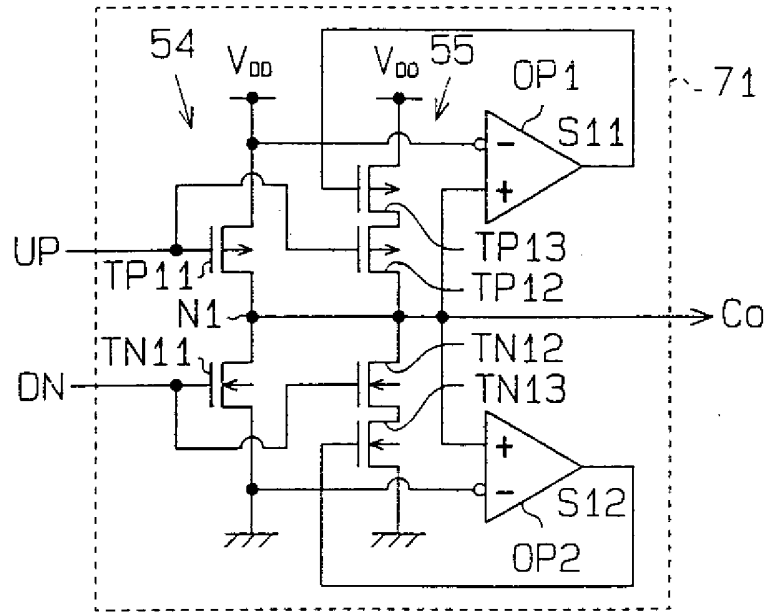
第 26 (b) 圖



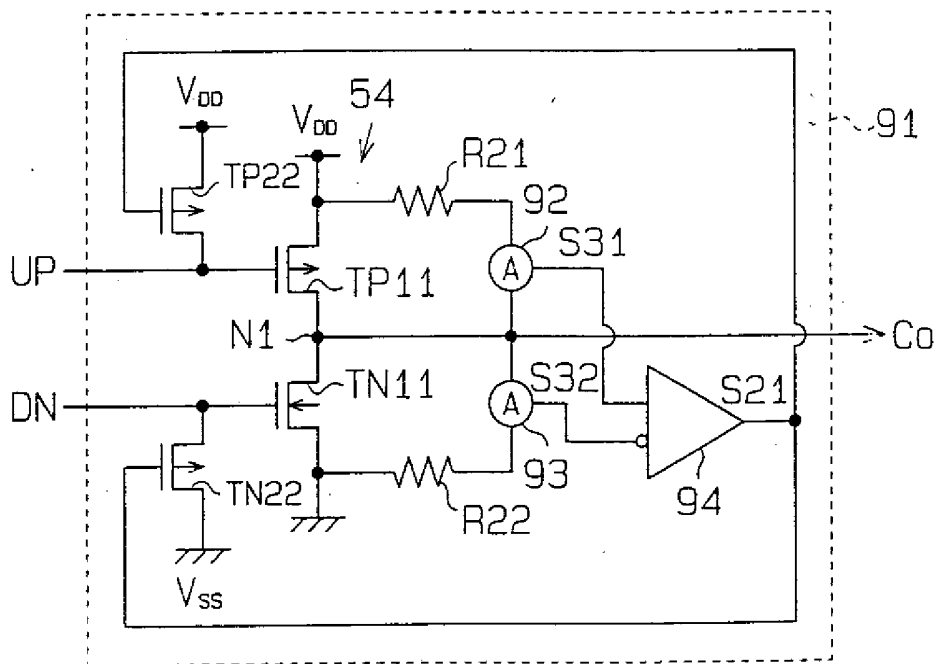
第 26 (c) 圖



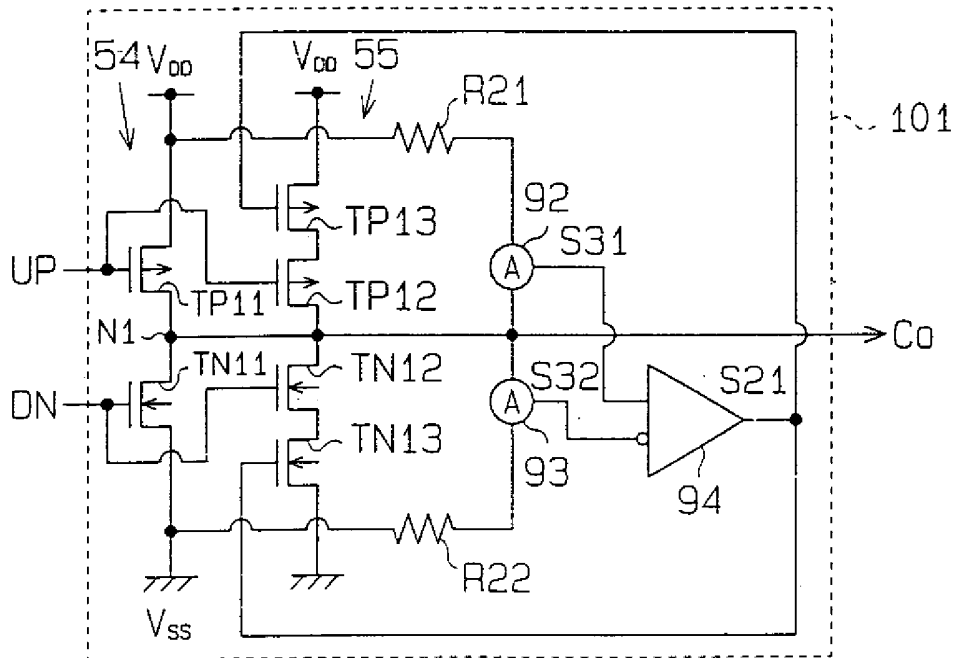
第 27 圖



第 28 圖



第 29 圖



第 30 圖

