

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3802942号
(P3802942)

(45) 発行日 平成18年8月2日(2006.8.2)

(24) 登録日 平成18年5月12日(2006.5.12)

(51) Int. Cl. F I
 HO 1 L 21/8242 (2006.01) HO 1 L 27/10 6 7 1 C
 HO 1 L 27/108 (2006.01) HO 1 L 27/10 6 2 1 Z

請求項の数 23 (全 42 頁)

(21) 出願番号	特願平7-17899	(73) 特許権者	503121103
(22) 出願日	平成7年2月6日(1995.2.6)		株式会社ルネサステクノロジ
(65) 公開番号	特開平8-125145		東京都千代田区丸の内二丁目4番1号
(43) 公開日	平成8年5月17日(1996.5.17)	(74) 代理人	100064746
審査請求日	平成14年1月17日(2002.1.17)		弁理士 深見 久郎
(31) 優先権主張番号	特願平6-208680	(74) 代理人	100085132
(32) 優先日	平成6年9月1日(1994.9.1)		弁理士 森田 俊雄
(33) 優先権主張国	日本国(JP)	(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体装置、半導体記憶装置および半導体記憶装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

少なくともある期間中にフローティング状態にされる同一の回路ノード内に、第1導電型の第1の領域および第2導電型の第2の領域を備え、

前記第1の領域は、前記第2の領域以外に少なくとも1つの第2導電型の第3の領域と接し、

前記第2の領域は、前記第1の領域以外に少なくとも1つの第1導電型の第4の領域と接し、

前記第3および第4の領域は、一方がトランジスタのボディ領域であり、他方が素子分離領域であることを特徴とする、半導体装置。

【請求項2】

少なくともある期間中にフローティング状態にされる同一の回路ノード内に、第1導電型の第1の不純物領域および第2導電型の第2の不純物領域を備え、

前記第1の不純物領域は、前記第2の不純物領域以外に少なくとも1つの第2導電型の第3の不純物領域と接しており、

前記第2の不純物領域は、前記第1の不純物領域以外に少なくとも1つの第1導電型の第4の不純物領域と接しており、

前記第1の不純物領域と前記第3の不純物領域との間の電圧を逆方向バイアスにし、かつ、前記第2の不純物領域と前記第4の不純物領域との間の電圧を逆方向バイアスにし、

前記第1の不純物領域の不純物濃度を前記第3の不純物領域の不純物濃度よりも濃くし

、かつ、前記第2の不純物領域の不純物濃度を前記第4の不純物領域の不純物濃度よりも濃くした、半導体装置。

【請求項3】

前記第1の不純物領域の不純物濃度と、前記第2の不純物領域の不純物濃度とを等しくした、請求項2記載の半導体装置。

【請求項4】

前記第1の不純物領域の不純物濃度と、前記第4の不純物領域の不純物濃度とを等しくし、かつ、前記第2の不純物領域の不純物濃度と、前記第3の不純物領域の不純物濃度とを等しくした、請求項2記載の半導体装置。

【請求項5】

前記第1の不純物領域の不純物濃度の絶対値および前記第3の不純物領域の不純物濃度の絶対値の積と、前記第2の不純物領域の不純物濃度の絶対値および前記第4の不純物領域の不純物濃度の絶対値の積とを等しくした、請求項2記載の半導体装置。

【請求項6】

前記第1の不純物領域および前記第3の不純物領域の間の逆方向バイアス電圧値と、前記第2の不純物領域および前記第4の不純物領域の間の逆方向バイアス電圧値とを等しくした、請求項2記載の半導体装置。

【請求項7】

少なくともある期間中にフローティング状態にされるダイナミック型のメモリセルの同一のストレージノード内に、第1導電型の第1の領域および第2導電型の第2の領域を備え、

前記第1の領域は、前記第2の領域以外に少なくとも1つの第2導電型の第3の領域と接し、

前記第2の領域は、前記第1の領域以外に少なくとも1つの第1導電型の第4の領域と接する、半導体記憶装置。

【請求項8】

前記第3および第4の領域は、一方がトランジスタのボディ領域であり、他方が素子分離領域であることを特徴とする、請求項7記載の半導体記憶装置。

【請求項9】

酸化膜上にSOI活性層を有するSOI基板上に形成されたメモリセルを構成する半導体記憶装置であって、

前記SOI基板上に形成されたトランスファゲートトランジスタを備え、

前記トランスファゲートトランジスタは、

前記SOI基板上に形成されたトランスファゲート電極と、

前記トランスファゲート電極下の前記SOI活性層に形成された第1導電型のボディ領域と、

前記SOI活性層に形成され、前記ボディ領域を間に挟む第2導電型の1対のソース・ドレイン領域とを含み、

前記SOI活性層に形成された第1導電型の領域であり、その領域と前記ボディ領域との間に一方の前記ソース・ドレイン領域を挟む態様でそのソース・ドレイン領域に接続された第1導電領域と、

前記SOI基板上に形成され、上下方向に対向配置された上部電極および下部電極を含むメモリキャパシタとをさらに備え、

前記メモリキャパシタの前記下部電極は、前記第1導電領域およびその第1導電領域に接続された前記一方のソース・ドレイン領域に接続されており、

前記SOI基板上に形成され、前記第1導電領域の一部を電氣的に分離するためのフィールドシールド領域をさらに備え、

前記フィールドシールド領域は、

前記SOI活性層に形成された第2導電型の領域であり、その領域と前記一方のソース・ドレイン領域との間に前記第1導電領域を挟む態様でその第1導電領域に接続された第

10

20

30

40

50

2 導電領域と、

前記第 2 導電領域上に形成されたフィールドシールドゲート電極とを含む、半導体記憶装置。

【請求項 10】

前記フィールドシールド領域と交差する方向に延在し、前記ボディ領域、前記 1 対のソース・ドレイン領域、前記第 1 導電領域および前記第 2 導電領域を挟む態様でそれらの領域を他の領域から電氣的に分離するための分離領域をさらに備えた、請求項 9 記載の半導体記憶装置。

【請求項 11】

前記分離領域は、前記 S O I 基板の部分的熱酸化工程により形成される領域であることを特徴とする、請求項 10 記載の半導体記憶装置。 10

【請求項 12】

前記分離領域は、前記 S O I 活性層の部分的なエッチング工程により形成される領域であることを特徴とする、請求項 10 記載の半導体記憶装置。

【請求項 13】

前記分離領域は、前記 S O I 活性層を貫通して前記酸化膜内に達する穴を形成する部分的なエッチング工程およびその形成された穴を絶縁膜により埋める穴埋め工程によって形成される領域であることを特徴とする、請求項 10 記載の半導体記憶装置。

【請求項 14】

前記メモリキャパシタの前記下部電極と、前記第 1 導電領域およびその第 1 導電領域に接続された前記一方のソース・ドレイン領域との間に介在された金属よりなるバッファ層をさらに備えた、請求項 9 記載の半導体記憶装置。 20

【請求項 15】

前記メモリキャパシタの前記下部電極と、前記第 1 導電領域およびその第 1 導電領域に接続された前記一方のソース・ドレイン領域との間に介在されたバッファ層をさらに備え、

前記バッファ層は、

前記下部電極と、前記第 1 導電領域およびその第 1 導電領域に接続された一方のソース・ドレイン領域との間に介在された筒状の金属体と、

前記金属体の内部に形成されたポリシリコン体とを含む、請求項 9 記載の半導体記憶装置。 30

【請求項 16】

前記トランスファゲートトランジスタおよび前記メモリキャパシタよりなるメモリセルは、複数行および複数列に配置され、

前記フィールドシールド領域は、各列の前記メモリセルのそれぞれに対応する前記第 2 導電領域が前記複数行にわたって連なって形成された、請求項 9 記載の半導体記憶装置。

【請求項 17】

前記複数行にわたって連なって形成された前記第 2 導電領域の端部に所定の電位を印加する電位印加手段をさらに備えた、請求項 16 記載の半導体記憶装置。

【請求項 18】

各列の前記複数メモリセルの各々のボディ領域は、前記複数行にわたって連なって形成された、請求項 16 記載の半導体記憶装置。 40

【請求項 19】

前記複数行にわたって連なって形成された前記第 2 導電領域の端部に第 1 の電位を印加する第 1 の電位印加手段と、

前記複数行にわたって連なって形成された前記ボディ領域の端部に第 2 の電位を印加する第 2 の電位印加手段とをさらに備えた、請求項 18 記載の半導体記憶装置。

【請求項 20】

酸化膜上に S O I 活性層を有する S O I 基板上に形成された半導体記憶装置であって、

前記 S O I 基板上に形成された 1 対のトランスファゲートトランジスタを備え、 50

前記 1 対のトランスファゲートトランジスタは、
前記 S O I 基板上に形成された第 1 導電型の第 1 の不純物領域と、
前記 S O I 基板上に形成され、第 1 導電型の第 1 の不純物領域を間に挟む第 2 導電型の
第 1 および第 2 のボディ領域と、

前記 S O I 基板上に形成された第 1 導電型の領域であり、その領域と前記第 1 の不純物
領域との間に前記第 1 のボディ領域を挟み、前記第 1 の不純物領域とともに第 1 の 1 対の
ソース・ドレイン領域を構成する第 2 の不純物領域と、

前記 S O I 基板上に形成された第 1 導電型の領域であり、その領域と前記第 1 の不純物
領域との間に前記第 2 のボディ領域を挟み、前記第 1 の不純物領域とともに第 2 の 1 対の
ソース・ドレイン領域を構成する第 3 の不純物領域と、

10

前記第 1 のボディ領域の S O I 基板上に形成された第 1 のトランスファゲート電極と、
前記第 2 のボディ領域の S O I 基板上に形成された第 2 のトランスファゲート電極とを
含み、

前記 S O I 基板上に形成された第 2 導電型の領域であり、その領域と前記第 1 のボディ
領域との間に前記第 2 の不純物領域を挟む第 1 導電領域と、

前記 S O I 基板上に形成され、上下方向に対向配置された第 1 の上部電極および第 1 の
下部電極を含む第 1 のメモリキャパシタとをさらに備え、

前記第 1 のメモリキャパシタの前記第 1 の下部電極は、前記第 1 導電領域および前記第
2 の不純物領域に接続されており、

前記 S O I 活性層に形成された第 2 導電型の領域であり、その領域と前記第 2 のボディ
領域との間に前記第 3 の不純物領域を挟む第 2 導電領域と、

20

前記 S O I 基板上に形成され、上下方向に対向配置された第 2 の上部電極および第 2 の
下部電極を含む第 2 のメモリキャパシタとをさらに備え、

前記第 2 メモリキャパシタの前記第 2 の下部電極は、前記第 2 導電領域および前記第 3
の不純物領域に接続されており、

前記 S O I 基板上に形成され、前記第 1 導電領域の一部を電氣的に分離するための第 1
のフィールドシールド領域をさらに備え、

前記第 1 のフィールドシールド領域は、

前記 S O I 活性層上に形成された第 1 導電型の領域であり、その領域と前記一方の第 1
のソース・ドレイン領域との間に前記第 1 導電領域を挟む態様でその第 1 導電領域に接続
された第 3 導電領域と、

30

前記第 3 導電領域上に形成された第 1 のフィールドシールドゲート電極とを含み、

前記 S O I 基板上に形成され、前記第 2 導電領域の一部を電氣的に分離するための第 2
のフィールドシールド領域をさらに備え、

前記第 2 のフィールドシールド領域は、

前記 S O I 活性層上に形成された第 1 導電型の領域であり、その領域と前記一方の第 2
のソース・ドレインとの間に前記第 2 導電領域を挟む態様でその第 2 導電領域に接続され
た第 4 導電領域と、

前記第 4 導電領域上に形成された第 2 のフィールドシールドゲート電極とを含み、

前記 S O I 基板の上方に形成されたビット線と、

前記ビット線および前記第 1 の不純物領域の間に介在されたビット線コンタクト部とを
さらに備えた、半導体記憶装置。

40

【請求項 2 1】

半導体基板上に絶縁層を介在して第 2 導電型の S O I 活性層を形成する工程と、

前記 S O I 活性層の第 1 の領域上にゲート絶縁層を介在してフィールドシールドゲート
電極を形成する工程と、

前記フィールドシールドゲート電極をマスクとして用いて前記 S O I 活性層内に第 1 導
電型の不純物を注入することによって、1 対の第 1 の不純物領域を形成する工程と、

前記第 1 の不純物領域が形成された前記 S O I 活性層の第 2 の領域上にゲート絶縁層を
介在してトランスファゲート電極を形成する工程と、

50

前記フィールドシールド電極と前記トランスファゲート電極とに挟まれた領域下の前記第1の不純物領域における前記フィールドシールドゲート電極側の一部表面を覆うマスク層を形成する工程と、

前記マスク層および前記トランスファゲート電極をマスクとして用いて第2導電型の不純物を前記SOI活性層内に注入することによって、前記第1の不純物領域内に第2の不純物領域を形成する工程とを備えた、半導体記憶装置の製造方法。

【請求項22】

前記マスク層は、前記フィールドシールドゲート電極を覆うレジストパターンである、請求項21記載の半導体記憶装置の製造方法。

【請求項23】

前記マスク層は、前記フィールドシールドゲート電極の側壁に形成されたサイドウォール絶縁膜である、請求項21記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明は、半導体装置、半導体記憶装置および半導体記憶装置の製造方法に関し、特に、SOI (Silicon On Insulator) 基板上に形成されたダイナミックランダムアクセスメモリ (DRAM) およびその製造方法に関する。

【0002】

【従来の技術】

現在、DRAMと呼ばれる半導体記憶装置が多数提供されている。そのDRAMは、記憶保持動作(以下リフレッシュ動作と呼ぶ)が必要であり、かつデータの読出しおよび書込みが可能である。

【0003】

図26は、従来の一般的なDRAMのメモリセルの模式的断面図である。図26を参照して、このメモリセルは、MOS FETで構成される1つのトランスファゲートトランジスタ(以下トランジスタと呼ぶ)TRおよび1つのメモリキャパシタ(以下キャパシタと呼ぶ)Cを含む。

【0004】

トランジスタTRは、P型の半導体基板100の表面に形成されたN型の1対のソース・ドレイン領域20、20と、半導体基板100の表面上にゲート絶縁膜10を介在して形成されたトランスファゲート電極1とを含む。このトランスファゲート電極1は、ワード線WLを構成する。

【0005】

キャパシタCは、ソース・ドレイン領域20、20の一方側に接続されたキャパシタ下部電極(以下ストレージノードと呼ぶ)51と、その上に誘電体層53を介在して形成されたキャパシタ上部電極(以下セルプレートと呼ぶ)52とを含む。

【0006】

ビット線BLは、トランジスタTRにおける他方のソース・ドレイン領域20に接続される。

【0007】

このようなDRAMのメモリセルにおいては、書込時に、ビット線BLからトランジスタTRを介してキャパシタCに電荷が蓄積され、これにより、データが記憶される。

【0008】

また、近年、SOI構造を利用したトランジスタの技術が確立されつつある。このようなSOI構造のトランジスタは、配線/基板間の容量、いわゆる配線容量が低減され、回路の動作速度が高速化されるという特徴がある。さらに、CMOSに適用した場合には、ラッチアップ現象を防ぐこともできる。さらに、トランジスタのショートチャネル効果の低減、電流駆動能力の向上、サブスレッショルド特性の向上などの種々の利点を有している。

【 0 0 0 9 】

このため、S O I 構造を D R A M のメモリセルに適用することが考えられている。

【 0 0 1 0 】

【 発明が解決しようとする課題 】

しかし、従来の D R A M においては、リフレッシュ動作を頻繁に行なう必要があるという問題があった。以下に、その問題点を具体的に説明する。

【 0 0 1 1 】

リフレッシュ動作を行なうのは、次のような理由のためである。メモリセルは、半導体基板 1 0 0 内に P 型の領域と、N 型の領域とを有している。そして、それらの P 型の領域と N 型の領域との接合部分においてリーク電流が生じる。そのリーク電流が生じると、メモリセルの蓄積電荷が減少し、記憶データが消滅するからである。

10

【 0 0 1 2 】

次に、リーク電流が生じる状態をメモリセルの等価回路図を用いて説明する。図 2 7 は、図 2 6 のメモリセルの等価回路図である。図 2 7 を参照して、メモリセルには、トランジスタ T R およびキャパシタ C が含まれる。

【 0 0 1 3 】

トランジスタ T R は、ビット線 B L とキャパシタ C との間に設けられ、ワード線 W L の電位に応答してオンオフ動作をする。トランジスタ T R と、キャパシタ C との間のノードが、ストレージノード 5 1 である。キャパシタ C は、セルプレートにセルプレート電位 V_{cp} を受ける。

20

【 0 0 1 4 】

このストレージノード 5 1 が図 2 6 のソース・ドレイン領域 2 0 に接続されている部分の近傍では、N 型の領域と、P 型の領域とが接合しているため、ダイオード D が形成される。このダイオード D は、カソードがストレージノード 5 1 に接続され、アノードに基板電位 V_{BB} を受ける。したがって、キャパシタ C に電荷が蓄積されている場合に、そのダイオード D の逆方向バイアス時のリーク電流によって蓄積電荷が減少し、記憶データが消滅する。

【 0 0 1 5 】

図 2 8 は、図 2 6 および図 2 7 に示される D R A M のメモリセルのストレージノード 5 1 の電位 V の変化を示すグラフである。この図 2 8 においては、縦軸に電位 V 、横軸に経過時間 t を取り、これらの関係が示される。

30

【 0 0 1 6 】

図 2 8 に示されるように、ストレージノード 5 1 の電位 V は、メモリセルへの蓄積情報が H レベルの場合には、最初に、メモリセルへの蓄積電荷により電源電位 V_{cc} のレベルである H レベルの記憶データが存在する。しかし、メモリセルのリーク電流により、時間の経過に従って蓄積電荷が減少し、電位 V が減少する。このため、メモリセルは、最初に H レベルのデータを記憶していても、リフレッシュ動作を行なわないと、記憶データが L レベルに変化する。

【 0 0 1 7 】

それは、電位 V が、 V_{cc} から低下していき、やがて $V_{cc} / 2$ よりも低くなるからである。

40

【 0 0 1 8 】

このように電位 V が低下する場合には、たとえば、 $V_{cc} / 2$ のレベルよりも、センスアンプ検知能力に対応する所定レベル V だけ高い電位になった時点 t_{REF1} においてリフレッシュ動作を行なう必要がある。

【 0 0 1 9 】

このように、従来の D R A M のにおいては、リフレッシュ動作の実行が不可欠である。したがって、D R A M においては、制御を簡単にするために、リフレッシュを実行する周期 (t_{REF1} に相当する) を長くすることが求められる。

【 0 0 2 0 】

50

この発明は、このような問題を解決するためになされたものであり、リフレッシュ動作を実行する周期をできる限り長くすることにより、リフレッシュ特性を向上させることが可能な半導体装置、半導体記憶装置および半導体記憶装置の製造方法を提供することを目的とする。

【0021】

【課題を解決するための手段】

請求項1に記載の本発明は、半導体装置であって、少なくともある期間中にフローティング状態にされる同一の回路ノード内に、第1導電型の第1の領域および第2導電型の第2の領域を備える。第1の領域は、第2の領域以外に少なくとも1つの第2導電型の第3の領域と接する。第2の領域は、第1の領域以外に少なくとも1つの第1導電型の第4の領域と接する。第3および第4の領域が、一方がトランジスタのボディ領域であり、他方が素子分離領域である。

10

【0023】

請求項2に記載の本発明は、半導体装置であって、少なくともある期間中にフローティング状態にされる同一の回路ノード内に、第1導電型の第1の不純物領域および第2導電型の第2の不純物領域を備える。第1の不純物領域は、第2の不純物領域以外に少なくとも1つの第2導電型の第3の不純物領域と接している。第2の不純物領域は、第1の不純物領域以外に少なくとも1つの第1導電型の第4の不純物領域と接している。第1の不純物領域と第3の不純物領域との間の電圧が逆方向バイアスにされ、かつ、第2の不純物領域と第4の不純物領域との間の電圧が逆方向バイアスにされる。第1の不純物領域の不純物濃度を第3の不純物領域の不純物濃度よりも濃くし、かつ、第2の不純物領域の不純物濃度を第4の不純物領域の不純物濃度よりも濃くしたことを特徴とする。

20

【0026】

請求項3に記載の本発明は、請求項2に記載の発明において、第1の不純物領域の不純物濃度と、第2の不純物領域の不純物濃度とを等しくしたことを特徴とする。

【0027】

請求項4に記載の本発明は、請求項2に記載の発明において、第1の不純物領域の不純物濃度と、第4の不純物領域の不純物濃度とを等しくし、かつ、第2の不純物領域の不純物濃度と、第3の不純物領域の不純物濃度とを等しくしたことを特徴とする。

【0028】

請求項5に記載の本発明は、請求項2に記載の発明において、第1の不純物領域の不純物濃度の絶対値および第3の不純物領域の不純物濃度の絶対値の積と、第2の不純物領域の不純物濃度の絶対値および第4の不純物領域の不純物濃度の絶対値の積とを等しくしたことを特徴とする。

30

【0029】

請求項6に記載の本発明は、請求項2に記載の発明において、第1の不純物領域および第3の不純物領域の間の逆方向バイアス電圧値と、第2の不純物領域および第4の不純物領域の間の逆方向バイアス電圧値とを等しくしたことを特徴とする。

【0030】

請求項7に記載の本発明は、半導体記憶装置であって、少なくともある期間中にフローティング状態にされるダイナミック型のメモリセルの同一のストレージノード内に、第1導電型の第1の領域および第2導電型の第2の領域を備える。第1の領域は、第2の領域以外に少なくとも1つの第2導電型の第3の領域と接する。第2の領域は、第1の領域以外に少なくとも1つの第2導電型の第4の領域と接する。

40

【0031】

請求項8に記載の本発明は、請求項7に記載の発明において、第3および第4の領域が、一方がトランジスタのボディ領域であり、他方が素子分離領域である。

【0032】

請求項9に記載の本発明は、酸化膜上にSOI活性層を有するSOI基板上に形成されたメモリセルを構成する半導体記憶装置であって、トランスファゲートトランジスタ、第

50

1 導電領域、メモリキャパシタおよびフィールドシールド領域を備える。

【0033】

トランスファゲートトランジスタは、SOI基板上に形成される。このトランスファゲートトランジスタは、トランスファゲート電極、第1導電型のボディ領域および第2導電型の1対のソース・ドレイン領域を含む。

【0034】

トランスファゲート電極は、SOI基板上に形成される。ボディ領域は、トランスファゲート電極下のSOI活性層に形成される。1対のソース・ドレイン領域は、SOI活性層に形成され、ボディ領域を間に挟む態様で設けられる。

【0035】

第1導電領域は、SOI活性層に形成された第1導電型の領域であり、その領域とボディ領域との間に一方のソース・ドレイン領域を挟む態様でそのソース・ドレイン領域に接続されている。

【0036】

メモリキャパシタは、SOI基板上に形成され、上下方向に対向配置された上部電極および下部電極を含む。そのメモリキャパシタの下部電極は、第1導電領域およびその第1導電領域に接続された一方のソース・ドレイン領域に接続されている。

【0037】

フィールドシールド領域は、SOI基板上に形成され、第1導電領域の一部を電気的に分離する。そのフィールドシールド領域は、第2導電領域およびフィールドシールド電極を含む。

【0038】

第2導電領域は、SOI活性層に形成された第2導電型の領域であり、その領域と一方のソース・ドレイン領域との間に第1導電領域を挟む態様でその第1導電領域に接続されている。フィールドシールドゲート電極は、第2導電領域上に形成される。

【0039】

請求項10に記載の本発明は、請求項9に記載の半導体記憶装置に、さらに、分離領域を備える。

【0040】

分離領域は、フィールドシールド領域と交差する方向に延在され、ボディ領域、1対のソース・ドレイン領域、第1導電領域および第2導電領域を挟む態様でそれらの領域を他の領域から電気的に分離する。

【0041】

請求項11に記載の本発明は、請求項10に記載の半導体記憶装置の分離領域が、SOI基板の部分的な熱酸化工程により形成される領域であることを特徴とする。

【0042】

請求項12に記載の本発明は、請求項10に記載の半導体記憶装置の分離領域が、SOI活性層の部分的なエッチング工程により形成されることを特徴とする。

【0043】

請求項13に記載の本発明は、請求項10に記載の半導体記憶装置の分離領域が、SOI活性層を貫通して酸化膜内に達する穴を形成する部分的なエッチング工程およびその形成された穴を絶縁膜により埋める穴埋め工程によって形成される領域であることを特徴とする。

【0044】

請求項14に記載の本発明は、請求項9に記載の発明において、メモリキャパシタの下部電極と、第1導電領域およびその第1導電領域に接続された一方のソース・ドレイン領域との間に介在された金属よりなるパツファ層をさらに備える。

【0045】

請求項15に記載の本発明は、請求項9に記載の発明において、メモリキャパシタの下部電極と、第1導電領域およびその第1導電領域に接続された一方のソース・ドレイン領

10

20

30

40

50

域との間に介在されたバッファ層をさらに備える。そのバッファ層は、下部電極と、第1導電領域およびその第1導電領域に接続された一方のソース・ドレイン領域の間に介在された筒状の金属体と、その金属体の内部に形成されたポリシリコン体とを含む。

【0046】

請求項16に記載の本発明は、請求項9に記載の発明において、トランスファゲートトランジスタおよびメモリキャパシタよりなるメモリセルが、複数行および複数列に配置される。そして、フィールドシールド領域において、各列のメモリセルのそれぞれに対応する第2導電領域が複数行にわたって連なって形成されたことを特徴とする。

【0047】

請求項17に記載の本発明は、請求項16に記載の発明において、複数行にわたって連なって形成された第2導電領域の端部に所定の電位を印加する電位印加手段をさらに備えたことを特徴とする。

10

【0048】

請求項18に記載の本発明は、請求項16に記載の発明において、各列の複数のメモリセルの各々のボディ領域が、複数行にわたって連なって形成されたことを特徴とする。

【0049】

請求項19に記載の本発明は、請求項18に記載の発明において、複数行にわたって連なって形成された第2導電領域の端部に第1の電位を印加する第1の電位印加手段と、複数行にわたって連なって形成されたボディ領域の端部に第2の電位を印加する第2の電位印加手段とをさらに備えたことを特徴とする。

20

【0050】

請求項20に記載の本発明は、酸化膜上にSOI活性層を有するSOI基板上に形成された半導体記憶装置であって、1対のトランスファゲートトランジスタ、第1導電領域、第1のメモリキャパシタ、第2導電領域、第2のメモリキャパシタ、第1のフィールドシールド領域、第2のフィールドシールド領域、ビット線およびビット線コンタクト部を備える。

【0051】

1対のトランスファゲートトランジスタは、SOI基板上に形成され、第1の不純物領域と、第1および第2のボディ領域と、第2の不純物領域と、第3の不純物領域と、第1のトランスファゲート電極と、第2のトランスファゲート電極とを含む。

30

【0052】

第1の不純物領域は、SOI基板上に形成された第1導電型の領域である。第1および第2のボディ領域は、SOI基板上に形成され、第1導電型の第1の不純物領域を間に挟む第2導電型の領域である。第2の不純物領域は、SOI基板上に形成された第1導電型の領域であり、その領域と第1の不純物領域との間に第1のボディ領域を挟み、第1の不純物領域とともに第1の1対のソース・ドレイン領域を構成する。

【0053】

第3の不純物領域は、SOI基板上に形成された第1導電型の領域であり、その領域と第1の不純物領域との間に第2のボディ領域を挟み、第1の不純物領域とともに第2の1対ソース・ドレイン領域を構成する。第1のトランスファゲート電極は、第1のボディ領域のSOI基板上に形成される。第2のトランスファゲート電極は、第2のボディ領域のSOI基板上に形成される。

40

【0054】

第1導電領域は、SOI基板上に形成された第2導電型の領域であり、その領域と第1のボディ領域との間に第2の不純物領域を挟む。第1のメモリキャパシタは、SOI基板上に形成され、上下方向に対向配置された第1の上部電極および第1の下部電極を含み、その第1の下部電極が、第1導電領域および第2の不純物領域に接続されている。

【0055】

第2導電領域は、SOI活性層に形成された第2導電型の領域であり、その領域と第2のボディ領域との間に第3の不純物領域を挟む。第2のメモリキャパシタは、SOI基板上

50

に形成され、上下方向に対向配置された第2の上部電極および第2の下部電極を含み、その第2の下部電極が、第2導電領域および第3の不純物領域に接続されている。

【0056】

第1のフィールドシールド領域は、SOI基板上に形成され、第1導電領域の一部を電氣的に分離するためのものである。その第1のフィールドシールド領域は、第3導電領域と、第1のフィールドシールドゲート電極とを含む。

【0057】

第3導電領域は、SOI活性層上に形成された第1導電型の領域であり、その領域と一方の第1のソース・ドレイン領域との間に第1導電領域を挟む態様でその第1導電領域に接続されている。第1のフィールドシールドゲート電極は、第3導電領域上に形成される

10

【0058】

第2のフィールドシールド領域は、SOI基板上に形成され、第2導電領域の一部を電氣的に分離するためのものである。その第2のフィールドシールド領域は、第4導電領域と、第2のフィールドシールドゲート電極とを含む。

【0059】

第4導電領域は、SOI活性層上に形成された第1導電型の領域であり、その領域と一方の第2のソース・ドレインとの間に第2導電領域を挟む態様でその第2導電領域に接続されている。第2のフィールドシールドゲート電極は、第4導電領域上に形成されている

20

【0060】

ビット線は、SOI基板の上方に形成されている。ビット線コンタクト部は、ビット線および第1の不純物領域の間に介在される。

【0061】

請求項21に記載の本発明は、半導体記憶装置の製造方法であって、以下の工程を備える。

【0062】

半導体基板上に絶縁層を介在して第2導電型のSOI活性層を形成する。SOI活性層の第1の領域上にゲート絶縁層を介在してフィールドシールドゲート電極を形成する。フィールドシールドゲート電極をマスクとして用いてSOI活性層内に第1導電型の不純物を注入することによって、1対の第1の不純物領域を形成する。第1の不純物領域が形成されたSOI活性層の第2の領域上にゲート絶縁層を介在してトランスファゲート電極を形成する。フィールドシールドゲート電極とトランスファゲート電極とに挟まれた領域下の第1の不純物領域におけるフィールドシールドゲート電極側の一部表面を覆うマスク層を形成する。マスク層およびトランスファゲート電極をマスクとして用いて第2導電型の不純物をSOI活性層内に注入することによって、第1の不純物領域内に第2の不純物領域を形成する。

30

【0063】

請求項22に記載の本発明は、請求項21に記載の半導体記憶装置の製造方法において、マスク層が、フィールドシールドゲート電極を覆うレジストパターンであることを特徴とする。

40

【0064】

請求項23に記載の本発明は、請求項21に記載の半導体記憶装置の製造方法において、マスク層が、フィールドシールドゲート電極の側壁に形成されたサイドウォール絶縁膜であることを特徴とする。

【0065】

【作用】

請求項1に記載の本発明によれば、同一の回路ノード内に、第1導電型の第1の領域および第2導電型の第2の領域が設けられている。このため、同一の回路ノード内に異なる導電型の2つの領域が設けられる。

50

【0066】

第1の領域は、第2の領域以外に第2導電型の第3の領域と接しており、第2の領域は、第1の領域以外に第1導電型の第4の領域と接している。このため、第1の領域および第3の領域の間と、第2の領域および第4の領域の間とでともにPN接合によるリーク電流が生じる。

【0067】

この場合のリーク電流は、同一の回路ノードに流れ込む電流と、その回路ノードから流れ出す電流である。このようにそれらの電流は相反する方向に流れる。したがって、フローティング状態にされた回路ノードの蓄積電荷を消滅させる方向のリーク電流が流れるが、それとともに、逆にその蓄積電荷の消滅を阻止する方向の電流が流れる。

10

【0068】

このため、リーク電流に起因する回路ノードの蓄積電荷の消滅が防がれるか、または、蓄積電荷が消滅するまでの時間が長くなる。したがって、このような構成をメモリセルに適用した場合には、リーク電流に起因する記憶データの消滅が防がれるか、または、記憶データが消滅するまでの時間が長くなる。

【0069】

そして、第3の領域および第4の領域が、一方がトランジスタのボディ領域であり、他方が素子分離領域である場合に、リーク電流に起因する回路ノードの電荷の消滅が防がれるか、または、その電荷が消滅するまでの時間が長くなる。したがって、メモリセルに適用した場合には、リーク電流に起因する記憶データの消滅が防がれるか、または、記憶データが消滅するまでの時間が長くなる。

20

【0070】

請求項2に記載の本発明によれば、第1の不純物領域は、第2の不純物領域以外に、異なる導電型の第3の不純物領域と接しており、第2の不純物領域は、第1の不純物領域以外に、異なる導電型の第4の不純物領域と接している。

【0071】

このため、第1の不純物領域および第3の不純物領域と、第2の不純物領域および第4の不純物領域とがともにPN接合されている。これにより、第1および第2の不純物領域が設けられた回路ノードの位置を基準とした場合に、接合の向きが相反する2つのPN接合領域が形成されることになる。

30

【0072】

そして、第1の不純物領域と、第3の不純物領域との間の電圧が逆方向バイアスにされ、第2の不純物領域と、第4の不純物領域との間の電圧が逆方向バイアスにされる。したがって、第1の不純物領域および第3の不純物領域の間と、第2の不純物領域および第4の不純物領域の間とでともにPN接合によるリーク電流が生じる。

【0073】

この場合のリーク電流は、同一の回路ノードに流込む電流と、その回路ノードから流出する電流である。このように、それらの電流は相反する方向に流れる。したがって、フローティング状態にされた回路ノードの蓄積電荷を消滅させる方向のリーク電流が流れるが、それとともに、逆にその蓄積電荷の消滅を阻止する方向の電流が流れる。

40

【0074】

このため、リーク電流に起因する回路ノードの蓄積電荷の消滅が防がれるか、または、蓄積電荷が消滅するまでの時間が長くなる。したがって、このような構成をメモリセルに適用した場合には、リーク電流に起因する記憶データの消滅が防がれるか、または、記憶データが消滅するまでの時間が長くなる。

【0075】

そして、第1の不純物領域の不純物濃度が第3の不純物領域の不純物濃度よりも濃くされ、かつ、第2の不純物領域の不純物濃度が第4の不純物領域の不純物濃度よりも濃くされる。このように第1および第2の不純物領域の不純物濃度が濃くされると、それらの領域が設けられた回路ノードに導電体が接続される場合には、その導電体と、その回路ノ

50

ドとの間で容易にオーミックコンタクトをとり得る。

【0076】

請求項3に記載の本発明によれば、第1および第2の不純物領域の不純物濃度がそれぞれ第3および第4の不純物濃度よりも濃いという条件下で、第1の不純物領域の不純物濃度と、第2の不純物領域の不純物濃度とが等しいため、第1および第3の不純物領域の間で生じるリーク電流と、第2および第4の不純物領域の間で生じるリーク電流とを等しくし得る。

【0077】

このように、第1および第2の不純物領域のそれぞれの不純物濃度の関係を規定することにより、回路ノードの蓄積電荷の消滅をさらに抑制し得る。

10

【0078】

請求項4に記載の本発明によれば、第1および第4の不純物領域のそれぞれの不純物濃度が、等しくされ、かつ、第2および第3の不純物領域のそれぞれの不純物濃度が等しくされる。このため、第1および第3の不純物領域の不純物濃度の関係と、第2および第4の不純物領域の不純物濃度の関係とを等しくし得る。したがって、第1および第3の不純物領域の間で生じるリーク電流と、第2および第4の不純物領域の間で生じるリーク電流とを等しくし得る。

【0079】

このように、各不純物領域の濃度の関係を規定することにより、第1および第3の不純物領域の間の電圧の規定と、第1および第4の不純物領域の間の電圧の規定とによる回路ノードの蓄積電荷の消滅の抑制効果に加えて、回路ノードの蓄積電荷の消滅をさらに抑制し得る。

20

【0080】

請求項5に記載の本発明によれば、第1および第3の不純物領域のそれぞれの不純物濃度の絶対値の積と、第2および第4の不純物領域のそれぞれの不純物濃度の絶対値の積とを等しくすることは、第1および第3の不純物領域の間で生じるリーク電流と、第2および第4の不純物領域の間で生じるリーク電流とを等しくし得る条件である。したがって、このように、各不純物領域の不純物濃度の関係を規定することにより、第1および第3の不純物領域の間の電圧の規定と、第2および第4の不純物領域の間の電圧の規定とによる回路ノードの蓄積電荷の消滅の抑制効果に加えて、回路ノードの蓄積電荷の消滅をさらに抑制し得る。

30

【0081】

請求項6に記載の本発明によれば、第1および第3の不純物領域の間の逆方向バイアス電圧値と、第2および第4の不純物領域の間の逆方向バイアス電圧値とが等しくされる。

【0082】

このため、このような逆方向バイアス電圧値の規定により、第1および第3の不純物領域の間で生じるリーク電流と、第2および第4の不純物領域の間で生じるリーク電流とを等しくし得る。このように2つの逆方向バイアス電圧値の関係を規定することにより、回路ノードの蓄積電荷の消滅をさらに抑制し得る。

【0083】

請求項7に記載の本発明によれば、同一のストレージノード内に、第1導電型の第1の領域および第2導電型の第2の領域が設けられている。このため、同一のストレージノード内に異なる導電型の領域が2つ設けられる。

40

【0084】

第1の領域は、第2の領域以外に第2導電型の第3の領域と接しており、第2領域は、第1の領域以外に第1導電型の第4の領域と接している。このため、第1の領域および第3の領域の間と、第2の領域および第4の領域の間とでともにPN接合によりリーク電流が生じる。

【0085】

この場合のリーク電流は、同一のストレージノード内に流れ込む電流と、そのストレージ

50

ノードから流れ出す電流である。このようにそれらの電流は相反する方向に流れる。

【0086】

したがって、フローティング状態にされたストレージノードの蓄積電荷を消滅される方向のリーク電流が流れるが、それとともに、逆にその蓄積電荷の消滅を阻止する方向の電流が流れる。

【0087】

このため、リーク電流に起因する記憶データの消滅が防がれるか、または、記憶データが消滅するまでの時間が長くなる。

【0088】

請求項8に記載の本発明によれば、第3および第4の領域が、一方がトランジスタのボディ領域であり、他方が素子分離領域である。このため、ストレージノード内の第1および第2の領域にトランジスタのボディ領域および素子分離領域が接している構成において、請求項3と同様に、リーク電流に起因する記憶データの消滅が防がれるか、または、記憶データが消滅するまでの時間が長くなる。

10

【0089】

請求項9に記載の本発明によれば、キャパシタの下部電極が、第1導電型の第1の導電領域および第2導電型の一方のソース・ドレイン領域に共通に接続されている。

【0090】

その一方のソース・ドレイン領域は、トランスファゲートトランジスタにおける第1導電型のボディ領域に接続されている。一方、第1の導電領域は、フィールドシールド領域における第2導電型の第2導電領域に接続されている。

20

【0091】

したがって、下部電極が接続された領域においては、ソース・ドレイン領域およびボディ領域の間と、第1導電領域および第2導電領域の間とで、ともにPN接合によるメモリセルのリーク電流が生じる。

【0092】

この場合のリーク電流は、下部電極が接続された領域に流込む電流と、その領域から流出する電流とである。このように、それらのリーク電流は、相反する方向に流れる。つまり、キャパシタの蓄積電荷を消滅させる方向のリーク電流が流れるが、それとともに、逆にその蓄積電荷の消滅を阻止する方向の電流が流れる。

30

【0093】

このため、リーク電流に起因する記憶データの消滅が防がれるか、または、記憶データが消滅するまでの時間が長くなる。

【0094】

請求項10に記載の本発明によれば、ボディ領域、1対のソース・ドレイン領域、第1導電領域および第2導電領域は、フィールドシールド領域と交差する方向に延在された分離領域に挟まれた態様で素子分離される。

【0095】

ボディ領域等のそれらの領域は、フィールドシールド領域の延在方向と直交する方向に沿う両端部が、第1導電型の領域および第2導電型の領域が交互に形成されている態様となっている。このため、それらの端部は、フィールドシールド領域では完全に素子分離できない。

40

【0096】

したがって、分離領域が設けられることにより、それらの端部の素子分離が完全に行なえる。

【0097】

請求項11に記載の本発明によれば、ボディ領域、1対のソース・ドレイン領域、第1導電領域および第2導電領域におけるフィールドシールド領域の延在方向と直交する方向に沿う両端部が、SOI基板の部分的な熱酸化工程により形成される分離領域によって素子分離される。このため、それらの端部の素子分離が完全に行なえる。

50

【0098】

請求項12に記載の本発明によれば、ボディ領域、1対のソース・ドレイン領域、第1導電領域および第2導電領域におけるフィールドシールド領域の延在方向と直交する方向に沿う両端部が、SOI活性層の部分的なエッチング工程により形成される分離領域によって素子分離される。したがって、それらの端部の素子分離が完全に行なえる。

【0099】

請求項13に記載の本発明は、ボディ領域、1対のソース・ドレイン領域、第1導電領域および第2導電領域におけるフィールドシールド領域の延在方向と交差する方向に沿う両端部が、次のような分離領域によって素子分離される。すなわち、SOI活性層を貫通して酸化膜内に達する穴を形成する部分的なエッチング工程およびその形成された穴を絶縁膜により埋める穴埋め工程によって形成される分離領域である。したがって、それらの端部の素子分離が完全に行なえる。

10

【0100】

請求項14に記載の本発明によれば、メモリキャパシタの下部電極と、第1導電領域およびその第1導電領域に接続された一方のソース・ドレイン領域との間に金属のバッファ層が設けられた。このため、その下部電極と、第1導電領域および一方のソース・ドレイン領域との間のオーミックコンタクトが容易にとれる。

【0101】

請求項15に記載の本発明によれば、メモリキャパシタの下部電極と、第1導電領域および一方のソース・ドレイン領域との間に設けられたバッファ層が、内部にポリシリコン体を形成した筒状の金属体で構成される。このため、その下部電極と、第1導電領域および一方のソース・ドレイン領域との間のオーミックコンタクトが容易にとれる。

20

【0102】

請求項16に記載の本発明によれば、フィールドシールド領域における第2導電領域が複数行にわたって連なって形成されるため、各行の第2導電領域に同じ電位を印加し得る。

【0103】

請求項17に記載の本発明によれば、フィールドシールド領域において、複数行にわたって連なって形成された第2導電領域の端部に電位印加手段から電位を印加することにより、具体的に、各行の第2導電領域に同じ電位が印加される。したがって、キャパシタの蓄積電荷の消滅を抑制するための適正な電位を各行の第2導電領域に印加し得る。

30

【0104】

請求項18に記載の本発明によれば、複数のメモリセルの各々のトランスファゲートトランジスタのボディ領域が複数行にわたって連なって形成される。このため、各行のメモリセルのボディ領域に同じ電位を印加し得る。

【0105】

請求項19に記載の本発明によれば、フィールドシールド領域において複数行にわたって連なって形成された第2導電領域の端部に第1の電位印加手段から第1の電位を印加することにより、具体的に、各行の第2導電領域に同じ電位が印加される。さらに、複数行にわたって形成されたトランスファゲートトランジスタのボディ領域の端部に第2の電位印加手段から電位を印加することにより、具体的に、各行のボディ領域に同じ電位が印加される。

40

【0106】

したがって、キャパシタの蓄積電荷の消滅を抑制するための適正な第1および第2の電位をそれぞれ各行の第2導電領域および各行のボディ領域に印加し得る。

【0107】

請求項20に記載の本発明によれば、1対のトランスファゲートトランジスタの一方と、第1のメモリキャパシタとによって1つのメモリセルが構成される。また、1対のトランスファゲートトランジスタの他方と、第2のメモリキャパシタとによって1つのメモリセルが構成される。各メモリセルのキャパシタは、下部電極が、第1導電型の導電領域お

50

よび対応する第2導電型の一方向のソース・ドレイン領域に共通に接続されている。

【0108】

その一方のソース・ドレイン領域は、第1導電型のボディ領域に接続されている。一方、その第1導電型の導電領域は、フィールドシールド領域における第2導電型の領域に接続されている。

【0109】

したがって、各メモリセルの下部電極が接続された領域においては、ソース・ドレイン領域およびボディ領域の間と、第1導電型の導電領域および第2導電型の導電領域の間とで、ともにPN接合によるメモリセルのリーク電流が生じる。この場合のリーク電流は、下部電極が接続された領域に流込む電流と、その領域から流出す電流とである。このように、それらのリーク電流は、相反する方向に流れる。つまり、キャパシタの蓄積電荷を消滅させる方向のリーク電流が流れるが、それとともに、逆にその蓄積電荷の消滅を阻止する方向の電流が流れる。

10

【0110】

このため、各メモリセルにおいて、リーク電流に起因する記憶データの消滅が防がれるか、または、記憶データが消滅するまでの時間が長くなる。

【0111】

このような構成の2つのメモリセルにおいて、第1の1対のソース・ドレイン領域および第2の1対のソース・ドレイン領域では、第1導電型の第1の不純物領域がそれらの第1および第2のソース・ドレイン領域の一方向の領域を構成する。すなわち、第1の不純物領域が、2つのメモリセルにおいて共有される。

20

【0112】

さらに、ビット線と、第1の不純物領域の間に介在されたビット線コンタクト部が、2つのメモリセルで共有される。したがって、このような構成の半導体記憶装置において、1つのビット線コンタクト部が共有されることにより、レイアウト面積を削減し得る。

【0113】

請求項21に記載の本発明によれば、まず、フィールドシールドゲート電極下の領域を除くSOI活性層が、第1導電型の第1の不純物領域にされる。

【0114】

そして、フィールドシールドゲート電極とトランスファゲート電極とに挟まれた領域下のフィールドシールドゲート電極側の第1の不純物領域の部分がマスク層によって覆われる。

30

【0115】

そして、マスク層およびトランスファゲート電極がマスクとして用いられて第2導電型の不純物がSOI活性層内に注入される。

【0116】

このため、フィールドシールドゲート電極と、トランスファゲート電極とに挟まれた領域下のSOI活性層は、フィールドシールドゲート電極側が第1導電型になり、一方、トランスファゲート電極側が第2導電型になる。

【0117】

したがって、トランスファゲート電極を有するMOSトランジスタと、フィールドシールドゲート電極を有するフィールドシールドとがSOI活性層内において、異なる導電型の領域で接続された構造を作ることが可能である。

40

【0118】

このため、SOI活性層内の異なる導電型の領域に、共通に下部電極が接続されるメモリキャパシタを設けることが可能になる。

【0119】

請求項22に記載の本発明によれば、フィールドシールドゲート電極およびSOI活性層の一部表面をマスク層で覆う工程において、レジストパターンがマスク層として使用される。

50

【0120】

このため、レジストパターンを用いて、SOI活性層内に、第1導電型の領域と、第2導電型の領域とが接続された領域を形成することができる。

【0121】

請求項23に記載の本発明によれば、フィールドシールドゲート電極およびSOI活性層の一部をマスク層で覆う工程において、フィールドシールドゲート電極の側壁に形成されたサイドウォール絶縁膜がマスク層として使用される。

【0122】

このため、サイドウォール絶縁膜を用いて、SOI活性層内に、第1導電型の領域と第2導電型の領域とが接続された領域を形成することができる。

10

【0123】

【実施例】

次に、この発明の実施例を図面に基づいて詳細に説明する。

【0124】

第1実施例

図1は、この発明の第1実施例によるSOI構造のDRAMのメモリセルの構成を示す断面図である。この図1には、ビット線BLに沿った断面が示される。

【0125】

図1を参照して、シリコン基板61上に酸化膜である絶縁層62を介在してSOI活性層63が形成されている。これらのシリコン基板61、絶縁層62およびSOI活性層63

20

によってSOI基板6が構成される。

【0126】

SOI活性層63上には、ワード線(WL)を構成するトランスファゲート電極1と、フィールドシールドゲート電極7とがそれぞれゲート絶縁膜10、71を介してSOI活性層上に配置され、互いに所定距離を隔てて形成されている。

【0127】

SOI活性層63内には、N⁺型の1対のソース・ドレイン領域21および22が形成されている。そのソース・ドレイン領域21および22の間のSOI活性層63内には、トランスファゲートトランジスタ(以下、トランジスタと呼ぶ)TRのボディ領域23が形成されている。そのボディ領域23は、P型の領域である。このボディ領域23上にゲート絶縁膜10を介在してトランスファゲート電極1が存在する。

30

【0128】

フィールドシールドゲート電極7下には、ゲート絶縁膜71を介在してN型の領域25が形成されている。これらのフィールドシールドゲート電極7および領域25によって、フィールドシールド分離領域FSが構成されている。SOI活性層63内において、一方のソース・ドレイン領域22と、領域25との間には、P型の不純物領域24が形成されている。

【0129】

すなわち、トランスファゲート電極1と、フィールドシールドゲート電極7との間の下のSOI活性層63内の領域には、トランスファゲート電極1の側に一方のソース・ドレイン領域22が形成され、フィールドシールドゲート電極7の側に不純物領域24が形成されている。

40

【0130】

トランスファゲート電極1およびフィールドシールドゲート電極7は、各々が層間絶縁層811および81によって覆われている。また、フィールドシールドゲート電極7上には、層間絶縁層81を介在して他のワード線11が形成されている。そのワード線11は、層間絶縁層82によって覆われている。さらに、層間絶縁層82は、層間絶縁層83によって覆われている。

【0131】

一方のソース・ドレイン領域22および不純物領域24には、ストレージノード(下部電

50

極) 5 1 が共通に接続されている。このストレージノード 5 1 は、トランスファゲート電極 1、フィールドシールドゲート電極 7 およびワード線 1 1 のそれぞれの上方を覆うような態様で形成されている。

【 0 1 3 2 】

また、ストレージノード 5 1 上には、誘電体膜 (図示せず) を介在してセルプレート (上部電極) 5 2 が形成されている。さらに、セルプレート 5 2 上には、層間絶縁層 8 4 が形成されている。

【 0 1 3 3 】

他方のソース・ドレイン領域 2 1 には、ビット線 B L との接触をとるための中間層 8 5 が接続されている。この中間層 8 5 は、層間絶縁層 8 1 および 8 4 を覆うような態様で形成されている。中間層 8 5 および層間絶縁層 8 4 のそれぞれの上には、層間絶縁層 8 6 が形成されている。

10

【 0 1 3 4 】

層間絶縁層 8 6 上には、ビット線 B L が延在されている。このビット線 B L は、一部が中間層 8 5 に接続されている。ビット線 B L 上には、層間絶縁層 8 7 を介在してアルミニウム線 8 8 , 8 8 , ... が形成されている。このアルミニウム線 8 8 , 8 8 , ... は、ワード線 W L の抵抗を軽減するために、一部がワード線 W L に接続されているものである。

【 0 1 3 5 】

次に、図 1 に示されるメモリセルの要部を説明する。

図 2 は、図 1 のメモリセルの一部を平面視した場合の平面図である。

20

【 0 1 3 6 】

図 2 を参照して、トランスファゲート電極 1 と、フィールドシールドゲート電極 7 とが平行に延在される。トランスファゲート電極 1 の延在方向の直交する方向に、トランスファゲート電極 1 を挟んでソース・ドレイン領域 2 1 および 2 2 が配置される。フィールドシールドゲート電極 7 の延在方向と直交する方向に、フィールドシールドゲート電極 7 を挟んで不純物領域 2 4 および 2 6 が配置される。

【 0 1 3 7 】

一方のソース・ドレイン領域 2 2 と、不純物領域 2 4 とは接触しており、不純物領域 2 6 と不純物領域 2 7 とは接触している。これらの領域 2 1 , 2 2 , 2 4 , 2 6 および 2 7 は、トランスファゲート電極 1 およびフィールドシールドゲート電極 7 の延在方向と直交する方向に延在された素子分離領域 4 , 4 によって挟まれる態様で素子分離されている。

30

【 0 1 3 8 】

図 3 は、図 2 の A - A 線に沿う断面図である。この図 3 においては、メモリセルの要部の構成が簡単に示される。

【 0 1 3 9 】

図 3 を参照して、S O I 活性層 6 3 内のボディ領域 2 3 の上に、ゲート絶縁膜 1 0 を介在してトランスファゲート電極 1 が形成されている。また、S O I 活性層 6 3 内の領域 2 5 の上に、ゲート絶縁膜 7 1 を介在してフィールドシールドゲート電極 7 が形成されている。S O I 活性層 6 3 内においては、領域 2 1 , 2 3 , 2 2 , 2 4 , 2 5 , 2 6 および 2 7 が一方向に連なって形成されている。

40

【 0 1 4 0 】

図 4 は、図 2 の B - B 線に沿う断面図である。

図 4 を参照して、絶縁層 6 2 上に S O I 活性層 6 3 が形成されている。S O I 活性層 6 3 の素子分離領域 4 , 4 に、フィールド酸化膜 9 , 9 がそれぞれ形成されている。この素子分離領域 4 , 4 は、S O I 基板 6 の部分的な、熱酸化工程により形成される。S O I 活性層 6 3 およびフィールド酸化膜 9 , 9 の表面上には、ゲート酸化膜 7 1 を介在してフィールドシールドゲート電極 7 が形成されている。

【 0 1 4 1 】

このように、フィールドシールドゲート電極 7 と、素子分離領域 4 , 4 のそれぞれとの交差点においては、フィールドシールドゲート電極 7 が、素子分離領域 4 , 4 の上方に配置

50

されている。

【0142】

次に、この実施例によるメモリセルの製造方法について説明する。以下に、2種類の製造方法を説明する。

【0143】

図5は、メモリセルの第1の製造方法を工程順に示す概略断面図である。この図5においては、(a)~(c)に主な工程を示してある。

【0144】

図5を参照して、(a)に示される工程においては、シリコン基板61上に絶縁層62およびSOI活性層63が形成される。SOI活性層63の導電型はN型である。

10

【0145】

SOI活性層63の所定領域上には、ゲート酸化膜71を介在してフィールドシールドゲート電極7が形成される。このフィールドシールドゲート電極7およびゲート酸化膜71は、所定形状にパターニングされる。

【0146】

そして、フィールドシールドゲート電極7をマスクとして用いて、SOI活性層63内にP型のイオンが注入される。これにより、1対のP型の不純物領域24および26が形成される。

【0147】

次に、図5における(b)に示される工程においては、不純物領域24および26上にそれぞれトランスファゲート電極1,1が形成される。このトランスファゲート電極1,1は、所定形状にパターニングされる。さらに、フィールドシールドゲート電極7上には、層間絶縁層を介在して所定形状にパターニングされた別のトランスファゲート電極11が形成される。

20

【0148】

そして、トランスファゲート電極1,1と、フィールドシールドゲート電極7およびトランスファゲート電極11を覆うようにレジストが形成される。そのレジストが、次のようにパターニングされる。

【0149】

すなわち、トランスファゲート電極1については、トランスファゲート電極の両側面に沿うようにパターニングがなされることにより、トランスファゲート電極1上にレジストパターンRが残る。

30

【0150】

一方、フィールドシールドゲート電極7およびトランスファゲート電極11については、フィールドシールドゲート電極7の両側面から不純物領域24および26のそれぞれの一部表面上を覆い、かつ、フィールドシールドゲート電極7およびトランスファゲート電極11を覆うような形状のレジストパターンRが残るようにパターニングがなされる。

【0151】

そして、これらのレジストパターンRをマスクとして用いて、N⁺型のイオンが注入される。これにより、SOI活性層63内において、P型のボディ領域23を規定するN⁺型のソース・ドレイン領域21および22が形成される。それとともに、N型の領域25を規定するP型の1対の不純物領域24および26が形成される。

40

【0152】

このようなイオン注入により、トランスファゲート電極1下のボディ領域23と、フィールドシールドゲート電極7下の不純物領域25との間にN⁺型の領域22およびP⁺型の領域24が形成される。これらの領域22および24は、接触している。

【0153】

次に、図5における(c)に示されるように、レジストパターンRが除去されることにより、図3の構成のメモリセルが形成される。

【0154】

50

次に、この実施例によるメモリセルの別の製造方法である第2の製造方法について説明する。

【0155】

図6は、この実施例によるメモリセルの第2の製造方法を工程順に示す概略断面図である。

【0156】

図6を参照して、図6の(a)および(c)に示されるそれぞれの工程では、図5の(a)および(c)に示される工程と同様の処理が行なわれる。したがって、図6における製造方法が、図5に示された製造方法と異なるのは、(b)の工程である。

【0157】

図6の(b)の工程について説明する。(a)に示される工程が終了した後、まず、フィールドシールドゲート電極7を覆うように、たとえばCVD法によって酸化膜が形成される。そして、その酸化膜に異方性エッチング処理を施すことにより、フィールドシールドゲート電極7の側面にサイドウォールSが形成される。

【0158】

その後、不純物領域24および26上に、それぞれゲート酸化膜10を介在してトランスファゲート電極1,1が形成される。このトランスファゲート電極1,1は、所定形状にパターンニングされる。さらに、フィールドシールドゲート電極7上には、層間絶縁層を介在して、所定形状にパターンニングされた別のトランスファゲート電極11が形成される。

【0159】

そして、サイドウォールSをマスクとして用いて、 N^+ 型のイオンが注入される。これにより、SOI活性層63内において、P型のボディ領域23を規定する N^+ 型のソース・ドレイン領域21および22が形成される。それとともに、N型の領域25を規定するP型の1対の不純物領域24,26が形成される。

【0160】

このように、第2の製造方法においては、フィールドシールドゲート電極7のサイドウォールSをマスクとして用いてイオン注入を行なうことにより、第1の製造方法と同様に、図3と同じ構成のメモリセルが形成される。

【0161】

次に、図1等に示したこの実施例によるメモリセルの動作についての特徴を等価回路図を用いて説明する。図7は、この実施例によるメモリセルの等価回路図である。

【0162】

図7を参照して、このメモリセルを等価的に示すと、メモリセルは、トランスファゲートトランジスタTR、メモリキャパシタCならびにダイオードD1およびD2を含む。

【0163】

ビット線BLと、キャパシタCとの間にトランジスタTRが接続される。トランジスタTRは、ワード線WLを構成するトランスファゲート電極が受ける電位に応答して動作される。キャパシタCは、セルプレートにセルプレート電位 V_{cp} を受ける。

【0164】

キャパシタCのストレージノード51には、ダイオードD1およびD2が接続される。ダイオードD1はカソードが、ダイオードD2は、アノードがストレージノード51に接続されている。ダイオードD1は、アノードに基板電位(Lレベル) V_{BB} を受ける。ダイオードD2は、カソードに電源電位 V_{cc} を受ける。

【0165】

ここで、ダイオードD1は、図1等に示される N^+ 型のソース・ドレイン領域22と、ボディ領域23および素子分離領域を含むP型の領域とのPN接合部分において生じるメモリセルのリーク電流を等価的に示す素子である。

【0166】

また、ダイオードD2は、図1等に示される P^+ 型の領域24と、N型の領域25とのPN接合部分において生じるメモリセルのリーク電流を等価的に示す素子である。この図7

10

20

30

40

50

に示されるメモリセルには、Hレベル (V_{cc}) またはLレベル ($0V$) の電荷が蓄積される。

【0167】

次に、図7の等価回路の動作を説明する。

図8は、この実施例によるメモリセルのストレージノード51の電位変化を示すグラフである。

【0168】

この図8においては、縦軸にストレージノード51の電位 V 、横軸に経過時間 t をそれぞれ取り、これらの関係を2種類の電荷蓄積状態 (HレベルおよびLレベル) について説明する。その2種類とは、メモリセルにHレベルの電荷が蓄積されている場合と、メモリセルにLレベルの電荷が蓄積されている場合との2種類である。

10

【0169】

以下の説明においては、図7および図8を参照して、メモリセルのリーク電流を主に説明する。

【0170】

まず、メモリセルにHレベル (V_{cc}) の電荷が蓄積されている場合について説明する。この場合には、ストレージノード51の電位が V_{cc} である。

【0171】

ストレージノード51の電位が V_{cc} であると、ダイオードD1には、逆方向バイアスが印加される。このため、ダイオードD1に逆方向リーク電流が流れる。その電流が、領域22および23のPN接合部分において生じるメモリセルのリーク電流である。そして、そのリーク電流によって、ストレージノード51の電位 V が電源電位 V_{cc} から下降していく。

20

【0172】

このように、ストレージノード51の電位が下がっていくと、ダイオードD2に逆バイアスが印加される。このため、ダイオードD2には弱い逆方向電流が流れる。その逆方向電流が、領域24および25のPN接合部分において生じるメモリセルのリーク電流である。

【0173】

このように、メモリセルにHレベルが書込まれている場合には、ダイオードD1の順方向電流で示されるメモリセルのリーク電流がストレージノード51から流れ出すとともに、ダイオードD2の逆方向電流で示されるメモリセルのリーク電流がストレージノード51に流れ込む。

30

【0174】

この場合には、流れ出すリーク電流よりも流れ込むリーク電流が小さい。そして、この場合には、流れ込むリーク電流によるストレージノード51の電位の上昇効果が、流れ出すリーク電流によるストレージノード51の電位の下降効果を抑制する。

【0175】

このため、図8の上側の曲線に示されるように、ストレージノード51の電位 V は、 V_{cc} から $V_{cc}/2$ に向かってゆっくりと下降する。

40

【0176】

したがって、この場合のストレージノード51の電位の下降は、図13に示される従来のものの電位の下降よりも緩やかになる。このため、ストレージノード51の電位 V が、リフレッシュが必要になる電位 ($V_{cc}/2 + V$) に至るまでの時間 t_{REF2} は、従来よりも長くなる。

【0177】

その結果、この実施例によるメモリセルでは、リフレッシュ動作を実行するリフレッシュ周期を長くすることができ、リフレッシュ特性が改善される。

【0178】

逆に、メモリセルにおいて、Lレベル ($0V$) の電荷が蓄積されている場合、ストレージ

50

ノード51の電位は、図8の下側の曲線に示されるように、0Vから $V_{cc}/2$ に向けてゆっくりと上昇する。したがって、この場合においても、リフレッシュ特性が改善される。

【0179】

なお、この実施例においては、NチャネルMOSトランジスタによりトランスファゲートトランジスタが構成されたメモリセルを示した。しかし、これに限らず、本発明は、PチャネルMOSトランジスタによりトランスファゲートトランジスタが構成されたメモリセルにも適用可能である。

【0180】

素子分離領域のその他の実施例

10

次に、図2および図4に示される素子分離領域4, 4のその他の実施例について説明する。図2に示される素子分離領域4, 4は、図4に示されるようなフィールド酸化膜9による分離方式を用いたが、その素子分離方式は、以下に示すような方式であってもよい。以下に、素子分離領域4, 4のその他の分離方式について説明する。

【0181】

図9は、*mesa*分離方式と呼ばれるその他の素子分離方式を用いた場合の図2のB-B線に沿う断面図である。

【0182】

図9を参照して、この場合の素子分離領域4, 4は、SOI活性層63の一部をパターニングした構成を有する。パターニングされた領域内には、フィールドシールドゲート電極7が設けられる。この場合の素子分離領域4, 4は、SOI活性層63の部分的なエッチング工程により形成される。

20

【0183】

図10は、*trench*分離方式と呼ばれるその他の素子分離方式を用いた場合の図2のB-B線に沿う断面図である。

【0184】

図10を参照して、この場合の素子分離領域4, 4においては、ゲート絶縁膜71およびSOI活性層63を貫通して絶縁層62内に達する溝(穴)の中に埋込み酸化膜91, 91が形成される。この素子分離領域4, 4は、ゲート絶縁膜71およびSOI活性層63を貫通して絶縁層62に達する穴を形成する部分的なエッチング工程と、その穴を埋込み酸化膜91, 91により埋める穴埋め工程によって形成される。

30

【0185】

このように、素子分離領域4, 4は、フィールド酸化膜9, 9を用いた分離方式に限定されるものではない。また、以上の第1実施例においてP型領域と、N型領域とは、互に入れ替わった構造でも同様に適用できる。

【0186】

第2実施例

次に、第2実施例について説明する。この第2実施例では、隣り合う2つのメモリセルでビット線に対するコンタクト部分を共有した例について説明する。なお、そのような構成は、図1にも示されているが、ここでは、その構成を詳細に説明する。

40

【0187】

図11は、第2実施例によるSOI構造のDRAMのメモリセルの構成を示す平面図である。図11において図2と共通する部分には同一の参照符号を付し、その説明を適宜省略する。

【0188】

図11において特徴的な構成は、ソース・ドレイン領域21が、2つのメモリセルMC1およびMC2で共有されている部分である。そのような構成を具体的に説明すると次のとおりである。

【0189】

2つのメモリセルMC1およびMC2が隣接して配置されている。さらに、それらのメモ

50

リセルMC1およびMC2を間に挟む態様でフィールドシールド分離領域FS1およびFS2が配置されている。

【0190】

メモリセルMC1のトランスマグネット電極1a、メモリセルMC2のトランスマグネット電極1b、フィールドシールド分離領域FS1のフィールドシールドゲート電極7aおよびフィールドシールド分離領域FS2のフィールドシールドゲート電極7bは、それぞれ平行に延在されている。

【0191】

フィールドシールド分離領域FS1は、メモリセルMC1と隣り合って配置され、フィールドシールド分離領域FS2は、メモリセルMC2と隣り合って配置される。

10

【0192】

メモリセルMC1は、トランスマグネット電極1aと、ソース・ドレイン領域21, 22および不純物領域24を含む。ソース・ドレイン領域21および22は、N⁺型の不純物領域であり、トランスマグネット電極1bの両側に配置される。

【0193】

フィールドシールド分離領域FS1のフィールドシールドゲート電極7aの両側にP⁺型の不純物領域24および26が配置される。不純物領域24は、ソース・ドレイン領域22と接続されている。不純物領域26は、他のメモリセルのN⁺型のソース・ドレイン領域27と接続されている。

【0194】

メモリセルMC2は、トランスマグネット電極1b、ソース・ドレイン領域21, 32および不純物領域34を含む。ソース・ドレイン領域21は、メモリセルMC1およびMC2で共有されている。ソース・ドレイン領域32は、N⁺型の不純物領域である。

20

【0195】

ソース・ドレイン領域21および32は、トランスマグネット電極1bの両側に配置されている。フィールドシールド分離領域FS1のフィールドシールドゲート電極7bの両側にP⁺型の不純物領域34および36が配置されている。不純物領域34は、ソース・ドレイン領域32と接続されている。不純物領域36は、他のメモリセルのN⁺型のソース・ドレイン領域37と接続されている。

【0196】

フィールドシールドゲート電極7aおよび7bの延在方向と交差する方向には、素子分離領域4, 4がメモリセルMC1, MC2およびフィールドシールド分離領域FS1, FS2のそれぞれを形成する領域を挟むように配置されている。なお、他のワード線11aおよび11bがそれぞれフィールドシールドゲート電極7aおよび7bの上方を通過するように配置されている。

30

【0197】

次に、図11のDRAMの構成を断面図に基づいて説明する。

図12は、図11のC-C線に沿う模式的断面図である。この図12においては、隣り合う2つのメモリセルの要部の構成が簡単に示される。この図12において図1と共通する部分には同一の参照符号を付しその説明を適宜省略する。

40

【0198】

図12を参照して、SOI活性層63内には、ソース・ドレイン領域37、不純物領域36, 35, 34、ソース・ドレイン領域32、ボディ領域33、ソース・ドレイン領域21、ボディ領域23、ソース・ドレイン領域22、不純物領域24, 25, 26およびソース・ドレイン領域27がこの純に一方向に並んで形成されている。

【0199】

N型の不純物領域35は、P⁺型の不純物領域34および36の間に形成されている。P型のボディ領域33は、N⁺型のソース・ドレイン領域21および32の間に形成されている。P型のボディ領域23は、N⁺型のソース・ドレイン領域21および22の間に形成されている。N型の不純物領域25は、P⁺型の不純物領域24および26の間に形成

50

されている。

【0200】

ボディ領域23上には、ゲート絶縁膜10を介在してトランスファゲート電極1aが形成されている。ボディ領域33上には、ゲート絶縁膜10を介在してトランスファゲート電極1bが形成されている。不純物領域25上には、ゲート酸化膜71を介在してフィールドシールドゲート電極7aが形成されている。不純物領域35上には、ゲート酸化膜71を介在してフィールドシールドゲート電極7bが形成されている。

【0201】

フィールドシールドゲート電極7aの上方には、層間絶縁層81aを介在して他のワード線11aが形成されている。フィールドシールドゲート電極7b上には、層間絶縁層81bを介在して他のワード線11bが形成されている。

10

【0202】

トランスファゲート電極1aおよびトランスファゲート電極1bは、層間絶縁層(図示せず)によって覆われている。

【0203】

ソース・ドレイン領域22および不純物領域24には、ストレージノード51aが共通に接続されている。このストレージノード51aは、トランスファゲート電極1a、フィールドシールドゲート電極7aおよび他のワード線11aのそれぞれの上方を覆うような態様で形成されている。ストレージノード51a上には、誘電体膜53aを介在してセルプレート52aが形成されている。

20

【0204】

同様に、ソース・ドレイン領域32および不純物領域34上には、ストレージノード51bが共通に接続されている。ストレージノード51b上には、誘電体膜53bを介在してセルプレート52bが形成されている。

【0205】

これらと同様に、ソース・ドレイン領域27および不純物領域26上には、ストレージノード51c、誘電体膜53cおよびセルプレート52cが形成されている。また、ソース・ドレイン領域37および不純物領域36上には、ストレージノード51d、誘電体膜53dおよびセルプレート52dが形成されている。

【0206】

ストレージノード、誘電体膜およびセルプレートによって1つのキャパシタが形成される。したがって、図12には、4つのキャパシタが示されている。ビット線BLは、これらのキャパシタの上方に、層間絶縁層(図示せず)を介在して形成されている。

30

【0207】

ソース・ドレイン領域21上には、上方のビット線BLと、ソース・ドレイン21との間の接触をとるための接触部である中間層85が形成されている。ソース・ドレイン領域21がメモリセルMC1およびMC2で共有されているため、その中間層85もメモリセルMC1およびMC2で共有されている。

【0208】

図13は、図11のD-D線に沿う断面図である。この図13は、図4の構成とほぼ同様の構成を有する。図13に示された構成が図4と異なるのは、フィールドシールドゲート電極7a上に層間絶縁層81aを介在して他のワード線11aが形成されている構造が詳細に示されていることである。

40

【0209】

このように構成された第2実施例によるDRAMにおいては、2つのメモリセルMC1およびMC2で、ソース・ドレイン領域21と、ビット線の接触部である中間層85とがそれぞれ共有されている。このため、第2実施例によるDRAMにおいては、レイアウト面積を削減できるという効果が得られる。

【0210】

第3実施例

50

次に、第3実施例について説明する。この第3実施例では、ストレージノードと、SOI活性層との間に金属よりなるバッファ層が設けられた例について説明する。

【0211】

図14は、第4実施例によるSOI構造のDRAMのメモリセルの構成を示す断面図である。この図14において図1または図12と共通する部分には同一の参照符号を付し、その説明を適宜省略する。

【0212】

図14を参照して、SOI活性層63内の構成は、図12のものと同様である。ビット線BLは、トランスファゲート電極1aおよび1bをそれぞれ覆う層間絶縁層811aおよび811b上に形成されている。ビット線BLは、層間絶縁層821によって覆われている。層間絶縁層811a、811bおよび821上には、層間絶縁層83が形成されている。

10

【0213】

フィールドシールドゲート電極7上には、層間絶縁層81を介在して2つの他のワード線11aおよび11bが形成されている。他のワード線11aおよび11bは、層間絶縁層82によって覆われている。層間絶縁層82上には、層間絶縁層83が形成されている。

【0214】

キャパシタCは、層間絶縁層83上に形成されている。このキャパシタCは、ストレージノード51e、誘電体膜53eおよびセルプレート52eを含む。ストレージノード51aは、層間絶縁層83上に形成されている。ストレージノード51e上には、誘電体膜53eを介在してセルプレート52eが形成されている。

20

【0215】

ソース・ドレイン領域22および不純物領域24と、ストレージノード51eとの間に介在する層を貫通して、コンタクトホール540が形成されている。このコンタクトホール540内には、金属よりなるバッファ層54が形成されている。

【0216】

このバッファ層54は、下端部がストレージノード22および不純物領域24に接しており、上端部がストレージノード51eに接している。バッファ層54は、たとえば、タングステンまたはチタン等の金属によって構成される。

【0217】

このように、金属よりなるバッファ層54がストレージノード51eと、ソース・ドレイン領域22および不純物領域24との間に設けられている。このため、このDRAMにおいては、ストレージノード51eと、ソース・ドレイン領域22および不純物領域24との間のオーミックコンタクトを容易にとることができる。

30

【0218】

第4実施例

次に、第4実施例について説明する。この第4実施例においては、第3実施例で示した構造の変形例について説明する。

【0219】

図15は、第4実施例によるSOI構造のDRAMのメモリセルの構成を示す断面図である。この図15において図14と共通する部分には同一の参照符号を付し、その説明を適宜省略する。

40

【0220】

図15のDRAMが図14のものとは異なるのは、バッファ層54Aの構造である。このバッファ層54Aは、図14のバッファ層54に相当するものである。バッファ層54Aは、ポリシリコン体541および金属体542を含む。金属体542は、タングステンまたはチタン等の金属よりなり、一方端に開口部を有し、他方端が閉塞された形状の筒体をなす。

その金属体542は、閉塞端部がソース・ドレイン領域22および不純物領域24に接しており、開口端部がストレージノード51eに接する態様で形成される。ポリシリコン体

50

5 4 1 は、ポリシリコンよりなり、金属体 5 4 2 の内部空間を満たすように形成される。

【 0 2 2 1 】

このような構成のバッファ層 5 4 A においても、第 3 実施例で示したバッファ層 5 4 と同様に、ストレージノード 5 1 e と、ソース・ドレイン領域 2 2 および不純物領域 2 4 との間のオーミックコンタクトを容易にとることができる。それは、バッファ層 5 4 A が、ストレージノード 5 1 e と、ソース・ドレイン領域 2 2 および不純物領域 2 4 との間に介在された金属体 5 4 2 を含むからである。

【 0 2 2 2 】

また、以上の実施例において、ポリシリコン体 5 4 1 および金属体 5 4 2 からなる 2 重バッファ層が、チタンおよびタングステン等の異種金属で構成されていてもよい。

10

【 0 2 2 3 】

第 5 実施例

次に、第 5 実施例について説明する。この第 5 実施例においては、第 2 実施例で示した各フィールドシールド領域のフィールドシールドゲート電極下の不純物領域に所定の電位を印加することが可能な具体的構成について説明する。

【 0 2 2 4 】

図 1 6 は、第 5 実施例による S O I 構造の D R A M のメモリセルの構成を示す平面図である。この図 1 6 において図 1 1 と共通する部分には同一の参照符号を付し、その説明を適宜省略する。

【 0 2 2 5 】

図 1 6 の D R A M が図 1 1 のものと異なるのは、フィールドシールドゲート電極 7 a および 7 b の各々の下の部分の構造である。すなわち、フィールドシールドゲート電極 7 a および 7 b の各々の下の部分においては、素子分離領域 4 , 4 が形成されていない。図 1 6 の D R A M において、その他の部分は図 1 1 のものと同じである。したがって、図 1 6 の E - E 線に沿う断面の構造は、図 1 2 に示された構造と同様である。

20

【 0 2 2 6 】

次に、フィールドシールドゲート電極 7 a および 7 b の各々の下の部分の構造について説明する。図 1 7 は、図 1 6 の F - F 線に沿う断面図である。この図 1 7 において図 1 3 と共通する部分には同一の参照符号を付し、その説明を適宜省略する。

【 0 2 2 7 】

図 1 7 の断面構造が図 1 3 のものと異なるのは、フィールド酸化膜が形成されていない点である。すなわち、図 1 7 を参照して、絶縁層 6 2 上に、S O I 活性層 6 3、ゲート絶縁膜 7 1、フィールドシールドゲート電極 7 a、層間絶縁層 8 1 および他のワード線 1 1 a が順次形成されている。フィールドシールドゲート電極 7 b の下の部分の構造も図 1 7 と同様の構造である。

30

【 0 2 2 8 】

次に、フィールドシールドゲート電極 7 a および 7 b の各々の下の部分の近傍における、素子分離領域 4 , 4 が形成された部分の構造について説明する。図 1 8 は、図 1 6 の G - G 線に沿う断面図である。この図 1 8 において図 1 3 と共通する部分には同一の参照符号を付し、その説明を適宜省略する。

40

【 0 2 2 9 】

図 1 8 の断面構造が図 1 3 のものと異なるのは、ゲート酸化膜 7 1、フィールドシールドゲート電極 7 a、層間絶縁層 8 1 a および他のワード線 1 1 a が設けられていないことと、フィールド酸化膜 9 , 9 に挟まれた S O I 活性層 6 3 内の領域が、不純物領域 2 4 であることである。また、フィールドシールドゲート電極 7 b の下の部分の近傍における、素子分離領域 4 , 4 が形成された部分の構造も図 1 8 と同様の構造である。

【 0 2 3 0 】

以上に説明したように、フィールドシールドゲート電極 7 a および 7 b の各々の下の部分において、素子分離領域 4 , 4 が形成されていないため、フィールドシールドゲート電極 7 a 下の不純物領域 2 5 およびフィールドシールドゲート電極 7 b 下の不純物領域 3 5 の

50

各々は、対応するフィールドシールドゲート電極の延在方向に沿って延在される。

【0231】

したがって、不純物領域25および35の延在方向の端部において電位を印加すれば、これらの不純物領域25および35の電位を所定の電位に固定することができる。このため、各メモリセルにおいて、リーク電流による蓄積電荷の消滅を抑制するために、適正なレベルの電位を不純物領域25および35にそれぞれ印加することができる。

【0232】

次に、素子分離領域4,4のその他の実施例について説明する。図16に示される素子分離領域4,4は、図18に示されるようなフィールド酸化膜9,9による分離方式を用いたが、その分離方式は、以下に示すような方式であってもよい。以下に、素子分離領域4,4のその他の分離方式について説明する。

10

【0233】

図19は、mesa分離方式と呼ばれるその他の素子分離方式を用いた場合の図16のG-Gに沿う断面図である。

【0234】

図19を参照して、この場合の素子分離領域4,4は、SOI活性層63の一部をパターンニングした構成を有する。この場合の素子分離領域4,4は、SOI活性層63の部分的なエッチング工程により形成される。

【0235】

図20は、trench分離方式と呼ばれるその他の素子分離方式を用いた場合の図16のG-G線に沿う断面図である。

20

【0236】

図20を参照して、この場合の素子分離領域4,4においては、SOI活性層63を貫通して絶縁層62内に達する溝(穴)の中に埋込み酸化膜91,91が形成される。この素子分離領域4,4は、SOI活性層63を貫通して絶縁層62に達する穴を形成する部分的なエッチング工程と、その穴を埋込み酸化膜91,91により埋める穴埋め工程によって形成される。

【0237】

このように、素子分離領域4,4は、フィールド酸化膜9,9を用いた分離方式に限定されるものではない。

30

【0238】

第6実施例

次に、第6実施例について説明する。この第6実施例においては、第5実施例で示した各フィールドシールド分離領域のフィールドシールドゲート電極下の不純物領域へ電位を印加するための具体的な構成について説明する。

【0239】

図21は、第6実施例によるSOI構造のDRAMのメモリセルの構成を示す平面図である。この図21において、図16と共通する部分には同一の参照符号を付し、その説明を適宜省略する。

【0240】

40

図21のDRAMが図16のものと異なるのは、次の点である。メモリセルが複数行および複数列に配置されており、その一部としての2行分のメモリセルが図示されている。その2行とは、平面視した場合に、不純物領域37A,36A,37A、ソース・ドレイン領域32A,21A,22Aおよび不純物領域24A,26A,27Aの順に領域が並ぶ行と、不純物領域37B,36B,34B、ソース・ドレイン領域32B,21B,22Bおよび不純物領域24B,26B,27Bの順に領域が並ぶ行とである。

【0241】

そして、各行は、素子分離領域4,4によって電氣的に分離される。しかし、各行のフィールドシールドゲート電極の下部分においては、素子分離領域4,4が形成されていない。たとえば、フィールドシールドゲート電極7aおよび7bの各々の下部分において

50

は、素子分離領域 4 , 4 が形成されていない。

【 0 2 4 2 】

このため、フィールドシールドゲート電極 7 a および 7 b の各々の下の部分である N 型の不純物領域は、対応するフィールドシールドゲート電極の延在方向に沿って、複数行にわたって連なっている。

【 0 2 4 3 】

フィールドシールドゲート電極 7 a および 7 b の各々の延在方向の一端部側に電位印加回路 1 0 1 が設けられる。この電位印加回路 1 0 1 は、印加する電位のレベルの設定を調節することが可能な回路であり、正極性の電位を供給する。

【 0 2 4 4 】

延在されたフィールドシールドゲート電極 7 a および 7 b のそれぞれの下の不純物領域の一端部の領域 2 5 1 および 3 5 1 は、 N^+ 型である。これらの領域 2 5 1 および 3 5 1 のそれぞれが、電位印加回路 1 0 1 から印加される電位を受ける。

【 0 2 4 5 】

次に、延在されたフィールドシールドゲート電極 7 a および 7 b のそれぞれの下の不純物領域の一端側の構造について説明する。代表例として、フィールドシールドゲート電極 7 a の側の構造を以下に説明する。

【 0 2 4 6 】

図 2 2 は、図 2 1 におけるフィールドシールドゲート電極 7 a の延在方向の一端部の断面図である。この図 2 2 において、図 1 7 と共通する部分には同一の参照符号を付し、その説明を適宜省略する。

【 0 2 4 7 】

図 2 2 の断面構造が図 1 7 のものと異なるのは次の点である。すなわち、SOI 活性層 6 3 の端部の領域 2 5 1 の導電型が N^+ 型である。この領域 2 5 1 上には、ゲート絶縁膜 7 1、フィールドシールドゲート電極 7 a、層間絶縁層 8 1 a および他のワード線 1 1 a が形成されていない。フィールドシールドゲート電極 7 b の側の構造も図 2 2 と同様の構造である。

【 0 2 4 8 】

このような構造を採用することにより、第 6 実施例の DRAM においては、各行のフィールドシールドゲート電極 7 a および 7 b 下の不純物領域 2 5 および 3 5 の電位を所定の電位に固定することができる。

【 0 2 4 9 】

このため、各メモリセルにおいて、リーク電流による蓄積電荷の消滅を抑制するために、適正なレベルの電位を、具体的な手段としての電位印加回路 1 0 1 から領域 2 5 1 および 3 5 1 を介して不純物領域 2 5 および 3 5 にそれぞれ印加することができる。

【 0 2 5 0 】

第 7 実施例

次に第 7 実施例について説明する。この第 7 実施例においては、第 6 実施例で示した各行のフィールドシールド分離領域のフィールドシールドゲート電極下の不純物領域へ電位を印加する具体的な構成に加えて、各行のトランスファゲート電極下のボディ領域へ電位を印加する具体的な構成について説明する。

【 0 2 5 1 】

図 2 3 は、第 7 実施例による SOI 構造の DRAM のメモリセルの構成を示す平面図である。この図 2 3 において図 2 2 と共通する部分には同一の参照符号を付し、その説明を適宜省略する。

【 0 2 5 2 】

図 2 3 の DRAM が図 2 2 のものと異なるのは次の点である。各行のトランスファゲート電極下の部分においては、素子分離領域 4 , 4 が形成されていない。たとえば、トランスファゲート 1 a および 1 b の各々の下の部分においては、素子分離領域 4 , 4 が形成されていない。

10

20

30

40

50

【0253】

このため、トランスファゲート電極1aおよび1bの各々の下の部分であるP型のボディ領域は、対応するトランスファゲート電極の延在方向に沿って、複数行にわたって連なっている。

【0254】

トランスファゲート電極1aおよび1bの各々の延在方向の一端部側に、電位印加回路102が設けられる。この電位印加回路102は、印加する電位のレベルの設定を調節することが可能な回路であり、負極性の電位を供給する。延在されたトランスファゲート電極1aおよび1bのそれぞれの下のボディ領域の一端部の領域231および331は、P⁺型である。これらの領域231および331のそれぞれが、電位印加回路102から印加される電位を受ける。

10

【0255】

次に、延在されたトランスファゲート電極1aおよび1bのそれぞれの下のボディ領域の一端側の構造について説明する。代表例として、トランスファゲート電極1aの側の構造を以下に説明する。

【0256】

図24は、図23におけるトランスファゲート電極1aの延在方向の一端部の断面図である。この図24において、図23と共通する部分には同一の参照符号を付し、その説明を適宜省略する。

【0257】

図24を参照して、SOI活性層63におけるP型のボディ領域23の上には、ゲート絶縁膜10およびトランスファゲート電極1aが形成されている。そして、SOI活性層63の端部において、ボディ領域23に続く領域231の導電型がP⁺型である。この領域231上には、ゲート絶縁膜10およびトランスファゲート電極1aが形成されていない。トランスファゲート電極1b型の側の構造も図24と同様の構造である。

20

【0258】

このような構造を採用することにより、第7実施例のDRAMにおいては、各行のフィールドシールドゲート電極7aおよび7b下の不純物領域25および35の電位を所定の電位に固定することができることに加えて、各行のトランスファゲート電極1aおよび1b下のボディ領域23および33の電位をそれぞれ所定の電位に固定することができる。

30

【0259】

このため、各メモリセルにおいて、リーク電流による蓄積電荷の消滅を抑制するために、適正なレベルの電位を、具体的な手段としての電位印加回路101から不純物領域251および351を介して不純物領域25および35にそれぞれ印加することができる。

【0260】

さらに、それに加えて、各メモリセルにおいて、リーク電流による蓄積電荷の消滅を抑制するために、適正なレベルの電位を、具体的な手段として、電位印加回路102から領域231および331を介してボディ領域23および33にそれぞれ印加することができる。

【0261】

次に、第1～第7の実施例で示したDRAMにおいて、リーク電流によるメモリセルの蓄積電荷の消滅を抑制するために、SOI活性層内の領域におけるバイアス電圧の調節方法および不純物濃度の調節方法について説明する。

40

【0262】

リーク電流によるメモリセルの蓄積電荷の消滅を防ぐためには、メモリセルのストレージノード下に接続された領域から流出す電流と、その領域に流込む電流とをつり合せればよい。

【0263】

具体的には、図12のDRAMを例にとった場合、たとえば、ストレージノード51a下に接続されたN⁺型のソース・ドレイン領域22およびP⁺型の不純物領域24が設けら

50

れた領域において、流出す電流 I_1 と、流込む電流 I_2 (図 12 参照) とをつり合せればよい。

【0264】

その電流 I_1 は、下記(1)式で示され、その電流 I_2 は、下記(2)式で示される。

【0265】

$$I_1 = f_1(P, N^+) \cdot (e^{Y_1 V_1 - 1}) \dots (1)$$

$$I_2 = f_2(P^+, N) \cdot (e^{Y_2 V_2 - 1}) \dots (2)$$

ここで、(1)式において、 $f_1(P, N^+)$ は、ボディ領域 23 およびソース・ドレイン領域 22 のそれぞれの不純物濃度をパラメータとして電流成分が定まる関数である。 Y_1 は、ボディ領域 23 およびソース・ドレイン領域 22 のそれぞれの不純物濃度によって決まる係数である。 V_1 は、P型のボディ領域 23 および N^+ 型のソース・ドレイン領域 22 の間の逆バイアス電圧値である。

10

【0266】

また、(2)式において、 $f_2(P^+, N)$ は、不純物領域 24 および不純物領域 25 のそれぞれの不純物濃度をパラメータとして電流成分が定まる関数である。 Y_2 は、不純物領域 24 および 25 のそれぞれの不純物濃度によって決まる係数である。 V_2 は、不純物領域 24 および 25 の間の逆バイアス電圧値である。

【0267】

さらに、(1)、(2)式において共通した電流成分である (e^{YV-1}) は、図 25 に示されるような特性を有する。図 25 においては、縦軸に PN 接合のダイオードに流れる電流値 I (+側が順方向電流, -側が逆方向電流)、横軸に PN 接合に印加されるバイアス電圧値 V (+側が順方向バイアス電圧, -側が逆方向バイアス電圧) をとり、これらの関係を示す。

20

【0268】

このような電流成分 (e^{YV-1}) は、 Y が不純物領域の濃度によって変わるため、図 25 の特性も、係数 Y によって変わり得る。メモリセルにおけるリーク電流は、図 25 における逆方向電流である。

【0269】

このように、(1)、(2)式の各々は、キャパシタの下部電極下の領域から流出す電流 I_1 およびその領域に流込む電流 I_2 の各々が、PN 接合された領域(電流経路)の不純物濃度およびバイアス電圧によって決まることを示している。

30

【0270】

したがって、電流 I_1 と、電流 I_2 とがつり合うように、前述した不純物濃度およびバイアス電圧を規定して調整すれば、メモリセルの蓄積電荷の消滅を抑制することができる。好ましくは、電流 I_1 と電流 I_2 との値が等しくなるようにする。

【0271】

以下に、具体的なバイアス電圧の調整方法および不純物濃度の調整方法を示す。まず、バイアス電圧の調整方法について説明する。

【0272】

リーク電流によるメモリセルの蓄積電荷の消滅を防ぐためには、少なくとも、ストレージノード下に接続された領域から流出す電流とその領域に流込む電流とを発生させる必要がある。したがって、たとえば、図 12 の DRAM のソース・ドレイン領域 22 および不純物領域 24 が形成された領域を代表例として挙げた場合、ソース・ドレイン領域 22 とボディ領域 23 との間の電圧を逆バイアス電圧とし、かつ、不純物領域 24 と、不純物領域 25 との間の電圧も逆バイアスにする必要がある。

40

【0273】

そのような逆バイアス電圧の具体例として、各領域の電圧をたとえば次のようにすればよい。メモリキャパシタに V_{cc} のレベルが書込まれた場合、各領域の電圧が次のようになるようにする。すなわち、ボディ領域 23 を $0V$ とし、かつ不純物領域 25 を $2 \cdot V_{cc}$ とする。

50

【0274】

この場合は、ソース・ドレイン領域22および不純物領域24がともに V_{cc} のレベルであるため、前述したような逆バイアス電圧の条件が成立する。このような場合の現実的な電圧値として、ボディ領域23は、0Vまたは-1Vであり、不純物領域25は、 $2 \cdot V_{cc}$ または $2 \cdot V_{cc}$ 以上である。

【0275】

また、具体的なバイアス電圧の調整例としては、次のような例もある。(1)、(2)式において、 $f_1(P, N^+) = f_2(P^+, N)$ 、かつ、 $Y_1 = Y_2$ の場合に、 $V_1 = V_2$ とする。このようにすると理論的には、電流値 $I_1 = I_2$ となり、メモリセルの蓄積電荷の消滅が防がれる。

10

【0276】

以上に示したバイアス電圧の調整方法は、最適な例を示したものであり、必ずしもこのような調整方法に限定されるものではない。すなわち、以上に例示した条件とほぼ等しいような条件にすれば、リーク電流による蓄積電荷の消滅を抑制することが可能である。

【0277】

次に、不純物濃度の調整方法について説明する。不純物濃度の最適な調整方法としては、以下に示す(a)~(c)の条件を満たすようにすることが考えられる。ただし、以下の(a)~(c)のそれぞれにおいて、 C_{23} 、 C_{24} および C_{25} は、それぞれボディ領域23の不純物濃度、ソース・ドレイン領域22の不純物濃度、不純物領域24の不純物濃度および不純物領域25の不純物濃度を示す。

20

【0278】

(a) $C_{23} = C_{25}$ 、かつ、 $C_{22} = C_{24}$

(b) $|C_{23}| \times |C_{22}| = |C_{24}| \times |C_{25}|$

(c) $C_{22} = C_{24}$ (ただし、 $C_{23} < C_{22}$ 、かつ、 $C_{24} > C_{25}$)

(a)の条件が満たされる場合は、(1)式および(2)式で示される電流 I_1 および I_2 の値が等しくなる。それは、PN接合において、N型の領域の不純物濃度と、P型の領域の不純物濃度との関係が一定の場合には、PN接合領域に流れるリーク電流が一定値になるという特性があるからである。

【0279】

(b)の条件が満たされる場合においても、(1)式および(2)式における電流 I_1 および電流 I_2 の値が等しくなる。それは、ある一定の条件下では、PN接合におけるP型の領域の不純物濃度の絶対値と、N型の不純物領域の絶対値との積が一定の場合には、そのPN接合領域に流れるリーク電流が一定値になるという特性があるためである。

30

【0280】

(c)の条件が満たされる場合にも、(1)式および(2)式で示される電流 I_1 および電流 I_2 の値が等しくなる。それは、PN接合において、一方の導電型の領域の濃度が他方の導電型の領域よりも濃い場合のリーク電流値が、濃度が濃い方の領域の濃度に依存するからである。したがって、隣接する2つのPN接合領域において、濃度が濃い方の領域の不純物濃度が等しいため、電流 I_1 および電流 I_2 の値が等しくなり得る。

【0281】

ここで、ソース・ドレイン領域22および不純物領域24のそれぞれの濃度を濃くするのは、ストレージノード51aと、ソース・ドレイン領域24および不純物領域24との間のオーミックコンタクトを容易にとるためでもある。さらに、それは、ソース・ドレイン領域22と、不純物領域24との間の導電性をよくするためでもある。

40

【0282】

以上に示した不純物濃度の調整方法は、最適な条件を例示したものであり、必ずしもこのような条件に限られるものではない。少なくともこのような条件に近い条件が満たされれば、リーク電流によるメモリセルの蓄積電荷の消滅を抑制することができる。

【0283】

以上の説明においては、バイアス電圧の調整方法と、不純物濃度の調整方法とを個別に説

50

明したが、バイアス電圧の調整方法の各々と、不純物濃度の調整方法の各々を組合せて用いてもよい。現実的には、そのような組合せによるリーク電流の調整が行なわれる。このような組合せによるリーク電流の調整方法の一例を次に説明する。

【0284】

不純物濃度の関係を、 $C_{23} < C_{25} < C_{22}$ 、 C_{24} の条件が満たされるようにし、かつ、逆バイアス電圧値を、 $V_1 > V_2$ の条件が満たされるように調整する。この場合は、(1)式および(2)式において、 $f_1(P, N^+) < f_2(P^+, N)$ となる。したがって、電流 I_1 と、電流 I_2 とをつり合わせるために、逆バイアス電圧値を $V_1 > V_2$ とする必要がある。

【0285】

このような逆バイアス電圧値の調整は、図21または図23に示されるように、電位印加回路101によるフィールドシールドゲート電極下の不純物領域の電位の調整と、それに加えて電位印加回路102によるトランスファゲート電極下のボディ領域の電位の調整とを行なうことにより実現することが可能である。

【0286】

ただし、トランスファゲート電極下のボディ領域の電位を大きく調整すると、トランスファゲートトランジスタの性能が低下するおそれがある。したがって、現実的には、フィールドシールドゲート電極下の不純物領域の電位を主に調整することが好ましい。

【0287】

【発明の効果】

請求項1に記載の本発明によれば、同一の回路ノード内に、導電型が異なる第1および第2の領域が設けられる。第1の領域は、第2の領域以外に導電型が異なる少なくとも1つの第3の領域と接しており、第2の領域は、第1の領域以外に導電型が異なる少なくとも1つの第4の領域と接している。このため、第1の領域および第3の領域の間と、第2の領域と第4の領域の間とでともにPN接合によるリーク電流が生じる。それらの電流は、相反する方向に流れる。したがって、フローティング状態にされた回路ノードの蓄積電荷を消滅される方向のリーク電流が流れるが、それとともに、逆に、その蓄積電荷の消滅を阻止する方向の電流が流れる。

【0288】

このように、同一の回路ノード内で相反する方向のリーク電流が生じるため、リーク電流に起因する回路ノードの蓄積電荷の消滅を防ぐことができるか、または、その蓄積電荷が消滅するまでの時間を長くすることができる。したがって、メモリセルに適用した場合には、リフレッシュ特性を改善することができる。

【0289】

そして、第3および第4の領域が、一方がトランジスタのボディ領域であり、他方が素子分離領域である場合の構成において、リーク電流に起因する回路ノードの蓄積電荷の消滅を防ぐことができるか、または、その蓄積電荷が消滅するまでの時間を長くすることができる。したがって、メモリセルに適用した場合には、リフレッシュ特性を改善することができる。

【0291】

請求項2に記載の本発明によれば、第1および第2の不純物領域が設けられた回路ノードの位置を基準とした場合に、接合の向きが相反する2つのPN接合領域が形成される。そして、そのような領域において、第1および第3の不純物領域の間の電圧と、第2および第4の不純物領域の間の電圧とがそれぞれ逆方向バイアスにされる。

【0292】

したがって、このようにバイアス電圧を規定することにより、同一の回路ノードに流込む電流と、その回路ノードから流出す電流とが生じる。したがって、フローティング状態にされた回路ノードの蓄積電荷を消滅させる方向のリーク電流が流れるが、それとともに、逆にその蓄積電荷の消滅を阻止する方向の電流が流れる。

【0293】

10

20

30

40

50

このため、リーク電流に起因する回路ノードの蓄積電荷の消滅が防がれるか、または、蓄積電荷が消滅するまでの時間が長くなる。したがって、このような構成をメモリセルに適用した場合には、リーク電流に起因する記憶データの消滅が防がれるか、または、記憶データが消滅するまでの時間が長くなる。

【0294】

そして、第1の不純物領域の不純物濃度が第3の不純物領域の不純物濃度よりも濃くされ、かつ、第2の不純物領域の不純物濃度が第4の不純物領域の不純物濃度よりも濃くされる。このように第1および第2の不純物領域の不純物の濃度が濃くされると、それらの領域が設けられた回路ノードに導電体が接続される場合には、その導電体と、その回路ノードとの間で容易にオーミックコンタクトをとることができる。

10

【0295】

請求項3に記載の本発明によれば、第1および第2の不純物領域の不純物濃度が、それぞれ第3および第4の不純物領域の不純物濃度よりも濃いという条件下で、第1の不純物領域の不純物濃度と、第2の不純物領域の不純物濃度とが等しい。このため、第1および第3の不純物領域の間で生じるリーク電流と、第2および第4の不純物領域間で生じるリーク電流とを等しくし得る。

【0296】

このように、第1および第3の不純物領域の間の電圧と、第2および第4の不純物領域の間の電圧とをそれぞれ規定することに加えて、第1および第2の不純物領域のそれぞれの不純物濃度の関係を規定することにより、回路ノードの蓄積電荷の消滅をさらに、抑制

20

【0297】

請求項4に記載の本発明によれば、第1および第4の不純物領域の濃度が等しく、かつ、第2および第3の不純物領域の不純物濃度が等しくされるため、第1および第3の不純物領域の不純物濃度の関係と、第2および第4の不純物領域の不純物濃度の関係とが同じになる。これにより、第1および第3の不純物領域の間で生じるリーク電流と、第2および第4の不純物領域の間で生じるリーク電流とを等しくし得る。

【0298】

このように、第1および第3の不純物領域の間の電圧と、第2および第4の不純物領域の間の電圧とをそれぞれ規定することに加えて、第1～第4の不純物領域のそれぞれの不純物濃度の関係を規定することにより、回路ノードの蓄積電荷の消滅をさらに抑制

30

【0299】

請求項5に記載の本発明によれば、第1の不純物領域の不純物濃度の絶対値および第3の不純物領域の不純物濃度の絶対値の積と、第2の不純物領域の不純物濃度の絶対値および第4の不純物領域の不純物濃度の絶対値の積とを等しくすることは、第1および第3の不純物領域の間で生じるリーク電流と、第2および第4の不純物領域の間で生じるリーク電流とを等しくし得る条件である。したがって、このような条件が満たされるため、第1および第2の不純物領域の間の電圧と、第2および第4の不純物領域の間の電圧とをそれぞれ規定することに加えて、このような不純物濃度の関係を規定することにより、回路ノ

40

【0300】

請求項6に記載の本発明によれば、第1および第3の不純物領域の間の逆方向バイアス電圧値と、第2および第4の不純物領域の間の逆方向バイアス電圧値とを等しくした。このため、第1および第3の不純物領域の間で生じるリーク電流と、第2および第4の不純物領域の間で生じるリーク電流とを等しくし得る。このように2つの逆方向バイアス電圧値の関係をさらに規定することにより、回路ノードの蓄積電荷の消滅をさらに抑制

【0301】

請求項7に記載の本発明によれば、同一のストレージノード内に、導電型が異なる第1

50

および第2の領域が設けられる。第1の領域は、第2の領域以外に導電型が異なる少なくとも1つの第3の領域と接しており、第2の領域は、第1の領域以外に導電型が異なる少なくとも1つの第4の領域と接している。このため、第1の領域および第3の領域の間と、第2の領域および第4の領域の間の領域でともにPN接合によるリーク電流が生じる。

【0302】

この場合のリーク電流は、同一のストレージノード内において相反する方向に流れる。

【0303】

したがって、フローティング状態にされたストレージノードの蓄積電荷を消滅される方向のリーク電流が流れるが、それとともに、逆にその蓄積電荷の消滅を阻止する方向の電流が流れる。このため、メモリセルのリーク電流に起因する記憶データの消滅を防ぐことができるか、または、そのような記憶データが消滅するまでの時間を長くすることにより、リフレッシュ特性を改善することができる。

10

【0304】

請求項8に記載の本発明によれば、第3および第4の領域が、一方がトランジスタのボディ領域であり、他方が素子分離領域である構成において、請求項7と同じ効果を得ることができる。

【0305】

すなわち、メモリセルのリーク電流に起因する記憶データの消滅を防ぐことができるか、または、そのような記憶データが消滅するまでの時間を長くすることにより、リフレッシュ特性を改善することができる。

20

【0306】

請求項9に記載の本発明によれば、下部電極下のSOI活性層内に、その下部電極に共通に接続された、導電型が異なるソース・ドレイン領域の一方と、第1の導電領域とが設けられる。そして、ソース・ドレイン領域は、その領域と導電型が異なるボディ領域に接続され、第1の導電領域は、その領域と導電型が異なる第2の導電領域に接続される。

【0307】

このため、その一方のソース・ドレイン領域と、ボディ領域との接合部分でメモリセルのリーク電流が生じるが、一方、第1の導電領域と、第2の導電領域との接合部分で逆方向のメモリセルのリーク電流が生じる。

【0308】

このように、下部電極に接続された領域において、流れ込むリーク電流と、流れ出すリーク電流とがともに生じるため、メモリセルのリーク電流に起因する記憶データの消滅を防ぐことができるか、または、そのような記憶データが消滅するまでの時間が長くなることにより、リフレッシュ特性を改善することができる。

30

【0309】

請求項10に記載の本発明によれば、フィールドシールド領域の延在方向と交差する方向に、ボディ領域、1対のソース・ドレイン領域、第1導電領域および第2導電領域のそれぞれを挟むように、分離領域がさらに備えられる。このように、分離領域で、異なる導電領域が連なる複数の領域の素子分離を行なうようにしたため、このメモリセルの素子分離を十分に行なうことができる。

40

【0310】

請求項11に記載の本発明によれば、分離領域が、SOI基板の部分的な熱酸化工程により形成される領域である。このような領域で、異なる導電領域が連なるボディ領域等の複数の領域の素子分離を行なうようにしたため、メモリセルの素子分離を十分に行なうことができる。

【0311】

請求項12に記載の本発明によれば、分離領域が、SOI活性層の部分的なエッチング工程により形成される領域である。このような領域で、異なる導電領域が連なるボディ領域等の複数の領域の素子分離を行なうようにしたため、メモリセルの素子分離を十分に行なうことができる。

50

【0312】

請求項13に記載の本発明によれば、分離領域が、SOI活性層を貫通して酸化膜内に達する穴を形成する部分的なエッチング工程およびその形成された穴を絶縁膜により埋める穴埋め工程によって形成される領域である。この領域で、異なる導電領域が連なるボディ領域等の複数の領域の素子分離を行なうようにしたため、メモリセルの素子分離を十分に行なうことができる。

【0313】

請求項14に記載の本発明によれば、メモリキャパシタの下部電極と、第1導電領域およびその第1導電領域に接続された一方のソース・ドレイン領域との間に金属のバッファ層が設けられたため、その下部電極と、第1導電領域および一方のソース・ドレイン領域との間のオーミックコンタクトを容易にとることができる。

10

【0314】

請求項15に記載の本発明によれば、メモリキャパシタの下部電極と、第1導電領域およびその第1導電領域に接続された一方のソース・ドレイン領域との間のバッファ層が、内部にポリシリコン体を形成した筒状の金属体で構成される。このため、その下部電極と、第1導電領域および一方のソース・ドレイン領域との間のオーミックコンタクトを容易にとることができる。

【0315】

請求項16に記載の本発明によれば、フィールドシールド領域における第2導電領域が複数行にわたって連なって形成されるため、各行の第2導電領域に同じ電位を印加することが

20

【0316】

請求項17に記載の本発明によれば、フィールドシールド領域において、複数行にわたって連なって形成された第2導電領域の端部に電位印加手段から電位を印加することにより、具体的に、各行の第2導電領域に同じ電位を印加することができる。したがって、キャパシタの蓄積電荷の消滅を抑制するために、適正な電位を各行の第2導電領域に印加することができる。

【0317】

請求項18に記載の本発明によれば、複数のメモリセルの各々のトランスファゲートトランジスタのボディ領域が複数行にわたって連なっているため、各行のボディ領域に同じ電位を印加することが

30

【0318】

請求項19に記載の本発明によれば、フィールドシールド領域において、複数行にわたって連なって形成された第2導電領域の端部に第1の電位印加手段から第1の電位を印加することにより、具体的に各行の第2導電領域に同じ電位を印加することができる。したがって、キャパシタの蓄積電荷の消滅を抑制するために、適正な電位を各行の第2導電領域に印加することができる。

【0319】

さらに、複数行にわたって連なるメモリセルのトランスファゲートトランジスタのボディ領域の端部に第2の電位印加手段から第2の電位を印加することにより、具体的に各行のメモリセルのトランスファゲートトランジスタのボディ領域に同じ電位を印加することが

40

【0320】

したがって、各行のフィールドシールド領域の第2導電領域の電位と、各行のメモリセルのトランスファゲートトランジスタのボディ領域の電位とをそれぞれ適切な電位に調整することができる。

【0321】

請求項20に記載の本発明によれば、各々がメモリキャパシタの下部電極に接続された第1導電型の導電領域および第2導電型の導電領域を含む2つのメモリセルにおいて、トランスファゲートトランジスタの一方の不純物領域である第1の不純物領域と、ビット線

50

および第1の不純物領域の間に介在されたビット線コンタクト部とが共有される。このため、このような構造を有する複数のメモリセルを有する半導体記憶装置のレイアウト面積を削減することができる。

【0322】

請求項21に記載の本発明によれば、フィールドシールドゲート電極と、トランスファゲート電極とに挟まれた領域下の第1の不純物領域におけるフィールドシールドゲート電極側の一部表面を覆うマスク層を形成し、そのマスク層およびトランスファゲート電極をマスクとして用いて第2導電型の不純物をSOI活性層内に注入することによって、第1導電型の第1の不純物領域内に第2導電型の第2の不純物領域が形成される。

【0323】

このため、トランスファゲート電極と、フィールドシールド電極との間の領域下におけるSOI活性層内の領域において、異なる導電型の2つの領域が形成された構造を作ることが可能である。

【0324】

請求項22に記載の本発明によれば、第2導電型の不純物をSOI活性層内に注入する際のマスクとして用いられるマスク層が、フィールドシールドゲート電極を覆うレジストパターンである。このため、レジストパターンをマスクとして用いて、トランスファゲート電極と、フィールドシールドゲート電極との間の領域下のSOI活性層内に、導電型が異なる2つの領域を形成することができる。

【0325】

請求項23に記載の本発明によれば、第2導電型の不純物をSOI活性層内に注入する際に、マスクとして用いられるマスク層が、フィールドシールドゲート電極の側壁に形成されたサイドウォール絶縁膜である。このため、サイドウォール絶縁膜をマスクとして用いて、トランスファゲート電極とフィールドシールドゲート電極との間の領域下のSOI活性層内において、導電型が異なる2つの領域を形成することができる。

【図面の簡単な説明】

【図1】 この発明の第1実施例によるSOI構造のDRAMのメモリセルの構成を示す断面図である。

【図2】 図1の構成のメモリセルの一部を平面視した場合の平面図である。

【図3】 図2のA-A線に沿う模式的断面図である。

【図4】 図2のB-B線に沿う模式的断面図である。

【図5】 この実施例によるメモリセルの第1の製造方法を工程順に示す概略断面図である。

【図6】 この実施例によるメモリセルの第2の製造方法を工程順に示す概略断面図である。

【図7】 この実施例によるメモリセルの等価回路図である。

【図8】 この実施例によるメモリセルのストレージノードの電位変化を示すグラフである。

【図9】 mesa分離方法によるその他の素子分離領域を用いた場合の図2のB-B線に沿う模式的断面図である。

【図10】 trench分離方法によるその他の素子分離領域を用いた場合の図2のB-B線に沿う断面図である。

【図11】 第2実施例によるSOI構造のDRAMのメモリセルの構成を示す平面図である。

【図12】 図11のC-C線に沿う模式的断面図である。

【図13】 図11のD-D線に沿う断面図である。

【図14】 第3実施例によるSOI構造のDRAMのメモリセルの構成を示す断面図である。

【図15】 第4実施例によるSOI構造のDRAMのメモリセルの構成を示す断面図である。

10

20

30

40

50

【図16】 第5実施例によるSOI構造のDRAMのメモリセルの構成を示す平面図である。

【図17】 図16のF-F線に沿う断面図である。

【図18】 図16のG-G線に沿う断面図である。

【図19】 mesa分離方法によるその他の素子分離領域を用いた場合の図16のG-G線に沿う断面図である。

【図20】 trench分離方法によるその他の素子分離領域を用いた場合の図16のG-G線に沿う断面図である。

【図21】 第6実施例によるSOI構造のDRAMのメモリセルの構成を示す平面図である。

【図22】 図21におけるフィールドシールドゲート電極の延在方向の一端部の断面図である。

【図23】 第7実施例によるSOI構造のDRAMのメモリセルの構成を示す平面図である。

【図24】 図23におけるトランスファゲート電極の延在方向の一端部の断面図である。

【図25】 ダイオードの印加電圧と、そのダイオードに流れる電流との関係を示すグラフである。

【図26】 従来一般的なDRAMのメモリセルの模式的断面図である。

【図27】 図26のメモリセルの等価回路図である。

【図28】 図26および図27に示されるメモリセルのストレージノードの電位変化を示すグラフである。

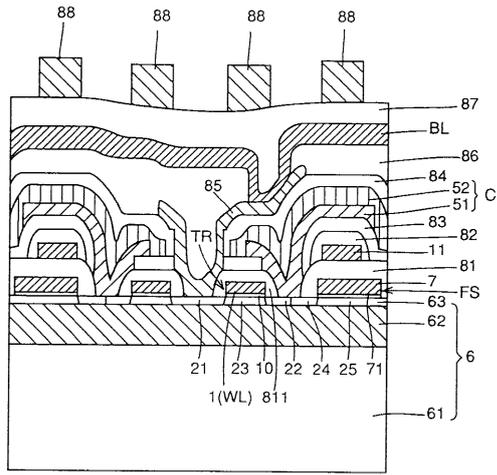
【符号の説明】

1, 1a, 1b トランスファゲート電極、4 素子分離領域、6 SOI基板、7, 7a, 7b フィールドシールドゲート電極、21, 22, 32 ソース・ドレイン領域、23 ボディ領域、24, 25 不純物領域、54, 54A バッファ層、101, 102 電位印加回路、C メモリキャパシタ、FS, FS1, FS2 フィールドシールド分離領域、R レジスタ、S サイドウォール、TR トランスファゲートトランジスタ、BL ビット線

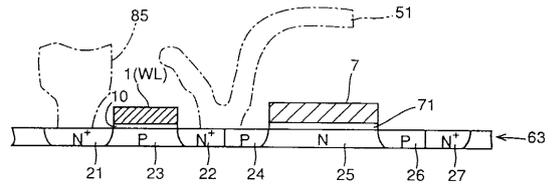
10

20

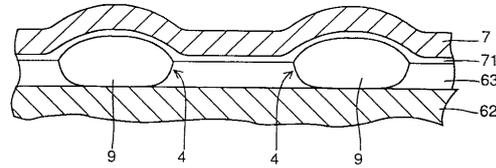
【 図 1 】



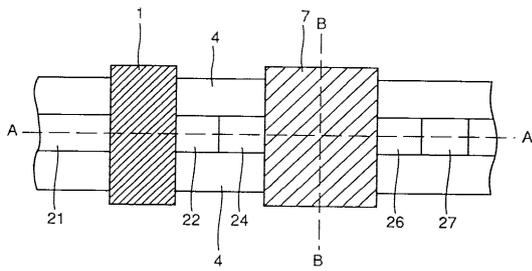
【 図 3 】



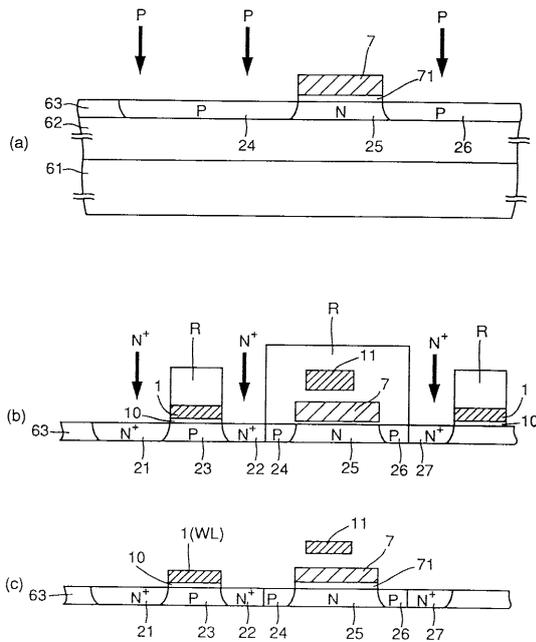
【 図 4 】



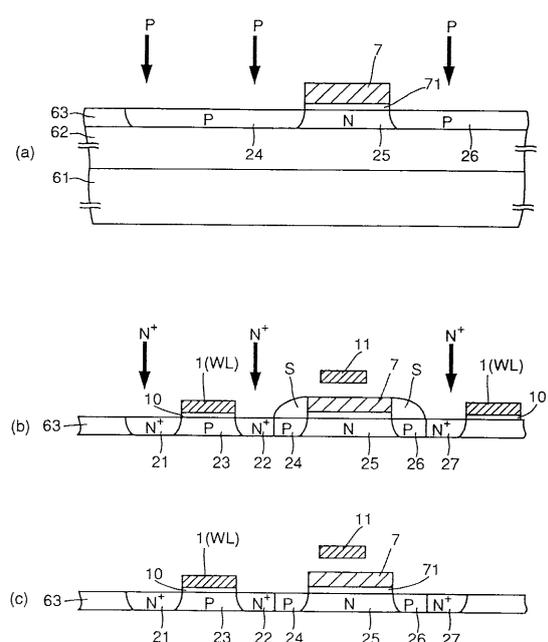
【 図 2 】



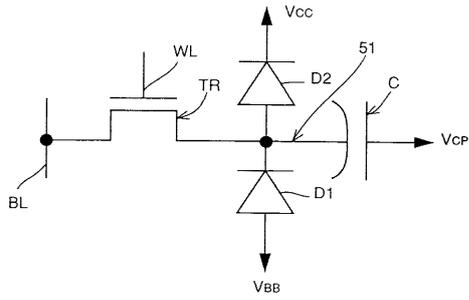
【 図 5 】



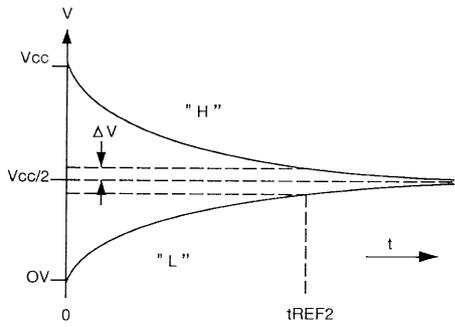
【 図 6 】



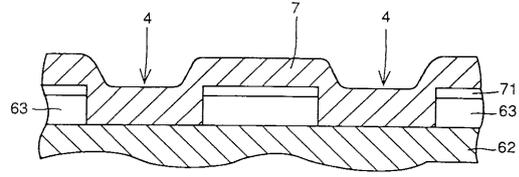
【 図 7 】



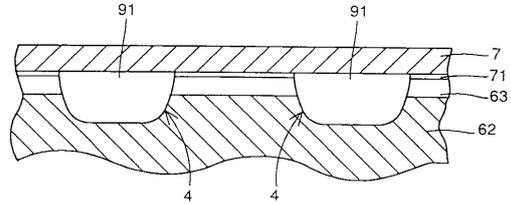
【 図 8 】



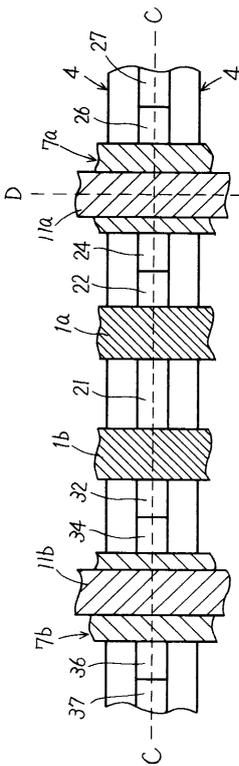
【 図 9 】



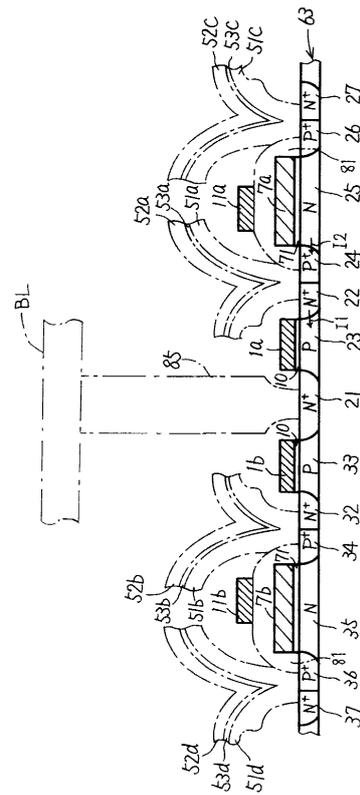
【 図 10 】



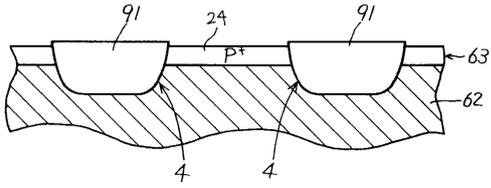
【 図 11 】



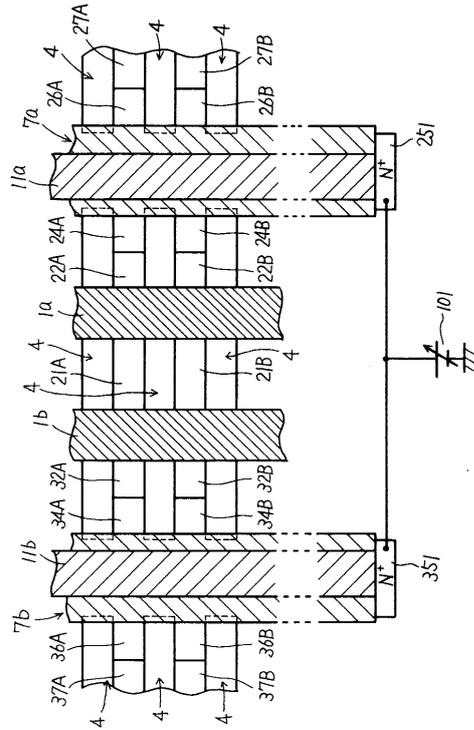
【 図 12 】



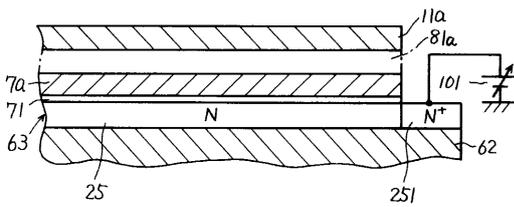
【 図 2 0 】



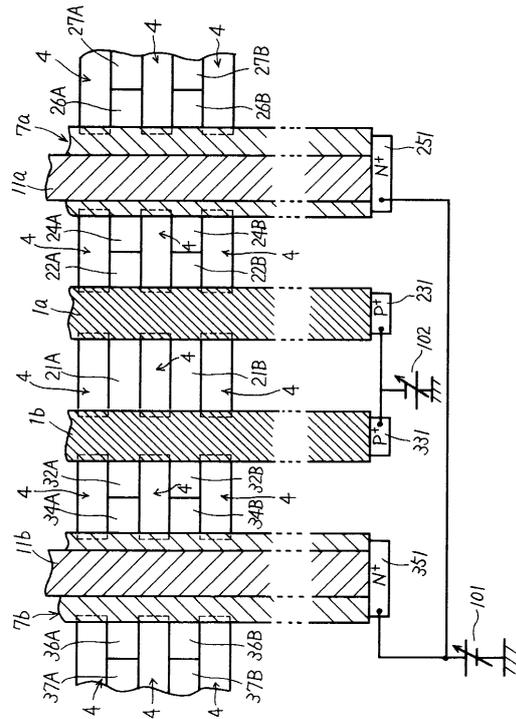
【 図 2 1 】



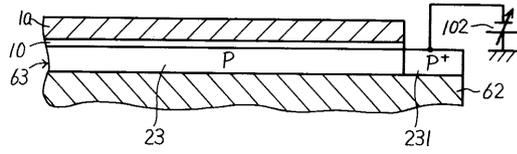
【 図 2 2 】



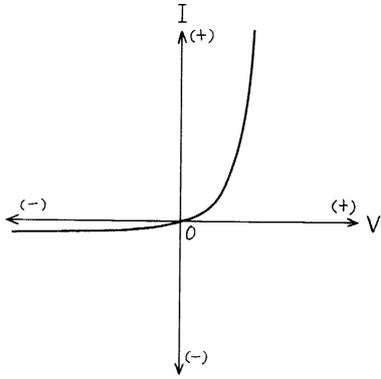
【 図 2 3 】



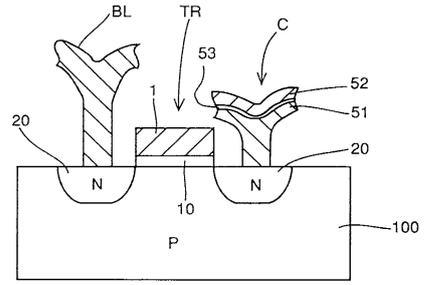
【 2 4 】



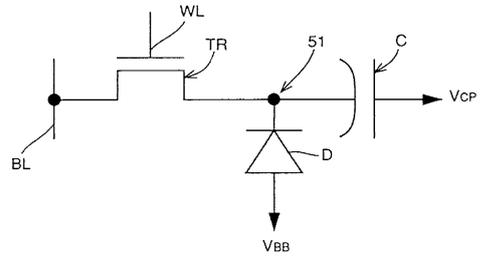
【 2 5 】



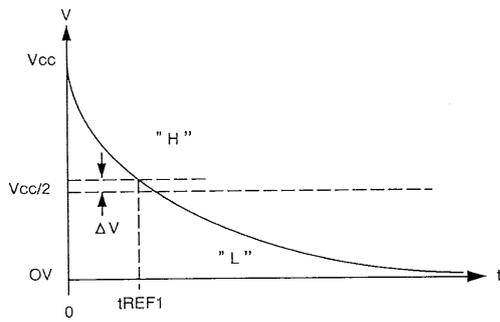
【 2 6 】



【 2 7 】



【 2 8 】



フロントページの続き

(72)発明者 日高 秀人

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社 ユー・エル・エス・アイ開発研究所内

審査官 北島 健次

(56)参考文献 特開平03-270266(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242

H01L 27/108