

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G06F 3/06

G11B 20/18 G06F 12/16



[12] 发明专利说明书

[21] ZL 专利号 99813027.3

[45] 授权公告日 2003 年 10 月 29 日

[11] 授权公告号 CN 1126022C

[22] 申请日 1999.9.8 [21] 申请号 99813027.3

[86] 国际申请 PCT/JP99/04863 1999.9.8

[87] 国际公布 WO01/18639 日 2001.3.15

[85] 进入国家阶段日期 2001.5.8

[71] 专利权人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 青木透

审查员 熊 婷

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

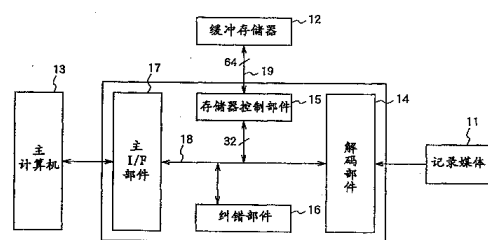
代理人 罗亚川

权利要求书 2 页 说明书 7 页 附图 6 页

[54] 发明名称 信号处理装置

[57] 摘要

通过令用于在存储器控制部件 15, 纠错部件 16, 主 I/F 部件 17 等的各个部件之间传送数据的部件之间的数据总线 18 的总线宽度有 32 位的宽度, 用于在缓冲存储器 12 和存储器控制部件 15 之间传送数据的存储器数据总线 19 的总线宽度有 64 位的宽度, 一方面以 64 位为单位进行对缓冲存储器 12 的存取, 一方面以其中的 32 位为单位进行各个部件的处理。因此, 在部件之间的数据总线 18 上传送的数据总是成为有效的数据, 所以能够实现从系统内的各个部件到缓冲存储器 12 的存取速度的高速化的目的。



1.信号处理装置，它的特征是

在通过存储器控制部件，从多个部件，对与有第一个总线宽度的存储器数据总线连接的缓冲存储器进行存取，并进行数据读出的信号处理装置中，备有

通过上述的存储器数据总线将数据写入上述的缓冲存储器，和从缓冲存储器读出存储在该缓冲存储器中的数据的存储器控制部件，和

有比上述的第一个总线宽度窄的第二个总线宽度，在上述的多个部件和上述的存储器控制部件之间传送上述数据的部件之间的数据总线，

上述的存储器控制部件，当从上述的缓冲存储器读出数据时，将上述的存储器数据总线上的数据再配置到上述部件之间的数据总线上，当将数据写入上述的缓冲存储器时，将上述部件之间的数据总线上的数据再配置到上述的存储器数据总线上。

2.如权利要求1所述的信号处理装置，其特征在于：

在该信号处理装置中备有

通过上述的存储器控制部件与上述的缓冲存储器连接，同时进行保存在上述的缓冲存储器中的至少2个帧的数据的纠错处理的纠错部件。

3.如权利要求1所述的信号处理装置，其特征在于：

在该信号处理装置中：

上述的存储器控制部件

当将来自记录媒体的由所定的字数组成的连续的N个帧的数据收藏在缓冲存储器中时，将第1个帧数据相隔N-1个字地收藏在上述的缓冲存储器中，将第2个帧数据相隔N-1个字与上述的第1个帧数据相邻地收藏在上述的缓冲存储器中，以后顺次地将第N个帧数据相隔N-1字与第N-1个帧数据相邻地收藏在上述的缓冲存储器

器中，并且

将不同帧的 N 个字数据连续地收藏在上述的缓冲存储器中。

信号处理装置

技术领域

本发明涉及得到适用于计算机的外部存储器等的记录再生时的信号处理装置，特别是，为了实现对存储器进行存取的高效率。

背景技术

用第5图，第6图说明作为包含存储器的信号处理LSI（大规模集成电路）出现的CD-ROM（光盘-只读存储器）等。在第5图中，11是CD-ROM等的记录媒体，12是存储数据的缓冲存储器，13是主计算机，14是从记录媒体11取得数据的解码部件，15是通过来自各个部件的存储器存取要求进行调控在存储器上实施存取的存储器控制部件，16是如果收藏在缓冲存储器12中的数据有错误则进行改正的纠错部件，17是用于将收藏在缓冲存储器12中的数据传送到主计算机13的主I/F（接口）部件，18是用于在各个部件和存储器控制部件15之间传送数据的宽度为16位的部件之间的数据总线，19是用于在缓冲存储器12和存储器控制部件15之间传送数据的宽度为16位的存储器数据总线。

其次，我们将信号处理分成从记录媒体11传送到缓冲存储器12的缓冲处理，纠错处理，改正后的数据的主传送处理加以说明。

（1）缓冲处理

在记录媒体11上，用所定的数据单位对CD-ROM数据进行交错处理后记录下来。1个帧是由1176个字（一个字=16位）的数据构成的，将从记录媒体11读出的数据作为串行数据输入到解码部件14。在解码部件14中检测出帧同步信号，对该信号进行串行/并行变换后，通过宽度为16位的部件之间的数据总线18将除去帧同步信号的1170个字的的数据传送到存储器控制部件15。存储器控制部

件 15, 通过宽度为 16 位的存储器数据总线 19 将接收的数据写入缓冲存储器 12.

(2) 纠错处理

在缓冲存储器 12 收藏了 1 个帧的数据后, 纠错部件 16, 经过部件之间的数据总线 18, 存储器控制部件 15 和存储器数据总线 19, 并通过对缓冲存储器 12 进行存取, 进行 1 个帧的纠错处理.

(3) 主传送处理

至少对 1 个帧的数据完成纠错处理后, 主 I/F 部件 17, 通过存储器数据总线 19, 存储器控制部件 15, 部件之间的数据总线 18, 从缓冲存储器 12 读出数据, 将该数据传送到主计算机 13.

为了分别通过第 6(a), (b), (c)图所示的流水线控制对上述的缓冲, 纠错, 主传送进行处理, 缓冲, 纠错处理必须在 1 个帧时间内完成 1 个帧的处理. 但是, 对于主传送, 不一定必须在 1 个帧时间内完成 1 个帧的处理, 第 6(c)图表示当主传送时, 以图中所示的定时, 可以进行适当的帧数据的传送.

第 4 图, 因为显示出 CD-ROM 的逻辑格式, 所以表示了除去帧同步信号的 1 个帧的数据构成, 又, 在 CD-ROM 中, 将在 1 个帧的 2352 个字节中, 除去 6×2 个字节的帧同步信号后的 2340 字节的数据分成偶数字节和奇数字节, 对各个独立的 1170 个字节的数据的集合进行纠错处理.

在第 4 图中, 将 1 个帧的 2340 个字节的的数据与 0~1169 的字号码 (一个字=16 位) 对应地表示出来. 在 CD-ROM 上, 附加纠错代码的 P 奇偶性和 Q 奇偶性, 如第 4 图所示, 用 P 奇偶性的纠错处理, 如第 0 字, 第 43 字, 那样地, 用相隔 43 个字的数据进行, 用 Q 奇偶性的纠错处理, 如第 0 字, 第 44 字, 那样地, 用相隔 44 个字的数据进行.

这样, 当用已有的信号处理装置, 通过加大缓冲存储器 12 的存储器数据总线的宽度来提高纠错处理速度时, 用已有的在缓冲存储器 12 中收藏数据的方法, 存在着不能高效率地进行用于纠错的存储

器存取那样的问题。

如下面将要详细述说的那样，这里考虑通过加大缓冲存储器 12 的存储器数据总线的宽度来提高纠错处理速度时，因为将从记录媒体 11 读出的数据顺序地收藏在缓冲存储器 12 中，即以第 4 图的 CD-ROM 逻辑格式进行收藏，所以缓冲存储器 12 的存储器数据总线的宽度超过 16 位，例如当成为 64 位时，不能高效率地进行用于纠错的存储器存取。

我们用第 4 图进行说明，当用 P 奇偶性进行纠错处理时，通过用 32 位的总线 18 对缓冲存储器 12 进行存取，以最初字号码 0000 和 0001，其次字号码 0042 和 0043 这样的顺序，读出共计 64 位的数据，但是因为用相隔 43 个字的数据进行计算，所以只计算字号码 0000，0043 的数据，而不使用字号码 0001，0042 的 32 位的数据。用 Q 奇偶性进行纠错处理时，也同样地，以最初字号码 0000 和 0001，其次字号码 0044 和 0045 这样的顺序，读出共计 64 位的数据，因为用相隔 44 个字的数据进行计算，所以只处理字号码 0000，0044 的数据，而不使用字号码 0001，0045 的 32 位的数据。

本发明的揭示

本发明的权利要求书的第 1 项中记载的信号处理装置的特征是，在从多个部件，通过存储器控制部件，对与有第一个总线宽度的存储器数据总线连接的缓冲存储器进行存取，进行数据读出的信号处理装置中，备有通过上述的存储器数据总线将数据写入上述的缓冲存储器，和从缓冲存储器读出存储在该缓冲存储器中的数据的存储器控制部件，和有比上述的第一个总线宽度窄的第二个总线宽度，在上述的多个部件和上述的存储器控制部件之间传送上述数据的部件之间的数据总线，上述的存储器控制部件，当从上述的缓冲存储器读出数据时，将上述的存储器数据总线上的数据再配置到上述的部件之间的数据总线上，当将数据写入上述的缓冲存储器时，将上述的部件之间的数据总线上的数据再配置到上述的存储器数据

总线上，该信号处理装置通过减少存储器存取次数，进行对缓冲存储器的高速存取，能够实现存储器存取的高效率化，并且能够抑制电路的规模。

其次，权利要求书的第2项中记载的信号处理装置的特征是，在权利要求书的第1项的信号处理装置中，备有通过上述的存储器控制部件与上述的缓冲存储器连接，同时进行保存在上述的缓冲存储器中的，至少2个帧的数据的纠错处理的纠错部件，该信号处理装置通过同时对保存在缓冲存储器中的多个帧的数据进行纠错处理，能够减少无用的存储器存取。

其次，权利要求书的第3项中记载的信号处理装置的特征是，在权利要求书的第1项的信号处理装置中，上述的存储器控制部件，当将来自记录媒体的，由所定的字数组成的连续的N个帧的数据收藏在缓冲存储器中时，将第1个帧数据，相隔N-1字地收藏在上述的缓冲存储器中，将第2个帧数据，相隔N-1字地与上述的第1个帧数据相邻地收藏在上述的缓冲存储器中，以后顺次地将第N个帧数据，相隔N-1字地与第N-1个帧数据相邻地收藏在上述的缓冲存储器中，将不同帧的N个字数据连续地收藏在上述的缓冲存储器中，该信号处理装置通过增大到缓冲存储器的总线宽度，减少存储器存取次数，能够实现缓冲存储器存取的高效率化。

诸图的简单说明

第1图是在本发明的实施形态中的信号处理装置的方框图。

第2图是用于说明在本发明的实施形态中的信号处理装置的流水线控制的图。

第3图是用于模式地说明在本发明的实施形态中的信号处理装置的缓冲存储器的数据收藏格式的图。

第4图是用于说明已有的CD-ROM逻辑格式的图。

第5图是已有的信号处理装置的方框图。

第6图是用于说明已有的信号处理装置的流水线控制的图。

用于实施本发明的最佳形态

(实施形态1)

下面，我们用第1图到第3图说明本发明的权利要求书的第1项中记载的发明的实施形态。

在第1图中，基本构成是与已有的装置相同的，但是在令用于在存储器控制部件15，纠错部件16，主I/F部件17等的各个部件之间传送数据的部件之间的数据总线18的总线宽度有32位的宽度，又，用于在缓冲存储器12和存储器控制部件15之间传送数据的存储器数据总线19的总线宽度有64位的宽度这方面是不同的。

使相同帧号码的数据相邻那样地，将如第3图所示的连续的2个帧（“even（偶）”帧和“odd（奇）”帧）的数据收藏在缓冲存储器12中。根据这样的存储器收藏形式，能够实现纠错时效率良好的存储器存取。下面我们说明作为信号处理装置的（1）缓冲处理，（2）纠错处理，（3）主传送处理的工作。

（1）缓冲处理

将从记录媒体11读出的串行数据存入解码部件14。解码部件14对存入的数据进行串行/并行变换，通过部件之间的32位宽度的数据总线18，将该数据传送到存储器控制部件15。又，解码部件14也将进行存取的缓冲存储器12的地址信息传送到存储器控制部件15。在存储器控制部件15上，将数据与从解码部件14传送过来的地址信息一起，以如第3图的收藏格式收藏在缓冲存储器12中。具体地，通过使在从解码部件14传送过来的同一个帧的连续的二字数据的字和字之间空一个字，在那里收藏别的帧的相同字号码的字数据，将32位数据再配置在64位宽度的存储器数据总线19上，并写入缓冲存储器12。

（2）纠错处理

将2个帧的数据（4680字节）收藏在缓冲存储器12中后，纠错部件16将用于从缓冲存储器12读出数据的地址信息传送到存储器

控制部件 15。存储器控制部件 15，通过 64 位宽度的存储器数据总线 19，与从纠错部件 16 传送过来的地址信息一起，从缓冲存储器 12 读出数据，将有第 3 图所示的相同字号码的“even（偶）”帧和“odd（奇）”帧的合计为两个字的数据，再配置到部件之间的数据总线 18 上，并传送到纠错部件 16。在纠错部件 16 上，以字节为单位进行纠错处理。即，将从存储器控制部件 15 读出的数据输入 4 个差错计算器，并列地进行处理。从各个差错计算结果，计算出错误的位置和图案，如果有错误，则纠错部件 16，通过部件之间的数据总线 18，与将地址信息传送到存储器控制部件 15 一起，传送错误图案信息。存储器控制部件 15，与从纠错部件 16 接收的地址信息一起，通过存储器数据总线 19 从缓冲存储器 12 读出数据，根据错误图案信息对数据进行纠错，通过存储器数据总线 19 将数据写入缓冲存储器 12。

第 2 图是说明在本实施形态中的流水线控制的图，但是因为在本实施形态中流水线控制是以 2 个帧为单位进行的，所以如分别由第 2(b)，(c)图所示的那样，在结束第 2(a)图所示的 2 个帧的缓冲处理后进行纠错，在经过第 2(b)图所示的 2 个帧的纠错处理后进行主传送。这样，通过对每 2 个帧以 32 位为单位进行各个部件的处理，能够提高存取的效率。

如果进行更详细的述说，则在第 3 图中，当进行 P 奇偶位的纠错处理时，对于连续的第 0 帧和第 1 帧的各个每 2 个字的 64 位，对缓冲存储器 12 进行存取，其中，只对第 0 帧和第 1 帧的第 0 字的 32 位进行纠错处理，其次，对第 0 帧和第 1 帧的第 43 字的 32 位进行纠错处理。

Q 奇偶位的纠错处理也同样地，对于连续的第 0 帧和第 1 帧的各个每 2 个字的 64 位，对缓冲存储器 12 进行存取，其中，只对第 0 帧和第 1 帧的第 0 字的 32 位进行纠错处理，其次，对第 0 帧和第 1 帧的第 44 字的 32 位进行纠错处理。即，从缓冲存储器 12 以 64 位为单位读出数据，但是其中，通过以 32 位为单位进行纠错处理，减

少存储器存取次数，达到使存储器存取高效率化的目的。

此外，在上面的述说中，我们说明了进行将上述的 2 个帧数据相隔一个字地收藏在缓冲存储器 12 中的缓冲处理的情形，在这种情形中，对 2 个帧的数据同时进行纠错处理，但是作为收藏在缓冲存储器 12 中的帧数，也可以通过相隔 $N-1$ 个字进行缓冲处理，收藏 N 个帧的数据，在这种情形中，要对 N 个帧的数据同时进行纠错处理是明确的。

(3) 主传送处理

在结束对各个 2 个帧的纠错处理后，主 I/F 部件 17 将用于存取缓冲存储器 12 的地址信息传送到存储器控制部件 15。存储器控制部件 15，与从主 I/F 部件 17 传送过来的地址信息一起，通过 64 位宽度的存储器数据总线 19 从缓冲存储器 12 读出数据。存储器控制部件 15，在读出的 4 个字数据中，将同一个帧的连续的字号码的两个字数据的每一个再配置到部件之间的 32 位宽度的数据总线 18 上，并传送到主 I/F 部件 17。主 I/F 部件 17 将接收的数据传送到主计算机 13。

通过这样的构成，以 64 位为单位进行对缓冲存储器 12 的存取，但是通过以其中的 32 位为单位进行各个部件的处理，在部件之间的数据总线 18 上传送的 32 位数据，因为总是成为有效的数据，所以不会使纠错处理的效率下降，能够使从系统内的各个部件到缓冲存储器 12 的存取速度高速化。

在产业上利用的可能性

本发明涉及得到适用于计算机的外部存储器等的记录再生时的信号处理装置，特别是，为了实现提高对存储器的存取速度的目的，并且实现提高信号处理装置整体的处理速度的目的。

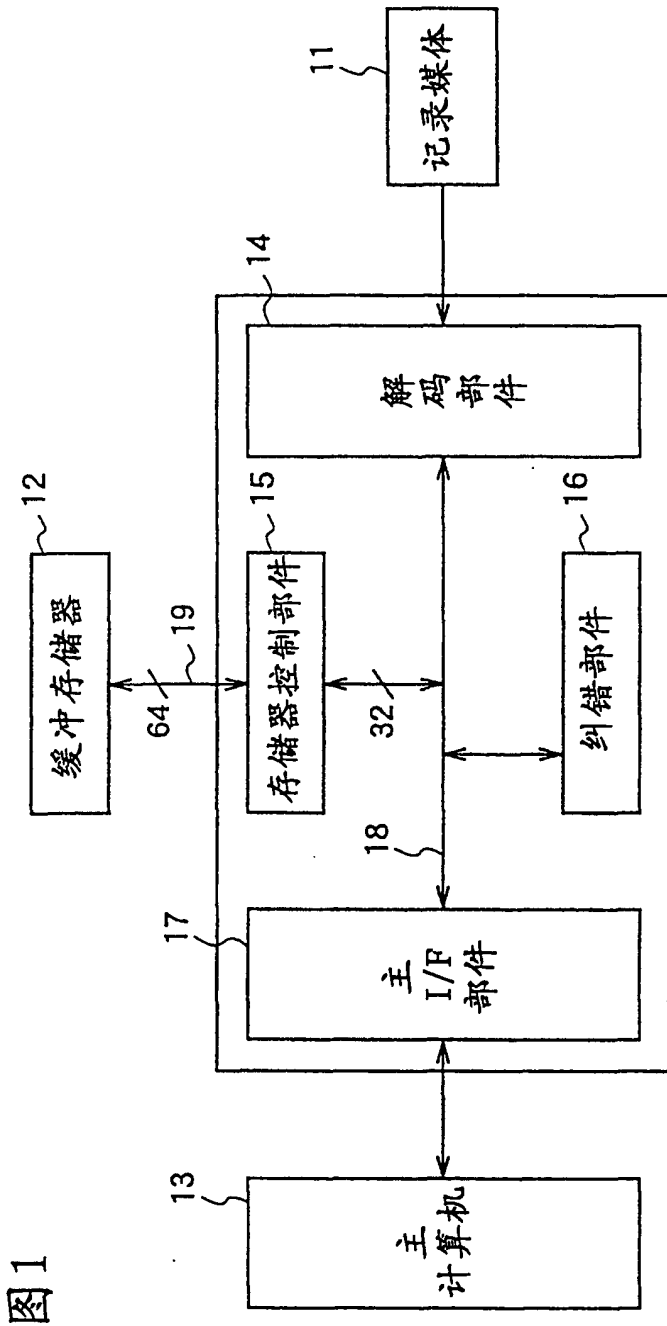


图1

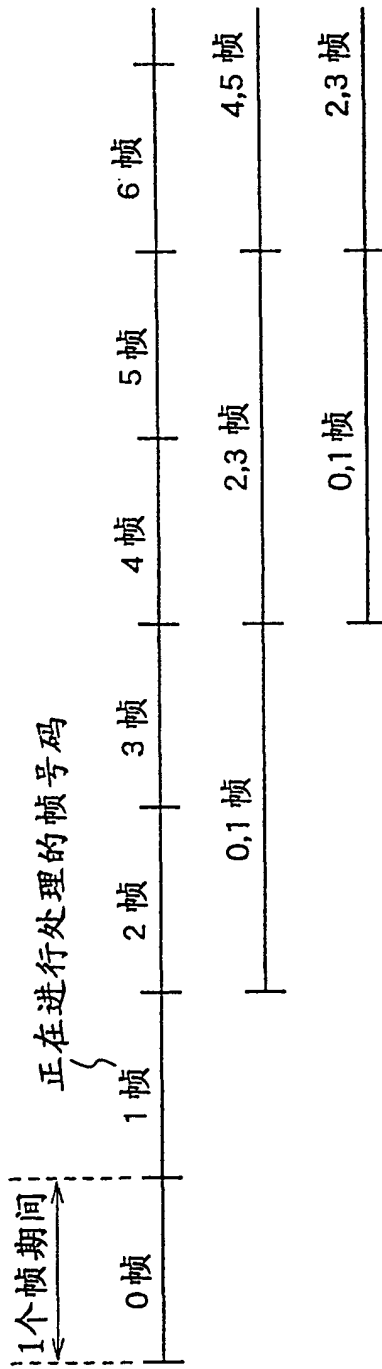


图3

偶	0000	奇	0000	偶	0001	奇	0001	偶	0002	奇	0002
偶	0043	奇	0043	偶	0044	奇	0044	偶	0045	奇	0045
偶	0086	奇	0086	偶	0087	奇	0087	偶	0088	奇	0088
偶	0129	奇	0129	偶	0130	奇	0130	偶	0131	奇	0131
偶	0172	奇	0172	偶	0173	奇	0173	偶	0174	奇	0174
偶	0215	奇	0215	偶	0216	奇	0216	偶	0217	奇	0217
偶	0258	奇	0258	偶	0259	奇	0259	偶	0260	奇	0260
偶	0301	奇	0301	偶	0302	奇	0302	偶	0303	奇	0303
偶	0344	奇	0344	偶	0345	奇	0345	偶	0346	奇	0346
.
.
.

0000	0001	0002	0003	0004	0005
0043	0044	0045	0046	0047	0048
0086	0087	0088	0089	0090	0091
0129	0130	0131	0132	0133	0134
0172	0173	0174	0175	0176	0177
0215	0216	0217	0218	0219	0220
0258	0259	0260	0261	0262	0263
0301	0302	0303	0304	0305	0306
0344	0345	0346	0347	0348	0349

图4

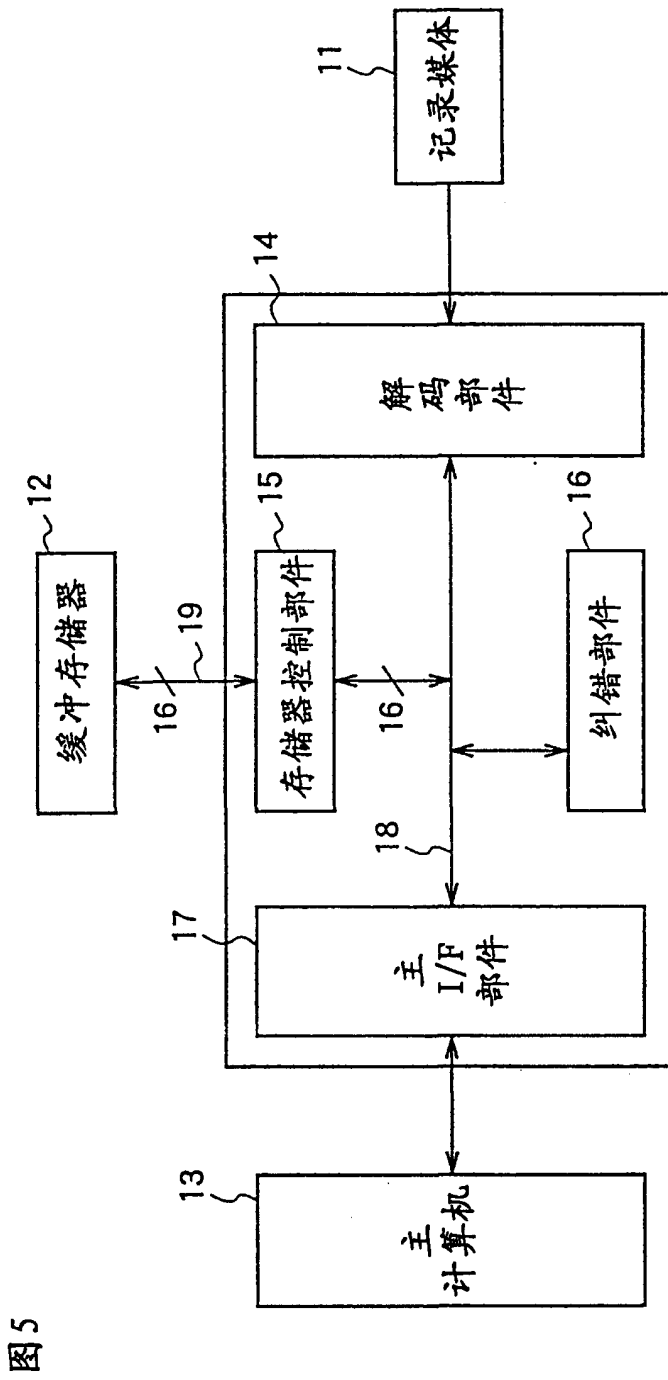


图5

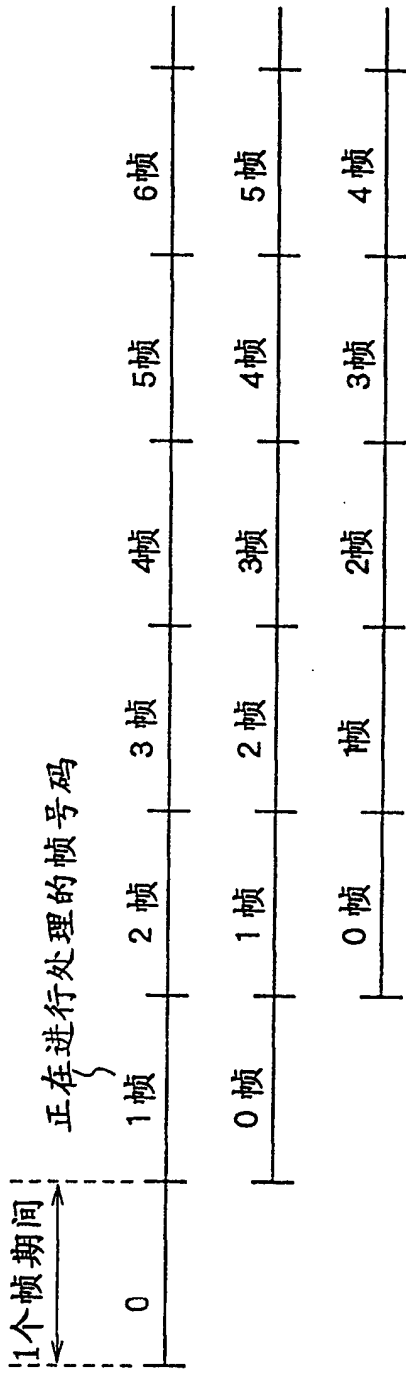


图6(a)缓冲

图6(b)纠错

图6(c)主传送