



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년11월28일
(11) 등록번호 10-2050011
(24) 등록일자 2019년11월22일

- (51) 국제특허분류(Int. Cl.)
H01L 25/065 (2006.01) H01L 23/28 (2006.01)
H01L 23/482 (2006.01) H01L 23/495 (2006.01)
H01L 23/498 (2006.01) H01L 23/522 (2006.01)
H01L 25/07 (2006.01)
- (52) CPC특허분류
H01L 25/0655 (2013.01)
H01L 23/28 (2013.01)
- (21) 출원번호 10-2018-0038051 (분할)
- (22) 출원일자 2018년04월02일
심사청구일자 2018년04월02일
- (65) 공개번호 10-2018-0036947
- (43) 공개일자 2018년04월10일
- (62) 원출원 특허 10-2015-0168848
원출원일자 2015년11월30일
심사청구일자 2015년11월30일
- (30) 우선권주장
14/622,484 2015년02월13일 미국(US)
- (56) 선행기술조사문헌
KR100210691 B1*
KR1020130129058 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
- (72) 발명자
장 보르평
중화민국, 타이완 300-77, 신츄, 사이언스-베이스
드 인더스트리얼 파크, 리신 로드. 6, 8호
리우 청시
중화민국, 타이완 300-77, 신츄, 사이언스-베이스
드 인더스트리얼 파크, 리신 로드. 6, 8호
(뒷면에 계속)
- (74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 10 항

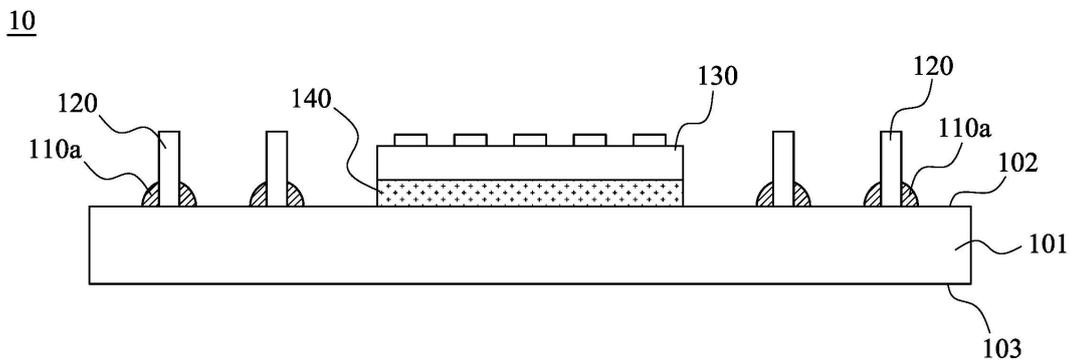
심사관 : 안경민

(54) 발명의 명칭 **반도체 패키지용 상호 연결 구조체 및 상호 연결 구조체의 제조 방법**

(57) 요약

반도체 패키지는 캐리어, 적어도 일 접착부, 복수 개의 마이크로 핀들 및 일 다이를 포함한다. 캐리어는 제1 표면과, 제1 표면에 대항하는 제2 표면을 갖는다. 접착부는 제1 표면 상에 배치되고, 복수 개의 마이크로 핀들은 접착부 내에 배치된다. 다이는 마이크로 핀이 없는 나머지 접착부 상에 배치된다.

대표도



(52) CPC특허분류

H01L 23/4828 (2013.01)

H01L 23/4952 (2013.01)

H01L 23/49811 (2013.01)

H01L 23/522 (2013.01)

H01L 25/072 (2013.01)

(72) 발명자

리아오 신흥

중화민국, 타이완 300-77, 신쑤, 사이언스-베이스
드 인터스트리얼 파크, 리신 로드. 6, 8호

후왕 잉주이

중화민국, 타이완 300-77, 신쑤, 사이언스-베이스
드 인터스트리얼 파크, 리신 로드. 6, 8호

황 지엔링

중화민국, 타이완 300-77, 신쑤, 사이언스-베이스
드 인터스트리얼 파크, 리신 로드. 6, 8호

명세서

청구범위

청구항 1

반도체 패키지 구조체로서,

제1 표면과, 상기 제1 표면에 대향하는 제2 표면을 갖는 캐리어;

상기 제1 표면 상에 배치되는 적어도 일 접착부로서, 상기 접착부는 복수 개의 제1 접착부 및 제2 접착부를 포함하는 것인, 상기 접착부;

상기 복수 개의 제1 접착부로부터 각각 돌출되는 복수 개의 마이크로 핀들; 및

상기 제2 접착부 상에 배치되는 적어도 일 다이를 포함하고,

상기 복수 개의 제1 접착부는 각각, 상기 복수 개의 마이크로 핀들보다 낮은 높이를 가지며, 상기 복수 개의 마이크로 핀들의 하부에 접촉하며, 등근 표면을 갖는 것이고,

상기 복수 개의 제1 접착부는 서로 공간적으로 독립적이고,

상기 제2 접착부의 하부 표면은 상기 제1 접착부의 하부 표면과 동일 평면에 있고, 상기 마이크로 핀들 각각은 상기 제1 접착부의 하부 표면과 동일 평면에 있는 하부 표면을 갖는 것인, 반도체 패키지 구조체.

청구항 2

제1항에 있어서, 상기 접착부는, 상기 캐리어의 상기 제1 표면 상에 배치되는 복수 개의 핀 패드들, 상기 핀 패드들 상에 각각 배치되는 복수의 솔더 페이스트들, 및 상기 캐리어의 제1 표면, 상기 핀 패드들 및 상기 솔더 페이스트들을 덮는 접착막을 포함하는 것인 반도체 패키지 구조체.

청구항 3

제2항에 있어서, 상기 마이크로 핀들 각각은 상기 솔더 페이스트들 중 하나의 솔더 페이스트 내에 배치되고, 상기 다이는 상기 접착막 상에 배치되는 것인 반도체 패키지 구조체.

청구항 4

제2항에 있어서, 상기 접착부는 상기 접착막에 의해 덮이는 복수 개의 다이 패드들을 더 포함하고, 상기 다이는 플립-칩(flip-chip) 형태로 상기 다이 패드들에 부착되는 것인 반도체 패키지 구조체.

청구항 5

제1항에 있어서, 상기 복수 개의 제1 접착부는 복수 개의 접착 페이스트 부분들을 각각 포함하는 것인 반도체 패키지 구조체.

청구항 6

제1항에 있어서, 상기 접착부 각각은, 복수의 핀 패드들, 상기 핀 패드들 상에 각각 배치되는 복수의 솔더 페이스트들, 및 상기 핀 패드들과 상기 솔더 페이스트들을 덮는 접착 페이스트 부분을 포함하고, 상기 마이크로 핀들 각각은 상기 접착부 중 하나의 접착부 내에 배치되는 것인 반도체 패키지 구조체.

청구항 7

제6항에 있어서, 상기 제2 접착부는 다이 부착막을 포함하고, 상기 다이는 상기 다이 부착막 상에 배치되는 것인 반도체 패키지 구조체.

청구항 8

제6항에 있어서, 상기 접착부는 복수 개의 다이 패드들 또는 트레이스들을 더 포함하고, 상기 다이는 상기 다이

패드들 또는 트레이스들에 플립-칩 형태로 부착되거나 결합되는 것인 반도체 패키지 구조체.

청구항 9

반도체 패키지 구조체로서,

몰딩 화합물;

상기 몰딩 화합물 내에 배치되는 복수 개의 마이크로 핀들;

상기 몰딩 화합물 내에 배치되는 적어도 일 다이; 및

복수 개의 제1 접착부와 제2 접착부를 포함하는 적어도 일 접착부를 포함하고,

상기 복수 개의 제1 접착부는 각각, 상기 복수 개의 마이크로 핀들보다 낮은 높이를 가지며, 상기 복수 개의 제1 접착부로부터 각각 돌출되는 상기 복수 개의 마이크로 핀들의 하부에 접촉하며, 둥근 표면을 갖는 것이고,

상기 제2 접착부는 상기 다이와 직접적으로 접촉하는 것이며,

상기 복수 개의 제1 접착부는 서로 공간적으로 독립적이고,

상기 제2 접착부의 하부 표면은 상기 제1 접착부의 하부 표면과 동일 평면에 있고, 상기 마이크로 핀들 각각은 상기 제1 접착부의 하부 표면과 동일 평면에 있는 하부 표면을 갖는 것인, 반도체 패키지 구조체.

청구항 10

반도체 패키지 구조체의 제조 방법으로서,

캐리어 상에 적어도 일 접착부를 형성하는 단계로서, 상기 접착부는 복수 개의 제1 접착부 및 제2 접착부를 포함하는 것인, 상기 접착부를 형성하는 단계;

상기 복수 개의 제1 접착부 내에 복수 개의 마이크로 핀들을 각각 배치하는 단계; 및

상기 제2 접착부 상에 다이를 접합하는 단계를 포함하고,

상기 복수 개의 제1 접착부는 각각, 상기 복수 개의 마이크로 핀들보다 낮은 높이를 가지며, 상기 복수 개의 제1 접착부로부터 각각 돌출되는 상기 복수 개의 마이크로 핀들의 하부에 접촉하며, 둥근 표면을 갖는 것이고,

상기 복수 개의 제1 접착부는 서로 공간적으로 독립적이고,

상기 제2 접착부의 하부 표면은 상기 제1 접착부의 하부 표면과 동일 평면에 있고, 상기 마이크로 핀들 각각은 상기 제1 접착부의 하부 표면과 동일 평면에 있는 하부 표면을 갖는 것인, 반도체 패키지 구조체의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 패키지용 상호 연결 구조체 및 상호 연결 구조체의 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 디바이스는 디지털 카메라에서 휴대용 디바이스까지 많은 상이한 타입의 전기 제품에서 실행된다. 반도체 디바이스의 제조에 있어서, 다양한 재료층들 상에 층들이 상호 얽힌 결합 및 정교하게 설계된 결합 메카니즘과 연속하여 적층된다.

[0003] 디바이스는 보다 콤팩트한 치수를 갖도록 설계되고, 컴포넌트는 비교적 작은 공간 내에 설치되도록 축소되어야 한다. 이와 관련하여, 컴포넌트들이 어떻게 적층 또는 패키징되는 지가 디바이스 크기에 있어서 중요하다. 패키지 온 패키지(PoP; package on package)가 우수하게 조직화된 적층에 의해 소정의 영역에서 보다 많은 컴포넌트들을 수용하도록 개발되었다. 반도체 디바이스에서 소정의 영역 내에 전자 컴포넌트들의 갯수가 증가하고, 높은 컴포넌트 밀도가 입력/출력(I/O) 갯수의 증가에 의해 불가피하게 동반된다. PoP의 레이아웃은, 특히 결합 메카니즘이 될 때에 I/O 밀도를 결정하는 피치에 관해 큰 영향을 미칠 수 있다. 바꿔 말해서, PoP 구조체에서 패키지들 사이의 접합은 전기 제품의 치수에 큰 영향을 미칠 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 종래 기술의 문제들 중 하나 이상을 제거 또는 완화시키는 것이다.

도면의 간단한 설명

[0005] 본 개시의 양태는 첨부 도면과 함께 읽을 때에 이하의 상세한 설명으로부터 가장 잘 이해된다. 산업에 있어서의 표준적 실시예에 따라, 다양한 피쳐들은 실적으로 도시되지 않는다. 사실상, 다양한 피쳐들의 치수는 설명의 명확도를 위해 임의로 증가 또는 감소될 수 있다.

도 1은 본 개시의 몇몇 실시예에 따라, 복수 개의 마이크로 핀을 갖는 반도체 패키지의 정단면도이다.

도 2는 본 개시의 몇몇 실시예에 따라, 복수 개의 마이크로 핀을 갖는 반도체 패키지의 정단면도이다.

도 3은 본 개시의 몇몇 실시예에 따라, 접착부에 의해 경계가 정해지는 복수 개의 마이크로 핀을 갖는 반도체 패키지의 정단면도이다.

도 4는 본 개시의 몇몇 실시예에 따라, 솔더 조인트에 의해 경계가 정해지는 복수 개의 마이크로 핀과 플립-칩을 갖는 반도체 패키지의 정단면도이다.

도 5는 본 개시의 몇몇 실시예에 따라, 접착부에 의해 경계가 정해지는 복수 개의 마이크로 핀을 갖는 반도체 패키지의 정단면도이다.

도 6은 본 개시의 몇몇 실시예에 따라, 솔더 조인트에 의해 경계가 정해지는 복수 개의 마이크로 핀과 플립-칩을 갖는 반도체 패키지의 정단면도이다.

도 7은 본 개시의 몇몇 실시예에 따라, 몰딩 화합물과 복수 개의 마이크로 핀을 갖는 반도체 패키지의 정단면도이다.

도 8은 본 개시의 몇몇 실시예에 따라, 접착부에 의해 경계가 정해지는 몰딩 화합물과 복수 개의 마이크로 핀을 갖는 반도체 패키지의 정단면도이다.

도 9는 본 개시의 몇몇 실시예에 따라, 접착부와 플립-칩에 의해 경계가 정해지는 몰딩 화합물과 복수 개의 마이크로 핀을 갖는 반도체 패키지의 정단면도이다.

도 10은 본 개시의 몇몇 실시예에 따라, 접착부에 의해 경계가 정해지는 몰딩 화합물과 복수 개의 마이크로 핀을 갖는 반도체 패키지의 정단면도이다.

도 11은 본 개시의 몇몇 실시예에 따라, 접착부에 의해 경계가 정해지는 몰딩 화합물과 복수 개의 마이크로 핀을 갖는 반도체 패키지의 정단면도이다.

도 12는 본 개시의 몇몇 실시예에 따라, 접착부와 결합부에 의해 경계가 정해지는 몰딩 화합물과 복수 개의 마이크로 핀을 갖는 반도체 패키지의 정단면도이다.

도 13은 본 개시의 몇몇 실시예에 따라, 다양한 접착 메카니즘에서 복수 개의 마이크로 핀의 확대도이다.

도 14는 본 개시의 몇몇 실시예에 따라, 반도체 패키지를 제조하는 방법을 보여주는 흐름도이다.

도 15a 내지 도 15g는 본 개시의 몇몇 실시예에 따라, 복수 개의 마이크로 핀을 갖는 반도체 패키지를 제조하는 방법을 보여주는 개략도이다.

도 16a 내지 도 16e는 본 개시의 몇몇 실시예에 따라, 복수 개의 마이크로 핀을 갖는 반도체 패키지를 제조하는 방법을 보여주는 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0006] 이하의 개시는 본 발명의 상이한 피쳐들을 실시하기 위한 많은 상이한 실시예, 즉 예를 제공한다. 구성요소 및 구성의 특정한 예는 본 개시를 간소화하도록 아래에서 설명된다. 물론, 이들은 단지 예일 뿐이고 한정하도록 의도되지 않는다. 예컨대, 아래의 설명에서 제2 피쳐 위에 또는 제2 피쳐 상에 제1 피쳐의 형성은 제1 및 제2 피쳐가 직접적인 접촉 상태로 형성되는 실시예를 포함할 수 있고, 또한 제1 및 제2 피쳐가 직접적으로 접촉하지

않을 수 있도록 제1 및 제2 피처 사이에 추가의 피처가 형성될 수 있는 실시예를 포함할 수 있다. 또한, 본 개시는 다양한 예에서 참조 번호 및/또는 문자를 반복할 수 있다. 이 반복은 간소화 및 명확도를 위한 것이고 설명되는 다양한 실시예들 및/또는 구성들 간의 관계를 자체가 결정하지 않는다.

[0007] 또한, "밑에", "아래에", "하부", "위에", "상부" 등과 같이 공간적으로 상대적인 용어는 본 명세서에서 도면에 예시된 바와 같이 다른 요소(들) 또는 피처(들)에 대한 하나의 요소 또는 피처의 관계를 설명하도록 설명의 용이함을 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시된 배향 외에 사용 또는 작동 시에 디바이스의 상이한 배향을 포함하도록 의도된다. 장치는 달리 배향(90도 또는 다른 배향으로 회전)될 수 있고 본 명세서에 사용되는 공간적으로 상대적인 기술어는 마찬가지로 이에 따라 해석될 수 있다.

[0008] 패키지 온 패키지(PoP) 구조체는 보다 많은 전자 컴포넌트들을 제한된 영역 내에 집적하기 위해 개발되었다. 그러나, 상이한 타입의 패키지 접합은 PoP의 피처에 크게 영향을 미치고 또한 그 기능 및 메모리 용량에 영향을 미친다.

[0009] 통상적인 PoP는 2개의 바로 인접한 패키지들을 결합하기 위해 상당한 크기의 솔더 볼을 채택한다. 높은 컴포넌트 밀도를 만들기 위하여, 각각의 솔더 볼은 가깝게 배치되어, 사이에 충분한 간극이 거의 없게 만든다. 고온의 가열 및 프레스 시에, 솔더 볼은 다른 패키지 상의 소기의 대응하는 솔더 볼 뿐만 아니라 이웃한 솔더 볼을 향해 측방향으로 확장되기 쉽다. 따라서, 측방향 브릿지가 형성되고 회로 고장을 유발한다.

[0010] 종래의 솔더 볼 PoP에서 브릿지 발생을 감소시키기 위해 스루-몰드 비아(TMV; through-mold via)에서 몰딩을 이용하는 것이 공지되어 있다. 전도성 재료로 처리되는 비아가 몰딩을 관통하게 생성되어 하나의 기관 상의 패드를 노출시키고 보다 정밀한 위치, 즉 비아의 개구에 솔더 볼을 받아들인다. 그러나, 비아를 노출시키기 위해, 추가의 레이저 드릴링 프로세스가 요구되고, 이는 I/O의 갯수와 함께 비용을 증대시킨다.

[0011] 본드 비아 어레이(BVA; bond via array)가 전도성과 절충하는 일 없이 I/O의 갯수를 증가시키는 또 다른 방안이다. BVA는 금 또는 구리 와이어를 이용하는 와이어-본드계 상호 연결 기술이다. 그러나, 와이어 팁을 사전 결정된 위치에서 어떻게 균일한 높이로 종결시키는지, 또는 와이어 팁이 리플로우 후에 솔더 볼에 의해 견고하게 유지되는 것을 어떻게 보장하는지와 같은 많은 잠재적인 문제가 접합 와이어의 형성 시에 존재한다. 본드 와이어의 임의의 불규칙성이 패키지 시프팅을 초래할 가능성이 있다. 더욱이, BVA 조립체의 비용은 개별적인 본드 와이어의 비용으로 인해 상당히 높다.

[0012] 이하, 도 1을 참조한다. 본 개시의 몇몇 실시예에 따른 반도체 패키지 구조체(10)의 정단면도가 도시되어 있다. 반도체 패키지 구조체(10)는 캐리어(101), 접착부(110a, 140), 복수 개의 마이크로 핀(120), 및 다이(130)를 포함한다. 캐리어(101)는 제1 표면(102)과, 이 제1 표면과 대향하는 제2 표면(103)을 갖는다. 캐리어(101)는, 패키지 온 패키지 용례를 위한 라미네이트, 세라믹, 인쇄 회로 기판, 글래스 또는 실리콘 웨이퍼 등의 집적 회로가 형성될 수 있는 임의의 적절한 재료 또는 재료들의 조합으로 구성될 수 있다. 본 실시예에서, 접착부는 접착 페이스트 부분(110a)과 다이 부착막(140)을 포함한다. 접착 페이스트 부분(110a)은 비전도성 접착막 등으로 제조될 수 있고, 예컨대 스크린 프린팅 또는 당업자에게 공지된 다른 성막 방법에 의해 캐리어(101)의 제1 표면(102) 상에 형성된다. 접착 페이스트 부분(110a)은 1개의 또는 복수 개의 열의 접착 페이스트 부분(110a)을 갖는 실질적으로 직사각형 또는 정사각형 어레이에 분배된다. 접착 페이스트 부분(110a)은 중앙 영역에서 다이 부착 영역을 둘러싼다. 각 열 사이의 피치는 대략 동일하게 떨어져 있고 120 μm 만큼 좁을 수 있다. 그러나, 접착 페이스트 부분(110a)이, 간격이 균일하든 불균일하든 임의의 적절한 패턴으로 분배될 수 있다는 것을 이해해야 한다.

[0013] 도 1에 도시된 바와 같이, 본 실시예에서, 각각의 접착 페이스트 부분(110a)은 다른 접착부(110)와 공간적으로 독립적이다. 바꿔 말해서, 접착부(110a)는 제1 표면(102) 상의 다이 부착 영역을 두르는 복수 개의 접착 아일랜드를 형성한다. 다이 부착막(140)은 다이(130)를 접합하기 위해 접착 페이스트 부분(110a)에 의해 획정되는 다이 부착 영역에서 제1 표면(102) 상에 배치된다. 본 실시예에서, 2개의 열의 접착 페이스트 부분은 다이 부착 영역의 주위와 정사각형 매트릭스를 구성한다. 바꿔 말해서, 다이 부착막(140)은, 접착 페이스트 부분(110a)에 의해 생성되는, 실질적으로 동심의 다중 링 패턴에 의해 둘러싸인다. 각각의 마이크로 핀(120)은 접착 페이스트 부분들(110a) 중 하나에 대해 위치 설정되고 그 안에 배치된다.

[0014] 이하, 도 13을 참조한다. 마이크로 핀(120)은 구리, 금 또는 임의의 적절한 합금으로 제조되고, 프로파일은 원통형 필라와 유사하다. 마이크로 핀(120)의 팁은, 그 접촉점이 비교적 평평하게 되는 것을 보장하도록 작용제에 대해 처리, 예컨대 코팅 또는 침지를 받는다. 마이크로 핀(120)은 길이(L)가 100 내지 900 μm 의 범위이고,

직경(D)이 길이보다 적어도 50 μm 작은(즉, L-50 μm) 치수를 갖는다. 그러나, 마이크로 핀(120)이 상기 치수 제약을 만족시키는 다른 기하학적 형태를 가질 수 있다는 것을 이해해야 한다. 예컨대, 마이크로 핀(120)은 비교적 짧은 바아가 다른 긴 바아에 직교하게 배치되는 문자 "T"와 유사할 수 있다. 접착 페이스트 부분(110a)의 두께(T)는 마이크로 핀(120)의 치수에 따라 변경된다. 보다 구체적으로, 캐리어(101)의 제1 표면(102)과 접촉하는, 마이크로 핀(120)의 베이스는 그 전체 길이의 대략 1/3 만큼(즉, 1/3L) 접착 페이스트 부분(110a)과 정합된다. 두께 방향에서 여분의 접착 페이스트 부분(110a)은 원치않는 배향으로, 예컨대 상방으로 접착 재료의 오버플로우를 초래할 수 있다.

[0015] 도 1을 다시 참조한다. 다이(130)는 다이 부착막(140) 상에 배치되고, 반도체 패키지 구조체(10)는 마이크로 핀(120)을 통해 다른 패키지와 접합될 수 있다. 본 실시예에서, 다이 패드가 연결을 위해 노출될 때에, 마이크로 핀(120)의 높이가 다이 패드와 동일한 높이에 도달한다. 마이크로 핀(120)의 팁과 다이 패드 간에 균일한 높이는 이후의 프로세스에서 전기 연결을 보다 용이하게 만든다.

[0016] 이하, 도 2를 참조한다. 본 개시의 몇몇 실시예에 따른 반도체 패키지 구조체(20)가 제공된다. 반도체 패키지 구조체(20)는, 제1 표면(102)과 이 제1 표면에 대향하는 제2 표면(103)을 갖는 캐리어(101), 접착막(110b), 복수 개의 마이크로 핀(120) 및 다이(130)를 포함한다. 접착막(110b)은 제1 표면(102) 상에 배치된다.

[0017] 반도체 패키지 구조체(10)와 달리, 반도체 패키지 구조체(20)의 접착부는 접착막(110b)에 의해 구성된다. 접착막(110b)은 적층, 프린팅, 코팅, 스퍼터링 등에 의해 형성될 수 있다. 이와 달리, 접착막(110b)은 복수 개의 접착 페이스트 부분(110a)을 연결시킨 결과일 수 있다. 본 실시예에서, 접착막(110b)은 대략 10-35 μm 의 두께를 갖는다. 도 2에 도시된 바와 같이, 마이크로 핀(120)은 그 경계 내에 다이 부착 영역을 둘러싸는 임의의 적절한 패턴으로 분배된다. 도 13을 참조하면, 마이크로 핀(120)은 마이크로 핀(120)의 길이의 대략 1/3까지 접착막(110b)과 정합한다. 다른 한편으로, 다이(130)는 다이 부착막(140) 대신에 접착막(110b)에 직접 부착된다. 다시 말해서, 접착막(110b)의 블랭킷이 단독으로 제1 표면(102) 상에 컴포넌트를 보유하는 역할을 한다.

[0018] 이하, 도 3을 참조한다. 반도체 패키지 구조체(30)가 제공된다. 본 실시예에서, 반도체 패키지 구조체(30)는 제1 표면(102)과 이 제1 표면에 대향하는 제2 표면(103)을 갖는 캐리어(101), 복수 개의 접착부(110a, 111, 112, 140), 복수 개의 마이크로 핀(120) 및 다이(130)를 포함한다. 접착부는 복수 개의 접착 페이스트 부분(110a), 복수 개의 핀 패드(111), 복수 개의 솔더 페이스트(112) 및 다이 부착막(140)을 포함한다. 제1 표면(102) 상에 재분배층(도시 생략)이 형성되고, 핀 패드(111)가 사전 결정된 마이크로 핀 패턴에 따라 재분배층 상에 형성된다. 본 실시예에서, 핀 패드(111)는 2열로 배치되고, 다이(130)를 수용하도록 다이 부착 영역을 둘러싸는 정사각형 링을 형성한다. 솔더 페이스트(112)는 프린팅, 코팅 등에 의해 각각의 핀 패드(111) 상에 배치된다. 솔더 페이스트(112)는 제1 표면(102) 상에 놓이는 직경을 갖는 반구형 범프와 유사하다(즉, 재분배층). 도 13을 참조한다. 바꿔 말해서, 일단 솔더 페이스트가 성막되면 솔더 페이스트의 가능한 가장 넓은 접촉 면적이 결정된다. 반구형 형태는 리플로우를 전도시킬 때에 원치않는 방향으로, 예컨대 이웃한 솔더 페이스트쪽으로 추가의 확장을 방지한다.

[0019] 핀 패드(111)와 솔더 페이스트(112)의 각 쌍은 접착 페이스트 부분(110a)에 의해 독립적으로 덮인다. 도 3에 도시된 바와 같이, 마이크로 핀(120)을 위한 하나의 접착부는 하나의 핀 패드(111), 핀 패드(111) 위의 하나의 솔더 페이스트(112) 및 핀패드(111)와 솔더 페이스트(112) 모두를 감싸는 하나의 접착 페이스트 부분(110a)에 의해 구성된다. 접착 페이스트 부분(110a)은 핀 패드(111)와 솔더 페이스트(112)를 완벽하게 덮는다. 보다 구체적으로, 접착 페이스트 부분(110a)은 솔더 페이스트보다 약간 두껍거나 높게 됨으로써, 마이크로 핀(120)의 삽입 시에, 마이크로 핀(120)은 먼저 접착 페이스트 부분(110a)에 의해 유지되고 그 후에 솔더 페이스트(112) 내에 병합된다. 다이 부착 영역을 둘러싸는 접착부는 하나의 마이크로 핀(120)을 받아들인다. 각각의 마이크로 핀(120)은 접착부들이 제1 표면(102) 상에서 분리되어 있기 때문에 공간적으로 독립적이다. 다이 부착막(140)은 다이(130)를 상부에 받아들이도록 마이크로 핀(120)의 링에 의해 확정되는 다이 부착 영역에 배치된다.

[0020] 도 4를 참조한다. 본 실시예에서, 반도체 패키지 구조체는 반도체 패키지 구조체(30)와 유사하다. 반복을 피하기 위하여, 이후에는 차이만이 설명된다. 다이(130)는 캐리어(101)의 제1 표면(102)에 플립-칩(flip-chip) 형태로 부착된다. 본 실시예의 접착부는 또한 복수 개의 다이 패드(113)를 포함한다. 다이 패드(113)는 다이(130)를 캐리어(101)에 연결시키는 구성으로, 전도성 물질일 수 있다. 예를 들어, 다이 패드(113)로서 전도성 패드 또는 전도성 트레이스(trace)가 이용될 수 있다. 다이 패드(113)는 핀 패드(111)가 없는 다이 부착 영역에 배치되고, 다이(130)는 범프(솔더 페이스트)를 통해 다이 패드(113)에 접합된다. 다른 패키지가 본 실시예 상에 적층될 때에, 추가의 패키지가 마이크로 핀(120)과 접촉한다.

- [0021] 이하, 도 5를 참조한다. 본 개시의 몇몇 실시예에 따른 반도체 패키지 구조체(40)의 정단면도가 도시되어 있다. 반도체 패키지 구조체(40)는 제1 표면(102)과 이 제1 표면(102)에 대항하는 제2 표면(103)을 갖는 캐리어(101), 복수 개의 접착부(110b, 111, 112) 및 다이(130)를 포함한다. 캐리어(101)의 제1 표면(102)에는 재분배층(도시 생략)이 형성되고, 복수 개의 핀 패드(111)가 재분배층 상에 배치된다. 핀 패드(111)는 복수 개의 동심 열의 마이크로 핀(120) 중 하나에 의해 형성되는 폐쇄된 링일 수 있는 사전 결정된 패턴에 따라 배치된다. 솔더 페이스트(112)가 핀 패드(111) 각각에 배치되고, 접착막(110b)이 제1 표면(102; 즉, 재분배층)과 핀 패드(111), 그 위의 솔더 페이스트(112)를 완벽하게 덮는다. 도 5에 도시된 바와 같이, 접착막(110b)은 마이크로 핀(120)이 각 솔더 페이스트(112)와 핀 패드(111) 아일랜드 밖으로 돌출되는 상태로 제1 표면(102)을 지배한다. 도 3 및 도 4에서, 접착부는 제1 표면(102) 상에 산재해 있는 개별적인 아일랜드를 분리시키고, 본 실시예에서, 접착부는 접착막(110b)을 통해 연결된다. 도 13에 도시된 바와 같이, 접착막(110b)의 두께(T)는 2개의 주 인자, 즉 마이크로 핀(120)의 길이 및 솔더 페이스트(112)의 크기에 의해 결정된다. 마이크로 핀(120)은 다이(130)가 접착막(110b)의 일부분 상에 수용되는 곳에 다이 부착 영역을 확장한다.
- [0022] 도 6을 참조한다. 본 실시예에서, 차이는 플립-칩인 다이(130)의 성막으로부터 생긴다. 핀 패드(111)에 추가하여, 본 실시예에서, 반도체 패키지 구조체는 복수 개의 다이 패드(113)를 더 포함한다. 다이 패드(113)는 마이크로 핀(120)에 의해 폐쇄되는 다이 부착 영역에 배치된다. 다이(130)는 플립 칩으로서 범프(솔더 페이스트; 112)를 통해 다이 패드(113)에 부착된다.
- [0023] 이하, 도 7을 참조한다. 본 개시의 몇몇 실시예에 따른 반도체 패키지 구조체(50)의 정단면도가 도시되어 있다. 본 실시예에서, 반도체 패키지 구조체(50)는 도 1에 도시된 반도체 패키지 구조체(10)를 기초로 하여 구성된다. 기존의 비계(scaffolding)에 추가하여, 캐리어(101)의 제1 표면(102) 상에 몰딩 화합물(150)이 형성된다. 몰딩 화합물(150)은 제1 면(151)과 이 제1 면에 대항하는 제2 면(152)을 갖는다. 제1 면(151)은 접착부(110a, 140)가 없는 제1 표면(102)과 동일한 높이에 있다. 몰딩 화합물의 두께는 핀 팁과 다이 패드의 높이에 따라 변경된다. 다시 말해서, 제2 면(152)은 마이크로 핀(120)이 종결되는 곳과 동일한 높이에 있다. 캐리어(101)와 접착부의 일부, 이 경우에 접착 페이스트 부분(110a)은 나중에 제거되어 반도체 패키지 구조체(50)를 만든다. 몰딩 화합물(150)은 적층 시에 다른 컴포넌트에 의해 야기되는 충돌을 최소화시키도록 반도체 패키지 구조체(50)의 구조적 강도를 강화시킨다. 다이(130)는 도처에서, 즉 바닥으로부터 다이 부착막(140), 측부 및 상부로부터 몰딩 화합물(150), 주위로부터 마이크로 핀(120)에 의해 철저한 보호 하에 있고, 전기 연결은 포토리소그래피 및 전해 도금 프로세스에 의해 여전히 쉽게 달성될 수 있다. 캐리어(101)가 제거되어 빈 공간을 생기게 하기 때문에, 다른 컴포넌트가 제1 면(151) 또는 제2 면(152)에 부착될 수 있다. 마이크로 핀(120)은 캐리어(101)의 부재 시에 상호 연결부의 역할을 한다.
- [0024] 접착 페이스트 부분(110a)이 제거된 후에, 몰딩 화합물(150)의 제1 면(151)에 있는 마이크로 핀(120)은 부분적으로 노출된다. 더욱이, 접착 페이스트 부분 만큼 남겨진 공극(void)은 접착 재료, 예컨대 솔더 볼을 받아들일 수 있다. 솔더 볼은 접착 페이스트 부분(110a)에 의해 미리 형성되고 이제는 몰딩 화합물(150)에 의해 형성되는 함입부 내에 배치될 수 있고, 재료 오버플로우는 공간적 제약 때문에 발생할 가능성이 적다. 다이(130)는 다이 부착막(140)에 부착되고, 모두가 몰딩 화합물(150) 내에 남아 있다. 접착 페이스트 부분(110a)은 요건에 따라 반도체 패키지 구조체(50) 내에 유지될 수 있다.
- [0025] 이하, 도 8을 참조한다. 본 개시의 몇몇 실시예에 따른 반도체 패키지 구조체의 정단면도가 도시되어 있다. 본 실시예는 구조체(30)를 기초로 하여 구성된다. 몰딩 화합물(150)은 제1 표면(102; 즉, 재분배층) 상에 형성되고, 마이크로 핀(120), 다이(130) 및 접착부(110a, 111, 112, 140)를 봉입한다. 마찬가지로, 캐리어(101)는 본 실시예에서 일시적이고 나중 단계에서 제거된다. 반도체 패키지 구조체(50)와 달리, 본 실시예에서, 마이크로 핀(120)의 접착부, 즉 핀 패드(111), 솔더 페이스트(112) 및 접착 페이스트 부분(110a)은 구조체 내에 유지된다. 도 13과 함께 도 3에 도시된 바와 같이, 핀 패드(111), 솔더 페이스트(112) 및 접착 페이스트 부분(110a)은 몰딩 화합물(150)의 제1 면(151) 상에서 노출된다. 본 실시예에서, 마이크로 핀(120)의 일단부는 몰딩 화합물의 제2 면(152)으로부터 노출되고, 마이크로 핀(120)의 타단부는 접착부에 의해 에워싸여 있다.
- [0026] 이하, 도 9를 참조한다. 본 개시의 몇몇 실시예에 따른 반도체 패키지 구조체의 정단면도가 도시된다. 본 실시예는 도 4에 도시된 반도체 구조체를 기초로 하여 구성된다. 도 8에 도시된 구조체와 같이, 본 실시예에서, 마이크로 핀(120)의 접착부가 유지된다. 다이 부착막(140)은 복수 개의 다이 패드(113)에 의해 대체되고, 다이(130)는 플립-칩 형태의 범프(112)를 통해 다이 패드(113)에 부착된다. 몰딩 화합물(150)은 또한 패키지 온 패키지 비계에서 반도체의 구조적 내구성을 강화시킨다.

- [0027] 이하, 도 10을 참조한다. 본 개시의 몇몇 실시예에 따른 반도체 패키지 구조체(60)의 정단면도가 도시된다. 반도체 패키지 구조체(60)는 도 2에 도시된 반도체 패키지 구조체(20)를 기초로 하여 구성된다. 몰딩 화합물(150)은 본 실시예에서 접착 페이스트 부분(110a) 상에 형성된다. 몰딩 화합물(150)의 제1 면(151)은 접착 페이스트 부분(110a)과 동일 높이에 있고, 사전 결정된 패턴으로 마이크로 핀(120)과 다이(130)가 산재되어 있다. 본 실시예에서, 몰딩 화합물(150)의 두께는 2개의 주 인자, 즉 접착 페이스트 부분(110b)과 마이크로 핀(120)의 팁 높이에 따라 좌우된다. 몰딩 화합물(150)은 접착 페이스트 부분(110b)으로부터 성장되고 마이크로 핀(120)의 팁과 만날 때에 종결된다. 도 13과 함께 도 10에 도시된 바와 같이, 마이크로 핀(120)과 다이(130)에 의해 생성되는 패턴에도 불구하고, 몰딩 화합물(150)의 제2 면(152)은 실질적으로 평평하다. 제2 면(152), 마이크로 핀(120)의 팁 및 다이 패드는 실질적으로 동일 평면 상에 있고, 이 형태는 제2 면(152)에서 마이크로 핀(120)과 다이 패드 사이에 용이한 전기 연결을 가능하게 한다. 몰딩 화합물(150)은 더 강한 구조적 지지를 제공하는 동시에, 마이크로 핀(120) 또는 다이(130)의 액세스와 절충하지 않는다.
- [0028] 더욱이, 캐리어(101)가 본 실시예에서 제거되기 때문에, 마이크로 핀(120)은 양단부가 자유롭다. 구체적으로, 일단부는 몰딩 화합물의 제2 면(152)으로부터 노출되고, 타단부는 일시적인 캐리어의 제거 후에 접착 페이스트 부분(110b)로부터 노출된다. 양단부가 자유로운 경우, 컴포넌트들은, 예컨대 솔더 볼 또는 임의의 다른 적절한 접착 재료를 통해 마이크로 핀(120)의 어느 한 단부에 결합될 수 있다. 반도체 패키지 구조체(50)에서의 마이크로 핀(120)과 유사하게, 마이크로 핀(120)은 상호 연결부의 역할을 할 수 있다.
- [0029] 도 11을 참조한다. 본 개시의 몇몇 실시예에 따른 반도체 패키지 구조체가 제공된다. 반도체 패키지 구조체는 도 5에 도시된 구조체를 기초로 하여 구성된다. 접착부가 복수 개의 핀 패드(111)와 솔더 페이스트(112)를 포함하지만, 몰딩 화합물(150)은 여전히 접착 페이스트 부분(110b)과 높이가 동일하고 핀 패드(111) 또는 솔더 페이스트(112)와 접촉하지 않는다. 전술한 바와 같이, 접착 페이스트 부분(110b)은 핀 패드(111)와 솔더 페이스트(112)의 결합 두께를 초과하고, 이에 따라 몰딩 화합물(115)과 반구형 솔더 페이스트(112)의 정점 사이에 거리가 생성된다.
- [0030] 도 12를 참조한다. 본 개시의 몇몇 실시예에 따른 반도체 패키지 구조체가 제공된다. 반도체 패키지 구조체는 도 6에 도시된 구조체를 기초로 하여 구성된다. 몰딩 화합물(150)은 접착 페이스트 부분(110b) 상에 형성된다. 도 11에 도시된 실시예와 달리, 다이(130)는 플립-칩 형태로 다이 패드(113)에 부착된다. 마이크로 핀(120)은 다이(130)에 와이어 접합되지 않고 재분배층에 의해 연결된다.
- [0031] 이하, 도 14를 참조하면, 반도체 패키지 구조체를 제조하는 방법의 실시예가 예시되어 있다. 도 14에 도시된 방법의 실시예는 또한 도 15a 내지 도 15g의 개략도에 도시된다. 이하, 도 15a를 참조한다. 팻릿(90; pallet)이 마련되고, 팻릿(90) 상에 드릴링, 습식 에칭, 플라즈마 에칭 등에 의해 복수 개의 공동(91)이 형성된다. 팻릿(90)은, 예컨대 강철, 플라스틱, 그래파이트 또는 임의의 다른 적절한 재료로 제조될 수 있다. 본 실시예에서, 팻릿(90)은 복수 개의 마이크로 핀(120)을 일시적으로 수용하도록 표면에서 개방된 공동(91)을 갖는 실질적으로 직사각형 블럭으로 형성된다. 공동(91)은 팻릿(90)의 주위 영역을 따라 1개 또는 복수 개의 열의 정사각형 링에 배치된다. 본 실시예에서, 공동(91)은 균일한 간격으로 균등하게 분배된다. 그러나, 패턴은, 예컨대 상이한 기하학적 형태 또는 불균일한 간격을 형성하도록 변경될 수 있다.
- [0032] 이어서, 공동(91)의 갯수에 관련된 다수의 마이크로 핀(120)이 팻릿(90) 상에 무작위로 배치된다. 다음에, 팻릿(90)에 진동이 인가되고, 마이크로 핀(120)이 공동(91) 내로 떨어진다. 각각의 공동(91)이 하나의 마이크로 핀(120)을 받아들이기 때문에, 공동의 치수는 마이크로 핀의 프로파일과 밀접하게 관련된다. 보다 구체적으로, 도 15b를 참조하면, 마이크로 핀(120)이 원통형 필라와 유사하면, 공동(91)은 그 리세스 내에 마이크로 핀(120)의 일단부를 유지하도록 형성되고, 마이크로 핀(120)의 타단부는 공동(91) 밖으로 돌출된다. 공동(91)의 깊이는 잘못된 분산을 방지하도록 바람직한 마이크로 핀 길이(L)의 대략 2/3이다. 마이크로 핀(120)의 돌출된 부분은 그 전체 길이(L)의 대략 1/3이다. 몇몇 실시예에서, 마이크로 핀(120)의 정렬은 공압 조건에서 수행될 수 있다. 예컨대, 공기 연통을 허용하는 채널(도시 생략)이 공동(91)으로 이어질 수 있다. 보다 구체적으로, 비교적 좁은 직경을 갖는 채널이 공동(91)의 바닥에서 개방된다. 마이크로 핀(120)이 진동 하에 있을 때에, 공기가 채널을 통해 끌어당겨져서, 흡인력이 마이크로 핀의 정렬을 용이하게 한다. 공압 조건은 마이크로 핀(120)의 치수가 특별히 작을 때에 특히 적합하다.
- [0033] 이하, 도 15c를 참조하면, 캐리어(101)가 제공된다. 접착부가 캐리어(101)의 표면과 적층된다. 접착부는, 캐리어(101)의 전체 표면을 덮고 마이크로 핀(120) 그리고 나중에는 다이(130)를 위한 부착 수단의 역할을 하는, 이미 설명된 접착 페이스트 부분(110b)과 동일하다. 핀 정렬 후에, 캐리어(101)는 접착막(110b)이 마이크로 핀

(120)과 대면하는 상태로 팰릿(90)의 맨 위에 위치된다. 캐리어(101)와 팰릿(90)은, 마이크로 핀의 패턴이 캐리어(101)로 전사될 수 있도록 임의의 적절한 각도로, 예컨대 평행하게 정렬된다. 이하, 도 15d를 참조하면, 이어서, 마이크로 핀(120)은 제1 온도 하에 제1 깊이로 프레싱함으로써 캐리어(101)로 전달된다. 본 실시예에서, 캐리어(101)와 팰릿(90)은 상이한 재료, 즉 다양한 열팽창 계수(CTE; coefficient of thermal expansion)를 갖는 글래스 및 강철로 제조된다. 전달 중에 정확한 정렬로 핀 패턴을 유지하기 위하여, 캐리어(101) 또는 팰릿(90)이 오정렬을 유발하는 정도까지 확장되지 않도록 제1 온도는 섭씨 100도 미만이어야 한다. 본 실시예에서, 제1 온도는 70 내지 80 °C의 범위에 있다. 그러나, 제1 온도는 캐리어(101)와 팰릿(90)에 사용되는 재료에 따라 변경될 수 있다. 게다가, 마이크로 핀(120)이 접착막(110b)과 정합하고 있지만, 마이크로 핀(120)은 이 단계에서 캐리어(101)의 표면과 접촉하지 않는다. 비교적 적당한 온도 때문에, 접착막(110b)은 완전한 유동성 상태에 있지 않고, 이에 따라 마이크로 핀(120)은, 예컨대 접착막 두께(T)의 절반까지 삽입된다.

[0034] 도 15e를 참조하면, 마이크로 핀(120)은 팰릿(90)으로부터 캐리어(101)로 전달되고 접착막(110b)에 의해 유지된다. 팰릿(90) 상에 생성된 패턴이 캐리어(101)로 전사된다. 다음에, 도 15f를 참조하면, 다이(130)는 마이크로 핀(120)에 의해 확장되는 다이 부착 영역 상에 배치된다. 다이(130)는 본 실시예에서 접착막(110b) 상에 배치된다. 몇몇 실시예에서, 접착부는 복수 개의 접착 페이스트 부분(110a)과 다이 부착막(140)에 의해 구성되고, 다이(130)는 다이 부착막(140)에 부착된다. 또 다른 실시예에서, 접착부는 복수 개의 접착 페이스트 부분(110a)과 복수 개의 다이 부착 패드(113)에 의해 구성될 수 있고, 다이(130)는 접착 재료, 예컨대 솔더 페이스트 또는 플럭스를 통해 다이 부착 패드(113)에 대해 플립-칩 형태로 부착된다. 다이(130)의 성막 후에, 마이크로 핀(120)은 제2 온도 하에 제2 깊이로 프레싱된다. 전술한 바와 같이, 캐리어(101)와 팰릿(90)의 상이한 열팽창 계수로 인해, 가열 온도는 대략 100 °C 미만으로 유지된다. 도 15g에 도시된 바와 같이, 팰릿(90)의 부재시에, 조립체는, 접착막(110b)의 완전한 유동성을 허용하고 이에 따라 컴포넌트들을 견고하게 유지하게 하는 비교적 높은 온도, 예컨대 220 내지 230°C로 가열된다. 고온 하에 접착막(110b)의 유동성 때문에, 마이크로 핀(120)은 캐리어(101)의 표면과 접촉할 때까지 프레싱된다. 마지막으로, 조립체가 경화되고 반도체 패키지 구조체가 완성된다.

[0035] 몇몇 실시예에서, 도 15g에 도시된 접착막(110b) 상에 몰딩 화합물(150)(도시 생략)이 형성된다. 몰딩 화합물(150)의 두께는 접착부와 정합하지 않는 마이크로 핀(120)의 나머지 부분에 따라 변경된다. 도 13에 도시된 바와 같이, 몰딩 화합물(150)은 마이크로 핀(120)의 나머지 부분을 팁까지 감싸고, 또한 플립-칩 형태가 아니라면 실질적으로 평평한 플랫폼을 제공하도록 다이 패드가 노출된다. 이어서, 캐리어(101)는 몰딩 화합물(150)이 요구되는 반도체 패키지의 구조적 강도를 제공하기 때문에 제거될 수 있다. 게다가, 캐리어(101)의 제거는 마이크로 핀(120)의 양측부로부터의 연결을 허용한다. 몇몇 실시예에서, 접착부는 도 1에 도시된 접착 페이스트 부분(110a)의 불연속적인 형태로 있다. 따라서, 몰딩 화합물(150)은 접착부, 마이크로 핀(120) 및 다이(130)를 덮도록 캐리어(101) 상에 형성된다. 더욱이, 몰딩 화합물(150)의 형성 후에, 접착 페이스트 부분(110a)이 제거되어 마이크로 핀(120)의 일부분을 노출시키는 공극을 형성한다. 공극은 이후의 부착 프로세스에서 다른 접착 재료, 예컨대 솔더 페이스트를 수용하는 역할을 할 수 있다.

[0036] 이하, 도 16a를 참조하면, 도 14에 도시된 방법의 다른 실시예가 예시되어 있다. 도 16a를 참조하면, 본 실시예에서, 접착부는 보다 많은 접착막(110b)을 포함한다. 접착부는 또한 복수 개의 핀 패드(111), 복수 개의 다이 패드(113) 및 복수 개의 솔더 페이스트(112)를 포함한다. 먼저, 핀 패드(111)와 다이 패드(113)가 캐리어(101)의 표면 상에 배치된다. 핀 패드(111)의 재분배는 공동(91)에 의해 형성되는 마이크로 핀(120)의 패턴에 대응하고, 다이 패드(113)는 다이 부착 영역을 제공한다. 이어서, 솔더 페이스트(112)가 각각의 핀 패드(111) 상에 배치된다. 이어서, 접착막(110b)이 핀 패드(111)와 솔더 페이스트(112)에 의해 구성되는 아일랜드를 덮는다. 접착막(110b)의 두께는 핀 패드(111)와 솔더 페이스트(112)의 총 높이를 초과한다. 도 13에 도시된 확대된 정단면도가 더 많은 정보를 제공한다. 접착막(110b)의 두께(T)는, 솔더 페이스트(112)와 핀 및 다이 패드(111, 113)가 접착막(110b)에 의해 완전히 덮이도록 솔더 페이스트(112)의 정점보다 크다. 도 16c와 함께 도 16b를 참조하면, 캐리어(101)는 팰릿(90)과 정렬되고, 마이크로 핀(120)을 제1 온도 하에서 캐리어(101)로 전달하도록 압력이 인가된다. 비교적 낮은 제1 온도가 상이한 열팽창 계수에 의해 야기되는 오정렬을 방지한다. 다른 한편으로, 솔더 페이스트(112)는 마이크로 핀(120)을 받아들이기 위해 완전히 용융된 상태로 있지 않다. 접착막(110b)의 여분의 부분이 이 단계에서 마이크로 핀(120)을 유지한다. 각각의 마이크로 핀(120)은 솔더 페이스트(112)의 정점과 거의 접촉하지 않는다.

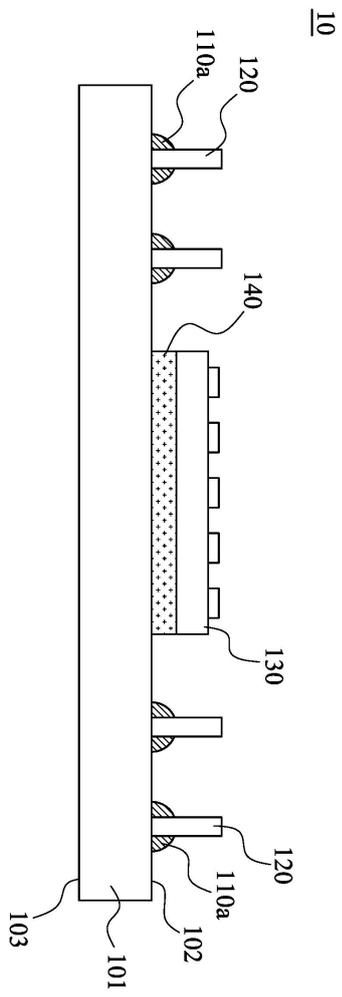
[0037] 이하, 도 16d를 참조한다. 다이(130)는 다이 패드(113) 상에, 이들 사이에 끼워진 접착 재료, 예컨대 솔더 페이스트 또는 플럭스를 이용하여 배치된다. 다이(130)는 본 실시예에서 플립-칩 형태로 접합된다. 다이(130)가

접착막(110b) 상에 배치될 수 있다는 것을 이해해야 한다. 이와 달리, 접착막(110b)은 불연속적인 접착 페이스트 부분(110a)일 수 있고, 다이(130)는 대신에 다이 부착막(140) 상에 배치된다.

- [0038] 마지막으로, 솔더 리플로우를 허용하는 제2 온도 하의 가열이 인가되고, 마이크로 핀(120)이 도 16d에 도시된 제2 깊이까지 프레싱된다. 고온, 예컨대 대략 220 °C는 핀 패드(111)와 거의 접촉할 때까지 마이크로 핀(120)을 더 아래로 받아들이도록 솔더 페이스트(112)가 완전히 용융되게 한다. 경화 후에, 반도체 패키지 구조체는 마이크로 핀(120)을 통해 다른 컴포넌트와 결합될 준비가 된다.
- [0039] 몇몇 실시예에서, 몰딩 화합물(150)이 도 16e에 도시된 접착막(110b) 상에 형성된다. 몰딩 화합물(150)의 두께는 접착부와 정합하지 않는 마이크로 핀(120)의 나머지 부분에 따라 변경된다. 이어서, 캐리어(101)는 몰딩 화합물(150)이 조립체의 구조를 지지할 수 있기 때문에 제거될 수 있다. 다이(130)는 일반적인 형태 또는 플립-칩 형태로 접합될 수 있다는 것을 이해해야 한다. 다이(130)가 플립-칩 형태가 아닌 경우에, 마이크로 핀(120)의 노출된 팁 및 다이 패드와 함께 몰딩 화합물(150)은 다른 컴포넌트를 받아들이도록 평평한 플랫폼을 형성한다. 다이(130)가 플립-칩 형태로 접합될 때에, 몰딩 화합물(150)은 다이의 높이를 초과하여 마이크로 핀(120)의 팁에 도달한다. 몰딩 화합물은 조립체의 구조적 내구성을 강화시키고, 이에 따라 캐리어(101)가 제거될 수 있다. 다수의 접착부가 도 3 또는 도 4에 도시된 바와 같이 공간적으로 독립적인 경우에, 몰딩 화합물(150)은 캐리어(101)의 표면으로 만들어진다. 그 결과, 몰딩 화합물(150)의 일면은 마이크로 핀(120)과 동일한 높이에 있고, 그 대향면은 핀 패드(111)와 동일한 높이에 있다.
- [0040] 본 개시는 보다 용이한 다이 접합, 견고한 상호 연결 구조체 및 더욱 더 작은 피치를 위한 반도체 패키지 구조체를 제공한다. 본 개시의 접합부는 상이한 형태, 예컨대 개별적인 접합 페이스트 부분, 접합막의 블랭킷, 패드와 솔더 페이스트로 나타난다. 접합부는 다이의 주위 영역에 산재된 마이크로 핀을 유지하고, 마이크로 핀은 상호 연결부의 역할을 한다. 마이크로 핀은 길이보다 대략 50 μm 적은 직경을 만족시키는 것을 제공하는 임의의 기하학적 형태로 될 수 있다. 접착부는 패드와 솔더 페이스트의 추가에 의해 강화될 수 있다. 접착부가 접착막의 형태로 있을 때에, 다이는 다른 접착 재료, 예컨대 다이 부착막의 사용을 절약하도록 접착막에 부착될 수 있다. 다이는 패드가 드러나도록 또는 플립-칩 형태로 접합될 수 있다. 구조적 내구성은 또한 몰딩 화합물에 의해 향상될 수 있다. 몰딩 화합물의 존재로, 연결을 위한 다른 계면을 생기게 하도록, 아래에 있는 캐리어가 제거될 수 있다. 2개의 바로 인접한 패키지들을 이격시키는 종래의 수단과 비교하면, 마이크로 핀의 제조 비용이 비교적 작다. 마이크로 핀은 구조의 지지 면에서 더 신뢰성이 있고, 동시에 피치는 결합 안정성과 절충하지 않으면서 타이트한 패키지 적층을 보장하는 정도까지 감소될 수 있다.
- [0041] 몇몇 실시예에서, 반도체 패키지 구조체는, 캐리어, 적어도 일 접착부, 복수 개의 마이크로 핀들을 포함한다. 캐리어는, 제1 표면과, 제1 표면에 대항하는 제2 표면을 갖는다. 접착부는 제1 표면 상에 배치되고, 복수 개의 마이크로 핀들은 접착부 내에 배치된다. 다이는 마이크로 핀들의 나머지 접착부 상에 배치된다.
- [0042] 또한 몇몇 실시예에서, 반도체 패키지 구조체는, 제1 면과 제2 면을 갖는 몰딩 화합물, 복수 개의 마이크로 핀들, 다이 및 적어도 일 접착부를 포함한다. 복수 개의 마이크로 핀들과 다이는 몰딩 화합물 내에 배치되고, 접착부는 다이와 직접적으로 접촉한다.
- [0043] 또 다른 몇몇 실시예에서, 반도체 패키지 구조체의 제조 방법은, 먼저 캐리어 상에 적어도 일 접착부를 형성하는 단계를 포함한다. 이어서, 복수 개의 마이크로 핀들이 접착부 내에 배치된다. 이후에, 다이가 접착부에 접합된다.
- [0044] 전술한 내용은 당업자가 본 개시의 양태를 더욱 잘 이해할 수 있도록 여러 개의 실시예들의 특징을 개설하고 있다. 당업자라면 본 명세서에서 소개된 실시예들의 동일한 목적을 수행하고 및/또는 동일한 이점을 달성하기 위해 다른 프로세스 및 구조를 설계 또는 수정하기 위한 기초로서 본 개시를 쉽게 이용할 수 있다는 것을 알아야 한다. 당업자라면 또한 그러한 균등한 구성이 본 개시의 사상 및 범위로부터 벗어나지 않고, 본 개시의 사상 및 범위로부터 벗어남이 없이 본 명세서에 다양한 변화, 대체 및 변경이 이루어질 수 있다는 것을 알아야 한다.

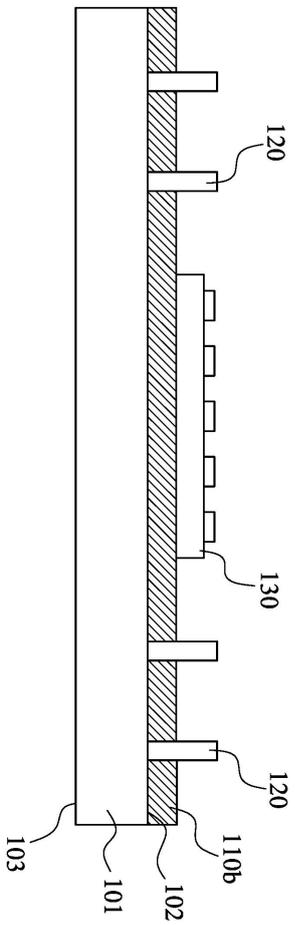
도면

도면1

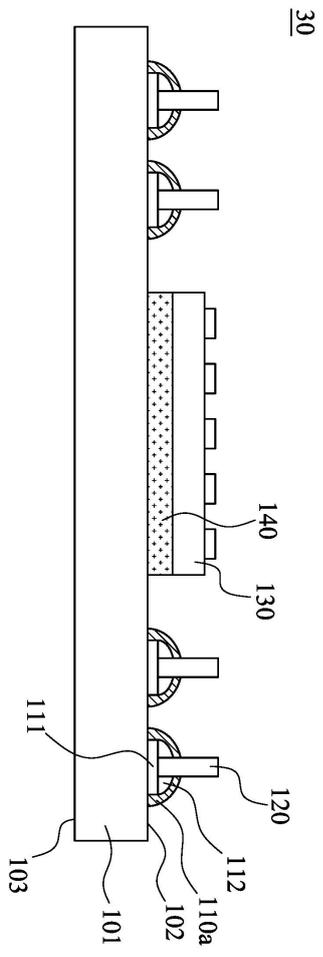


도면2

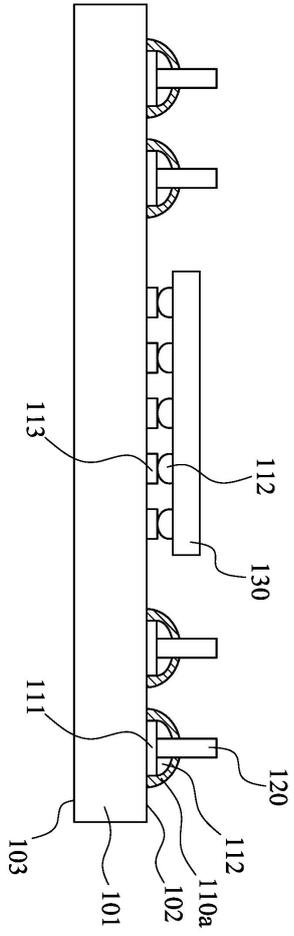
20



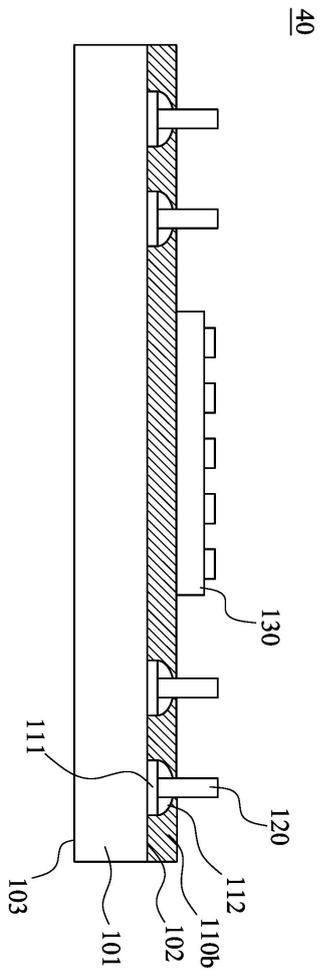
도면3



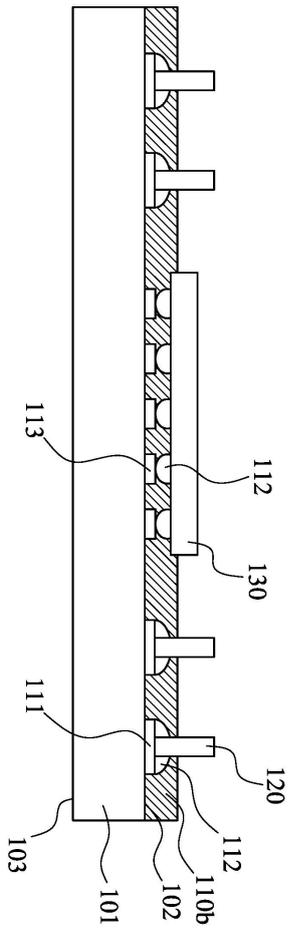
도면4



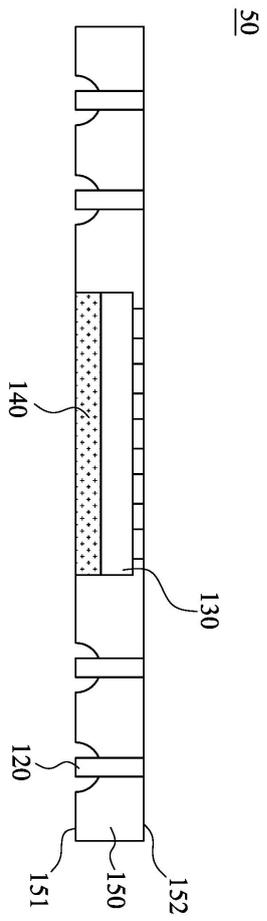
도면5



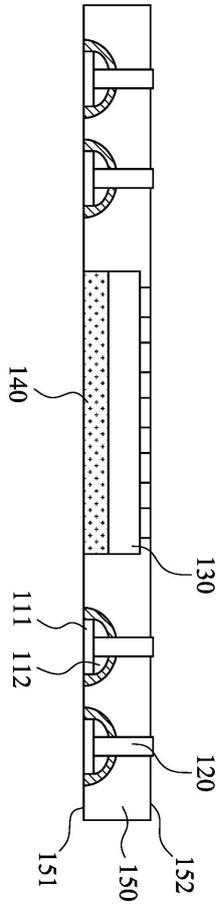
도면6



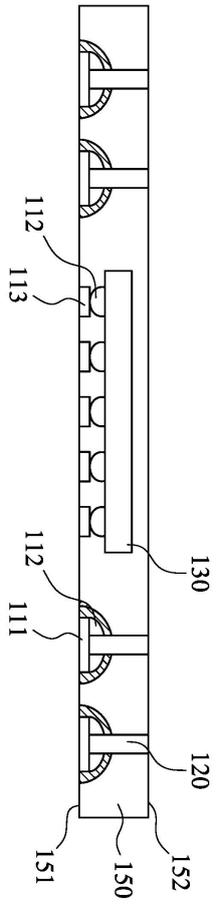
도면7



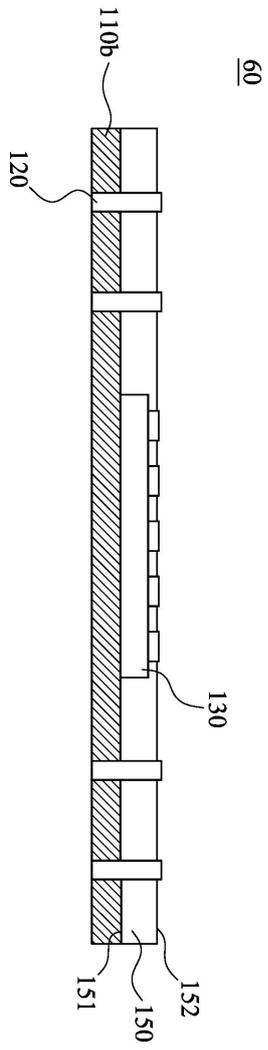
도면8



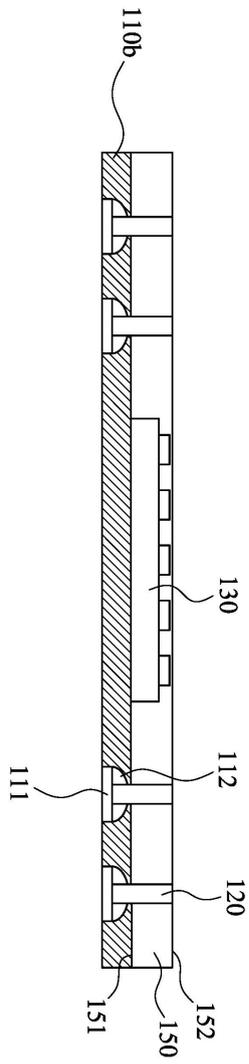
도면9



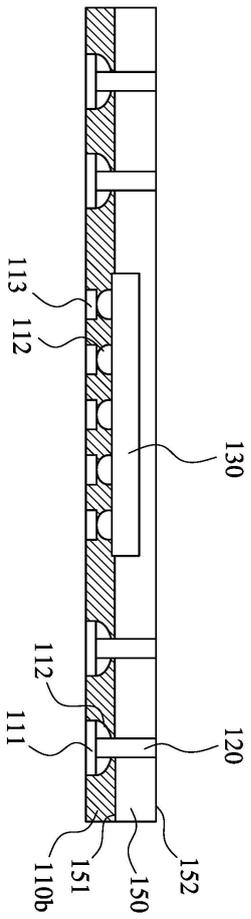
도면10



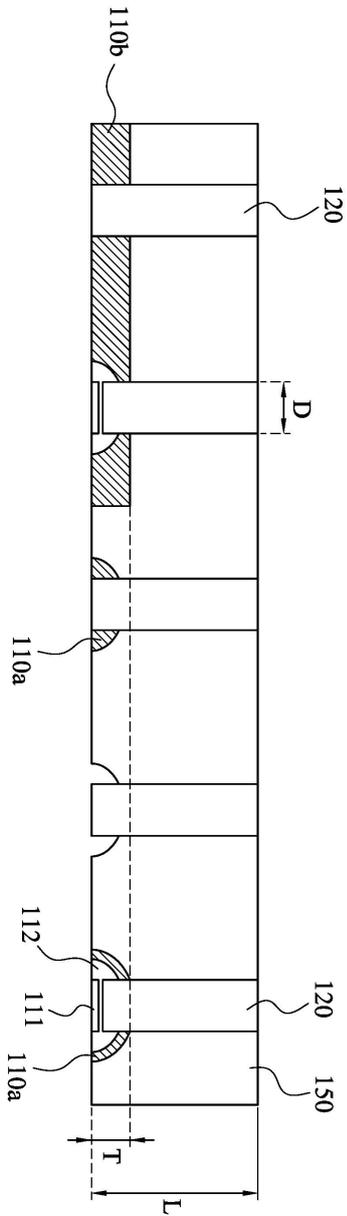
도면11



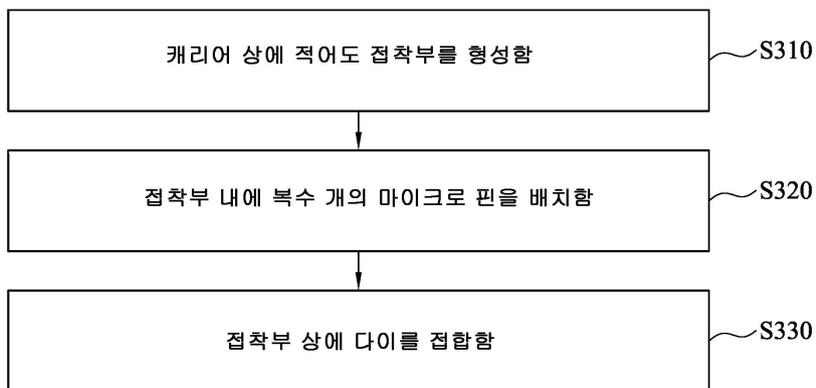
도면12



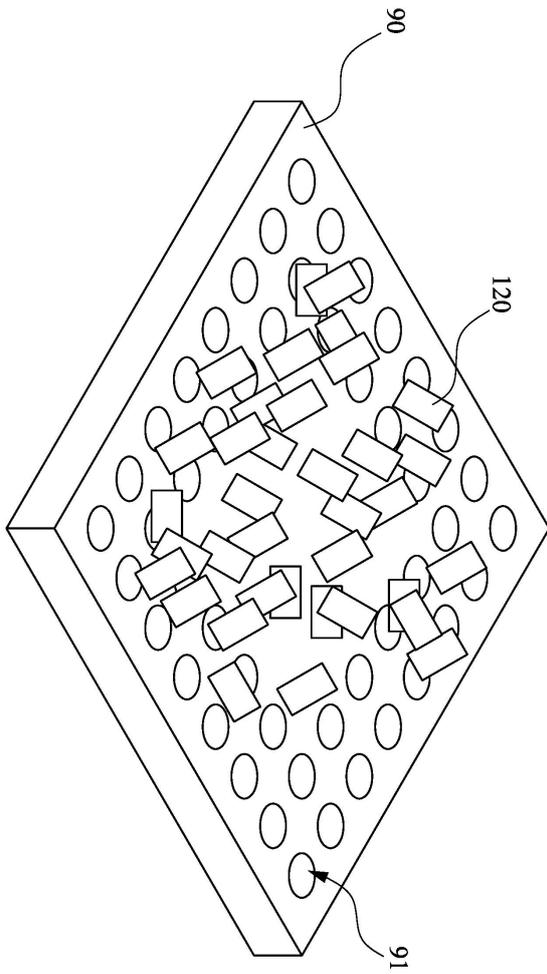
도면13



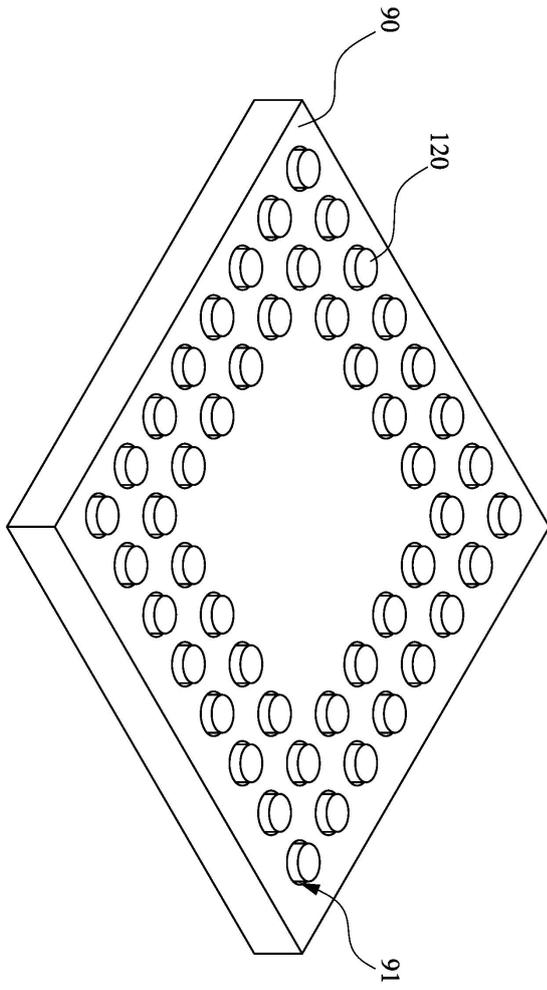
도면14



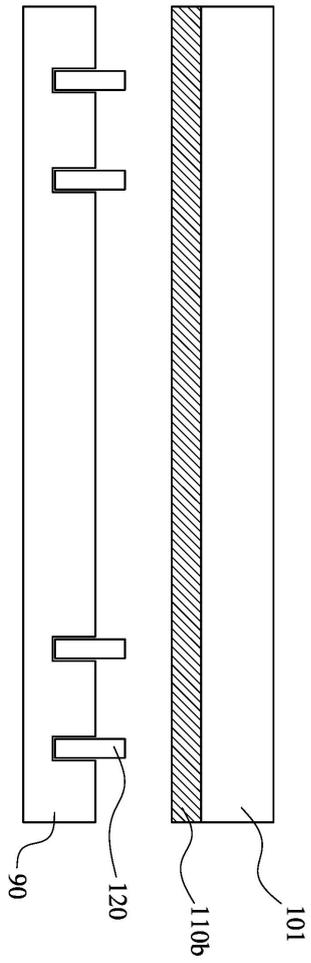
도면15a



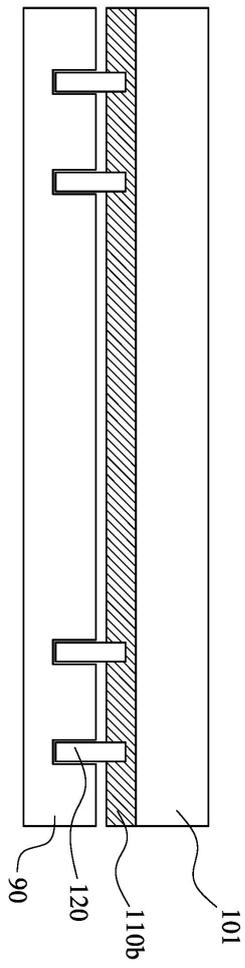
도면15b



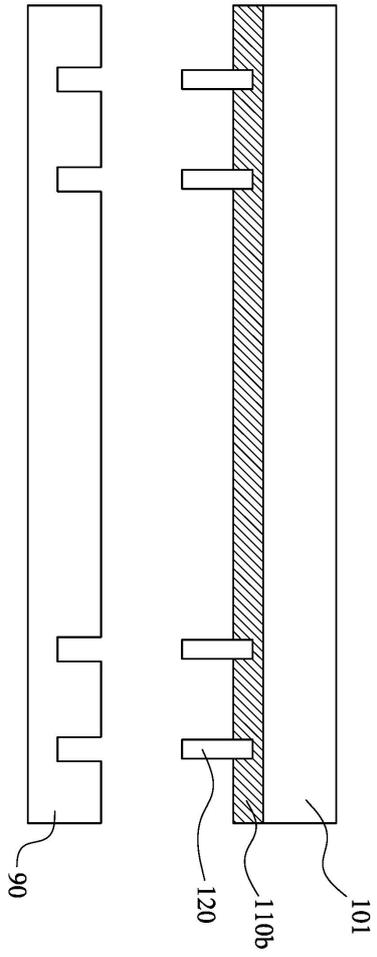
도면15c



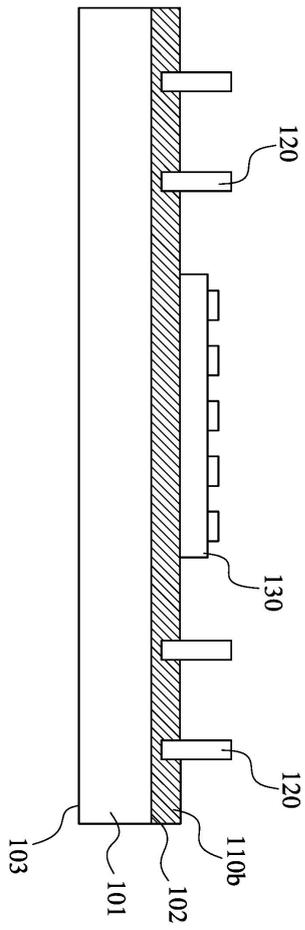
도면15d



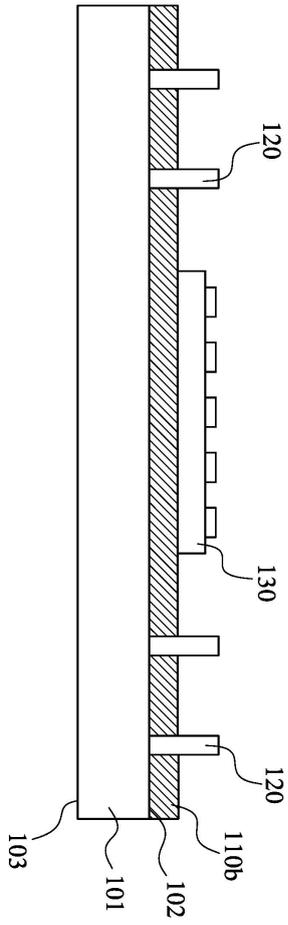
도면15e



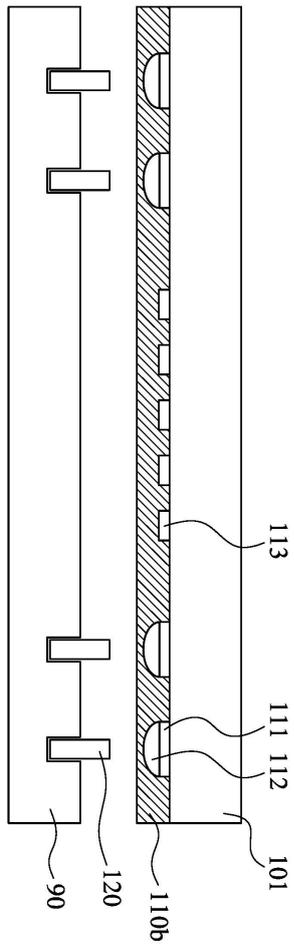
도면15f



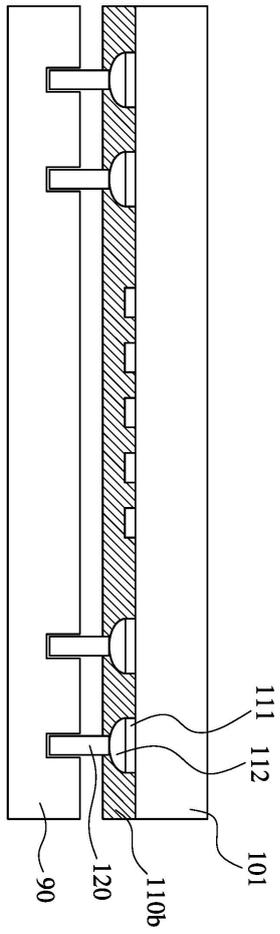
도면15g



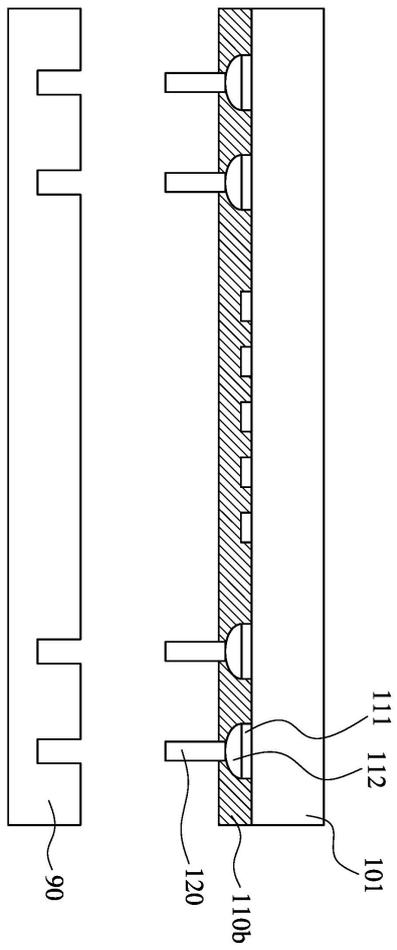
도면16a



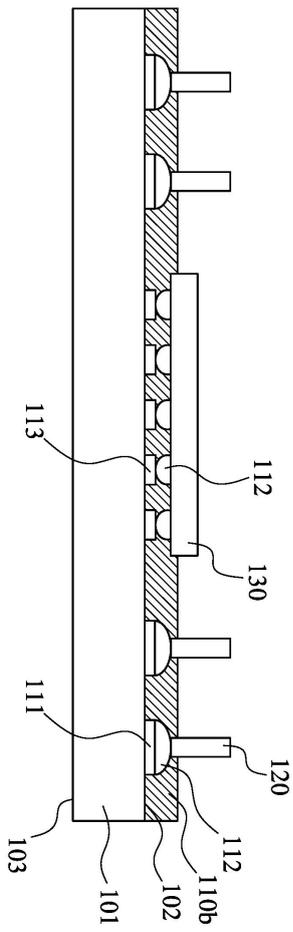
도면16b



도면16c



도면16d



도면16e

