

19 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
COURBEVOIE

11 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

3 036 530

21 N° d'enregistrement national : 15 54457

51 Int Cl⁸ : G 11 C 17/16 (2016.01)

12 DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 19.05.15.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 25.11.16 Bulletin 16/47.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

Demande(s) d'extension :

71 Demandeur(s) : STMICROELECTRONICS SA Société
anonyme — FR.

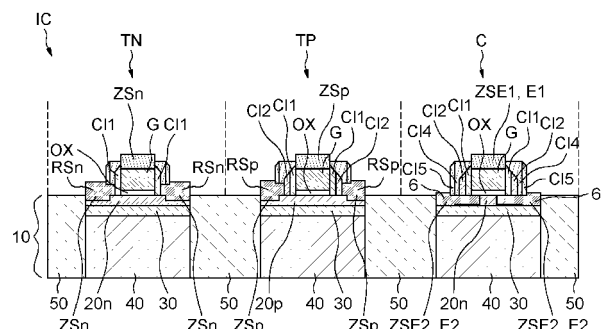
72 Inventeur(s) : DENORME STEPHANE et CANDE-
LIER PHILIPPE.

73 Titulaire(s) : STMICROELECTRONICS SA Société
anonyme.

74 Mandataire(s) : CASALONGA & ASSOCIES.

54 PROCÉDE DE REALISATION DE CELLULES MEMOIRES DU TYPE A PROGRAMMATION UNIQUE
COMPORTANT DES CONDENSATEURS MOS ET CIRCUIT INTEGRE CORRESPONDANT.

57 Circuit intégré comprenant un substrat (10) du type silicium sur isolant possédant un film semiconducteur (20n,p) situé au-dessus d'une couche isolante enterrée (30), au moins une cellule mémoire du type à programmation unique comportant un condensateur MOS (C) possédant une première région d'électrode (E1) incluant une région de grille (G) au moins partiellement siliciurée (ZSE1) et flanquée d'une région latérale isolante (C11, C12, C14 et C15), une couche diélectrique (OX) située entre la région de grille (G) et le film semiconducteur (20n et 20p), et une deuxième région d'électrode (E2) incluant une zone siliciurée (ZSE2) du film semiconducteur située à côté de ladite région latérale isolante (C11, C12, C14 et C15), et s'étendant au moins partiellement sous la couche diélectrique (OX).



FR 3 036 530 - A1



**Procédé de réalisation de cellules mémoires du type à
programmation unique comportant des condensateurs MOS et
circuit intégré correspondant**

5

Des modes de mise en œuvre et de réalisation de l'invention concernent les cellules mémoires non volatiles du type à programmation unique, connu par l'homme du métier sous l'acronyme anglosaxon « OTP » (« One Time Programmable ») et plus particulièrement les condensateurs MOS de telles cellules mémoires.

10

Une cellule mémoire du type à programmation unique comprend généralement un condensateur, par exemple du type MOS, possédant une couche de diélectrique entre ses deux électrodes et fonctionne comme un anti-fusible dont on modifie l'état de façon irréversible, par exemple par claquage de la couche de diélectrique, en appliquant une tension de programmation élevée à la cellule mémoire, de façon que la cellule mémoire passe d'un état non conducteur à un état conducteur, ce qui revient à changer sa résistance.

15

Dans les technologies CMOS avancées, on forme par épitaxie des régions surélevées de source et de drain des transistors, par exemple des transistors CMOS planaires, FinFET ou des transistors réalisés sur un substrat sur isolant par un exemple un substrat du type FDSOI (« Fully Depleted Silicon-On-Insulator »).

20

Un substrat du type silicium sur isolant comporte un film semiconducteur, par exemple en silicium ou en alliage de silicium, tel qu'un alliage de silicium-germanium, situé au-dessus d'une couche isolante enterrée, communément désignée sous l'acronyme anglosaxon de « BOX » (« Buried OXide ») elle-même située au-dessus d'un substrat porteur, par exemple un caisson semiconducteur.

25

Dans un substrat FDSOI, le film de silicium est totalement déserté (le matériau semiconducteur est intrinsèque) et a une épaisseur particulièrement faible de l'ordre de quelques nanomètres.

30

L'utilisation de régions de source de drain surélevées permet de résoudre des problèmes de fiabilité, tels que la fiabilité porteur

chaud (HCI : Hot Carrier Injection) des transistors ainsi que le problème de la tenue mécanique du siliciure de métal.

En général, les condensateurs MOS des cellules mémoires OTP sont réalisés conjointement avec les transistors MOS en utilisant des
5 étapes similaires de procédé.

Toutefois, ces régions surélevées épitaxiées n'ont pas d'impact sur la performance des condensateurs MOS, tant en ce qui concerne le claquage de la couche de diélectrique, qu'en ce qui concerne la tension de lecture, la fuite du condensateur ou bien d'autres de ces
10 caractéristiques électriques.

Ainsi, selon un mode de mise en œuvre et de réalisation, il est proposé d'améliorer, notamment au niveau de la lecture, la performance des condensateurs MOS réalisés conjointement à des transistors MOS dont la formation des régions de source et de drain
15 comporte une épitaxie d'un matériau semiconducteur à partir d'un même substrat SOI, en particulier FDSOI.

Selon un aspect, il est proposé un procédé, comprenant une réalisation d'au moins une cellule mémoire du type à programmation unique, comportant une réalisation d'un condensateur MOS dans et/ou
20 sur un film semiconducteur d'un substrat du type silicium sur isolant incluant

une formation d'une première région d'électrode par siliciuration au moins partielle d'une région de grille isolée reposant sur le film semiconducteur et flanquée d'une région latérale isolante,
25 et

une formation d'une deuxième région d'électrode par siliciuration d'une zone du film semiconducteur située à côté de ladite région latérale isolante

sans avoir procédé au préalable à une épitaxie de matériau semiconducteur sur ladite zone du film semiconducteur.
30

Ainsi le fait de siliciurer directement le film semiconducteur permet une diffusion des régions siliciurées sous le diélectrique de grille ce qui diminue la résistance d'accès en lecture et permet d'appliquer une tension de lecture plus faible.

Les performances du claquage du diélectrique sont également améliorées (tension de claquage réduite et/ou temps de claquage diminué).

5 Le fait que les régions siliciurées se rejoignent ou non sous la couche diélectrique dépend de la longueur de grille.

Par ailleurs, on obtient une efficacité encore plus grande lorsque la région de grille est totalement siliciurée.

10 Le procédé peut comprendre en outre une réalisation d'au moins un transistor MOS dont la formation des régions de source et de drain comporte une épitaxie d'un matériau semiconducteur sur le film semiconducteur. Dans ce cas la formation de ladite deuxième région d'électrode comprend une protection de ladite zone de film semiconducteur par au moins une couche isolante pendant ladite épitaxie des régions de source et de drain.

15 Le substrat peut être du type silicium totalement déserté sur isolant.

20 Selon un autre aspect, il est proposé un circuit intégré comprenant un substrat du type silicium sur isolant possédant un film semiconducteur situé au-dessus d'une couche isolante enterrée, au moins une cellule mémoire du type à programmation unique comportant un condensateur MOS possédant

une première région d'électrode incluant une région de grille au moins partiellement siliciurée et flanquée d'une région latérale isolante,

25 une couche diélectrique située entre la région de grille et le film semiconducteur, et

une deuxième région d'électrode incluant une zone siliciurée du film semiconducteur située à côté de ladite région latérale isolante et s'étendant au moins partiellement sous la couche diélectrique.

30 Avantageusement, ladite zone siliciurée du film semiconducteur peut s'étendre totalement sous ladite couche diélectrique.

Le circuit intégré peut comprendre en outre au moins un transistor MOS ayant des régions surélevées de source et de drain.

Le substrat peut être par exemple du type silicium totalement déserté sur isolant.

5 D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de modes de mise en œuvre et de réalisation, nullement limitatifs, et des dessins annexés sur lesquels :

- Les figures 1 à 11 illustrent schématiquement des modes de mise en œuvre et de réalisation de l'invention.

10 Sur la figure 1 la référence IC désigne un circuit intégré dans lequel on souhaite réaliser un condensateur MOS C conjointement à un transistor NMOS TN et à un transistor PMOS TP sur un même substrat semiconducteur du type silicium totalement déserté sur isolant 10.

15 Ce substrat comprend ici un film mince semiconducteur 20n et 20p possédant typiquement une épaisseur de l'ordre de quelques nanomètres et reposant sur une couche d'oxyde enterrée 30 communément désignée par l'homme du métier sous la dénomination anglo-saxonne de « BOX ». Cette couche d'oxyde enterrée 30 est typiquement en dioxyde de silicium et repose elle-même sur un substrat porteur 40 qui peut être formé par des caissons.

20 Le substrat 10 comprend en outre des régions isolantes comportant par exemple des tranchées peu profondes 50 (STI : « Shallow Trench Isolation ») qui isolent mutuellement le transistor NMOS TN, le transistor PMOS TP et le condensateur C.

25 Selon le type de conductivité des transistors NMOS ou PMOS, le film mince semiconducteur peut être constitué d'un hétéro-matériau et peut être dopé avec des dopants de type N ou de type P ou bien même non dopé. Le condensateur C repose ici sur un film mince de même type que celui utilisé pour les transistors NMOS. Bien entendu, il serait également possible qu'il repose sur un film mince de même type que celui utilisé pour les transistors PMOS.

30 Comme illustré sur la figure 1, on forme tout d'abord au-dessus du substrat 10, de façon classique et connue en soi, des régions de grille G isolées du substrat 10 par une couche diélectrique OX

comportant avantageusement un matériau à forte constante diélectrique K (matériaux « high-K »).

La région de grille G comporte par exemple au-dessus de la couche OX, une couche de poly-silicium.

5 Il s'agit ici typiquement d'une architecture type « gate first » car la région de grille G est formée avant la réalisation des régions surélevées de source et de drain.

10 Une couche de masque dur HM, par exemple en nitrure de silicium, protège chaque région de grille G des étapes postérieures qui vont maintenant être décrites.

On réalise tout d'abord un dépôt conforme d'une première couche 1 comprenant un premier matériau isolant, par exemple par un dépôt de couche atomique communément connu par l'homme du métier sous l'acronyme anglosaxon « ALD » (« Atomic Layer Deposition »).

15 Ce premier matériau isolant peut être par exemple du nitrure de silicium et son épaisseur est par exemple de l'ordre de 10 nm.

Pour la réalisation des régions surélevées de source et de drain du transistor NMOS TN on protège le transistor TP et le condensateur C par un bloc de résine RP1 formé classiquement par photolithographie, comme illustré sur la figure 2.

20

Puis, on effectue (figure 3) une première gravure anisotrope de la première couche 1 de façon à découvrir le film semiconducteur 20n et former une première couche isolante CI1 sur les flancs de la région de grille isolée G du transistor NMOS TN. Cette gravure anisotrope sélective jusqu'à la couche silicium peut être une gravure sèche du type gravure ionique réactive (« RIE : Reactive-Ion Etching ») bien connue de l'homme de métier.

25

L'épaisseur de la première couche isolante CI1 est par exemple égale à 6 nm.

30 On enlève ensuite le bloc de résine RP1 et on effectue par exemple un traitement de nettoyage pré-épitaxie du film mince 20n de part et d'autre de la région de grille G du transistor NMOS TN.

Puis, comme illustré sur la figure 3, on procède à une épitaxie d'un matériau semiconducteur dopé N, par exemple du SiCP, sur le

film semiconducteur 20n de façon à former de chaque côté de la région de grille G du transistor NMOS des régions surélevées de source et de drain RSn s'appuyant sur la première couche isolante CI1.

5 On prépare ensuite (figure 4) la réalisation des régions surélevées de source et de drain pour le transistor PMOS TP.

10 On réalise tout d'abord sur la structure de la figure 3 un dépôt conforme d'une deuxième couche de protection 2 comprenant un deuxième matériau isolant, par exemple par un dépôt de type ALD. Ce deuxième matériau isolant peut être par exemple du dioxyde de silicium SiO₂, et l'épaisseur de la couche 2 peut être de l'ordre de 7 nm.

On forme ensuite par photolithographie deux blocs de résine RP2 au dessus du transistor NMOS et du condensateur C.

15 On effectue ensuite une deuxième gravure anisotrope de la deuxième couche 2 et de la première couche 1 dans la région du transistor PMOS TP de façon à découvrir le film semiconducteur 20p et former une deuxième couche isolante CI2 sur les flancs de la première couche isolante CI1 s'appuyant sur la région de grille isolée G du transistor PMOS TP.

20 L'épaisseur de la deuxième couche isolante CI2 est par exemple de l'ordre de 3 nm.

25 A la suite d'un retrait des blocs de résine RP2, on effectue une épitaxie d'un matériau semiconducteur dopé P, par exemple du SiGeB, sur le film semiconducteur 20p pour former des régions surélevées de source et de drain RSp de part et d'autre de la région de grille G du transistor PMOS TP et s'appuyant sur la deuxième couche isolante CI2, comme illustré sur la figure 5.

30 Il convient de noter que les régions de source et de drain RSn du transistor NMOS TN et la zone du film semiconducteur située de part et d'autre de la région de grille G du condensateur C sont respectivement protégées par la deuxième couche 2 de protection et par les couches 1 et 2, pendant l'épitaxie des régions de source et de drain du transistor PMOS TP.

Ainsi, après retrait des couches de protection 1 et 2 grâce à une étape de gravure de type RIE, on obtient un transistor NMOS TN et un transistor PMOS TP ayant des régions surélevées de source et de drain. Par contre, comme illustré sur la figure 5, le condensateur C ne possède pas de régions surélevées épitaxiées de part et d'autre de sa région de grille G.

Puis, on dépose sur la structure de la figure 5 une troisième couche de protection 3, par exemple en dioxyde de silicium (figure 6).

On effectue ensuite une troisième gravure anisotrope de la troisième couche 3 de façon à former une troisième couche isolante CI3 s'appuyant sur les flancs de la deuxième couche isolante CI2 (figure 7).

Le masque dur HM en nitrure de silicium est enlevé par une gravure humide. On effectue ensuite un nettoyage de surface au moyen d'acide fluorhydrique pour obtenir la structure comme illustrée sur la figure 8.

Avant de procéder à l'étape de siliciuration on recouvre l'ensemble du circuit intégré d'une bicouche 4, 5 (oxyde – nitrure par exemple) connu par l'homme du métier sous l'acronyme anglosaxon « SiProt » (« Silicon Protection ») (figure 9).

Cette bicouche sert à protéger les zones (non représentées sur les figures) du circuit intégré qui ne doivent pas être siliciurées. On grave ensuite la bicouche 4,5 de façon à découvrir les régions à siliciurer et former une cinquième couche isolante CI5 s'appuyant sur les flancs d'une quatrième couche isolante CI4 elle-même s'appuyant sur les flancs de la deuxième couche isolante CI2.

Les régions prévues pour une siliciuration comprennent les régions de grilles G, les régions surélevées RS_n et RS_p de source et de drain des transistors NMOS TN et PMOS TP et la zone 6 du film semiconducteur 20_n située à côté des couches latérales isolantes (CI1, CI2, CI4 et CI5) et s'appuyant sur les flancs de la région de grille G du condensateur C (figure 10).

Le procédé de siliciuration est ensuite effectué de façon classique et connue en soi, par dépôt d'une couche métallique, par

exemple un alliage de Nickel-platine, sur la structure de la figure 10 puis par recuit thermique pour former un siliciure de métal, par exemple NiPtSi.

5 On obtient alors (figure 11) des zones siliciurées ZSn et ZSp sur les transistors TN et TP, une zone siliciurée ZSE1 sur la grille G du condensateur C et deux zones siliciurées ZSE2 dans la zone 6 du film semiconducteur.

10 Comme il n'y a pas eu d'épitaxie de matériau semiconducteur sur la zone 6 du film semiconducteur 20n du condensateur C, le siliciure métallique ZSE2 formé dans la zone 6 s'étend au moins partiellement sous la couche OX diélectrique du condensateur C.

Dans un cas d'une grille courte, par exemple inférieure à 20 nm, on peut réaliser une siliciuration qui s'étend totalement sous ladite couche diélectrique OX.

15 En outre, les régions de grille G peuvent être totalement siliciurées (« Fully silicied gate »), connu en soi par l'homme du métier.

20 De ce fait, le condensateur C comprend une première région d'électrode E1 obtenue par siliciuration au moins partielle ZSE1 de la région de grille isolée et une deuxième région d'électrode E2 obtenue par siliciuration ZSE2 de la zone 6 du film semiconducteur 20n du condensateur C. Les zones siliciurées ZSE2 s'étendent au moins partiellement par la couche de diélectrique OX.

25 En conséquence, la résistance entre les deux régions d'électrode métallique du condensateur C peut être réduite de façon à diminuer de facto la tension, le temps de claquage, ainsi que la tension de lecture de la cellule mémoire surtout dans le cas d'une cellule mémoire programmée avec le condensateur C claqué,.

REVENDICATIONS

1. Procédé, comprenant une réalisation d'au moins une cellule mémoire du type à programmation unique, comportant une réalisation d'un condensateur MOS (C) dans et/ou sur un film semiconducteur (10) d'un substrat du type silicium sur isolant incluant une formation d'une première région d'électrode (E1) par siliciuration au moins partielle (ZSE1) d'une région de grille (G) isolée reposant sur le film semiconducteur (20n) et flanquée d'une région latérale isolante (CI1, CI2, CI4 et CI5), et une formation d'une deuxième région d'électrode (E2) par siliciuration (ZSE2) d'une zone (6) du film semiconducteur (20n) située à côté de ladite région latérale isolante (CI1, CI2, CI4 et CI5) sans avoir procédé au préalable à une épitaxie de matériau semiconducteur sur ladite zone (6) du film semiconducteur.

2. Procédé selon la revendication 1, comprenant en outre une réalisation d'au moins un transistor MOS (TN) dont la formation des régions de source et de drain comporte une épitaxie d'un matériau semiconducteur sur le film semiconducteur (20n), et dans lequel la formation de ladite deuxième région d'électrode (E2) comprend une protection de ladite zone (6) de film semiconducteur par au moins une couche (1) isolante pendant ladite épitaxie des régions (RSn) de source et de drain.

3. Procédé selon l'une des revendications précédentes, dans lequel le substrat (10) est du type silicium totalement déserté sur isolant.

4. Circuit intégré comprenant un substrat (10) du type silicium sur isolant possédant un film semiconducteur (20n,p) situé au-dessus d'une couche isolante enterrée (30), au moins une cellule mémoire du type à programmation unique comportant un condensateur MOS (C) possédant une première région d'électrode (E1) incluant une région de grille (G) au moins partiellement siliciurée (ZSE1) et flanquée d'une région latérale isolante (CI1, CI2, CI4 et CI5), une couche diélectrique (OX) située entre la région de grille (G) et le film semiconducteur (20n et 20p), et une deuxième région d'électrode (E2) incluant une

zone siliciurée (ZSE2) du film semiconducteur située à côté de ladite région latérale isolante (CI1, CI2, CI4 et CI5), et s'étendant au moins partiellement sous la couche diélectrique (OX).

5 5. Circuit intégré selon la revendication 4, dans lequel ladite zone siliciurée (ZSE2) du film semiconducteur s'étend totalement sous ladite couche diélectrique (OX).

6. Circuit intégré selon la revendication 4 ou 5, comprenant en outre au moins un transistor MOS (TN ou TP) ayant des régions surélevées de source et de drain (RSn ou RSp).

10 7. Circuit intégré selon l'une des revendications 4 à 6, dans lequel le substrat (10) est du type silicium totalement déserté sur isolant.

15

1/6
FIG. 1

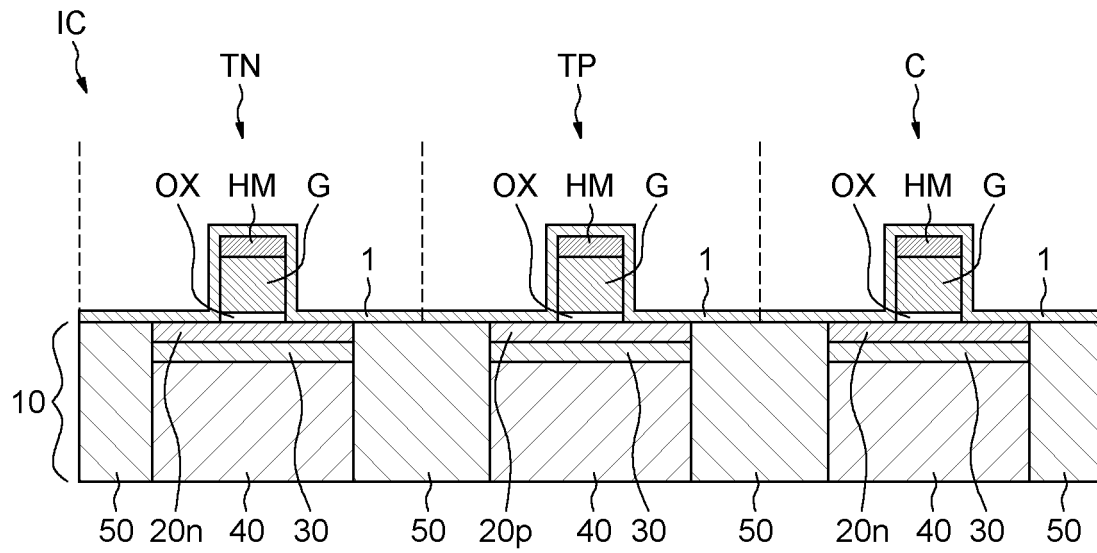
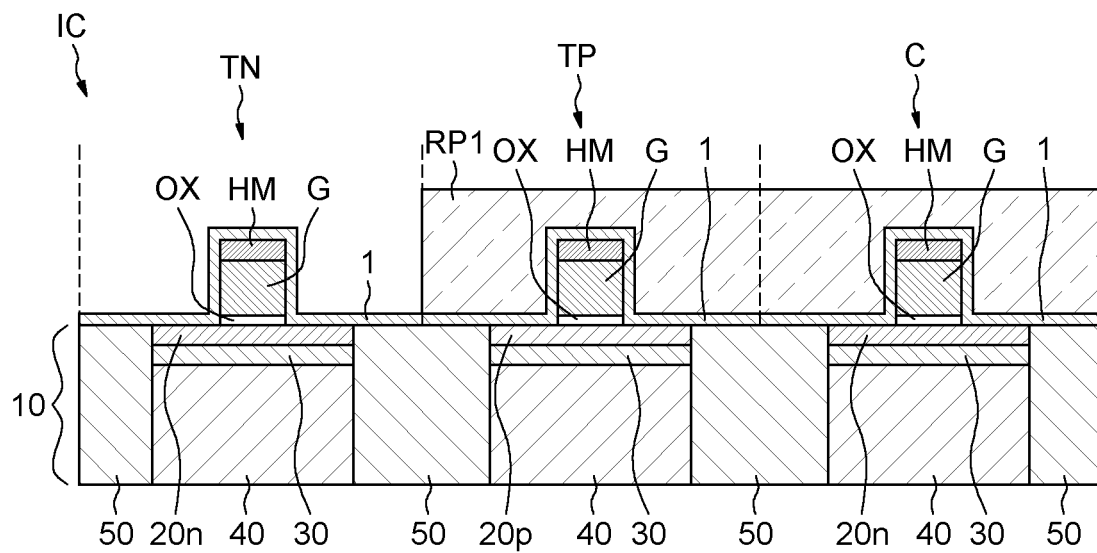


FIG. 2



2/6
FIG.3

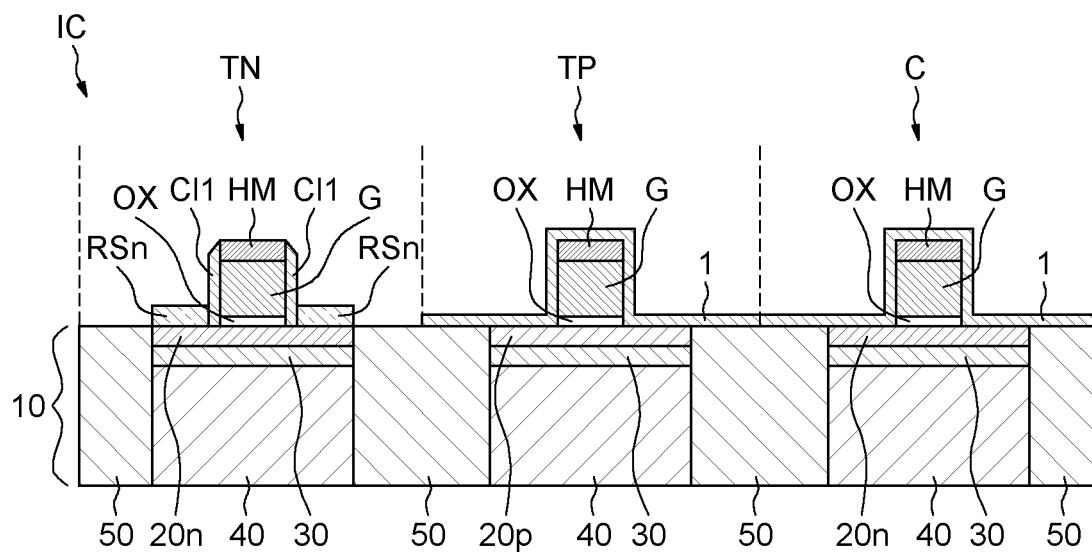
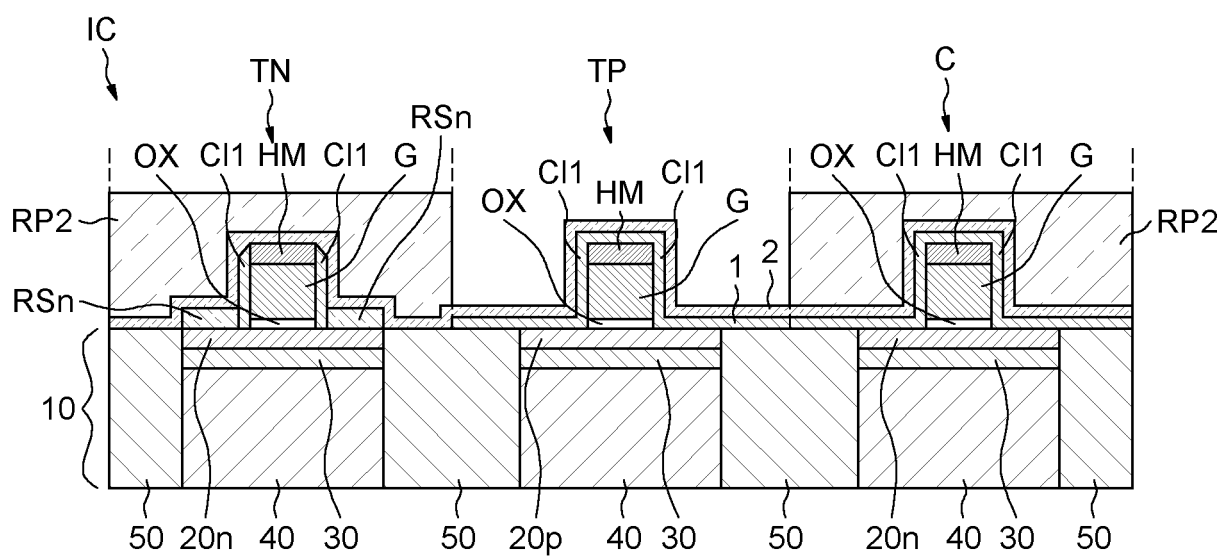


FIG.4



3/6
FIG. 5

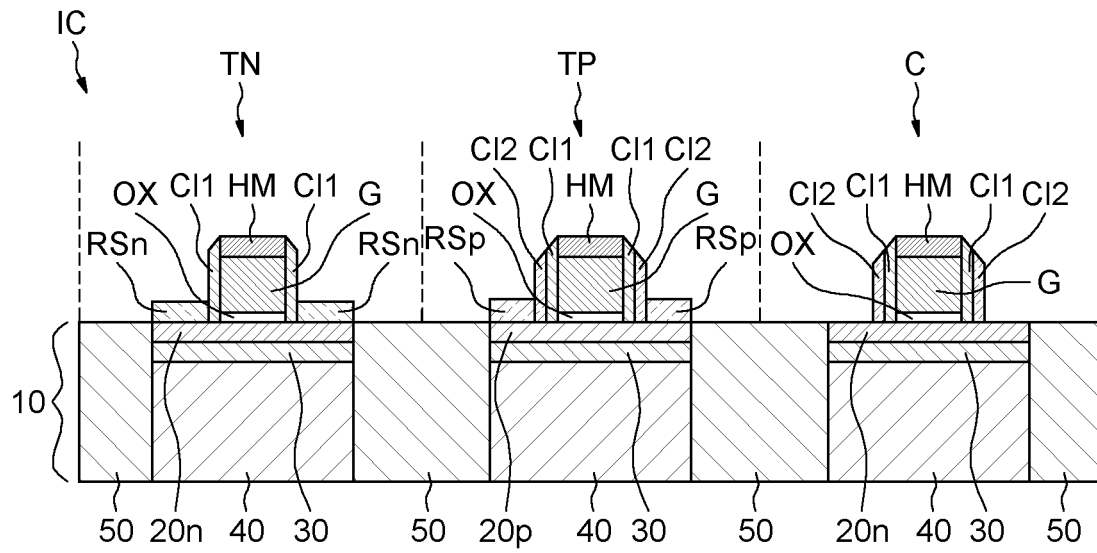
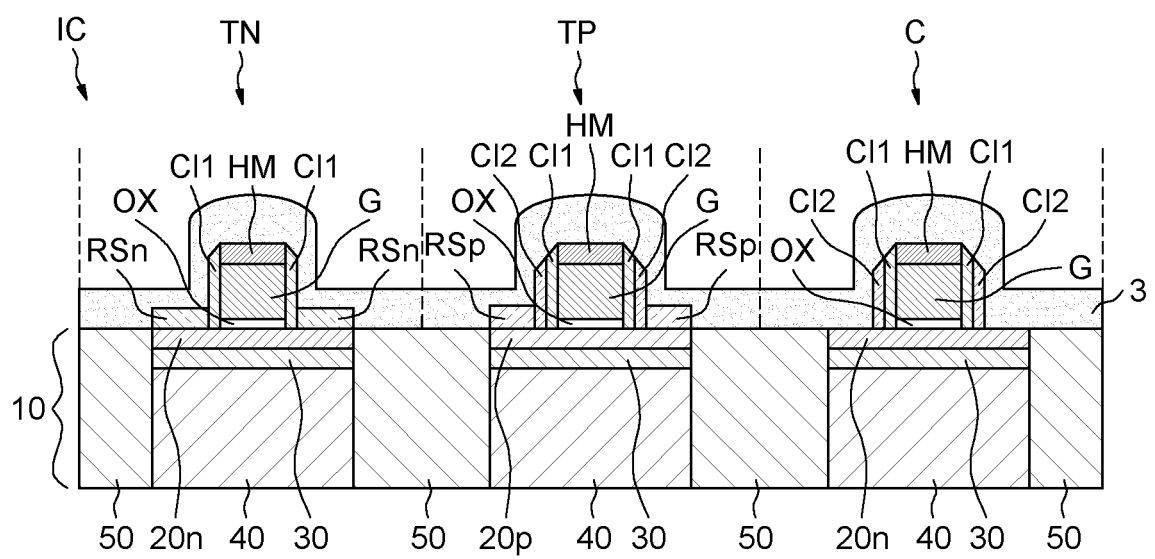


FIG. 6



4/6
FIG. 7

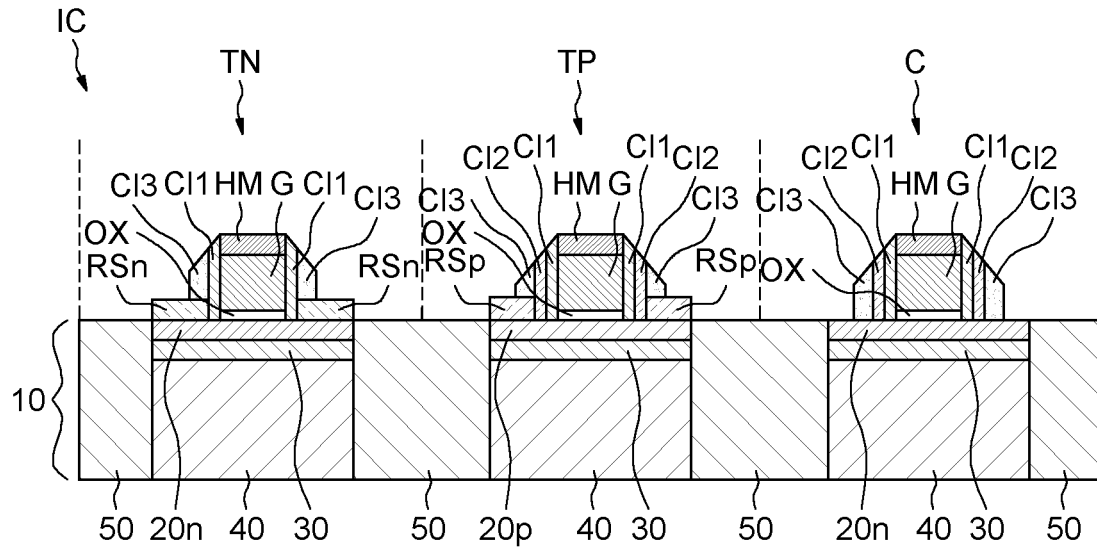
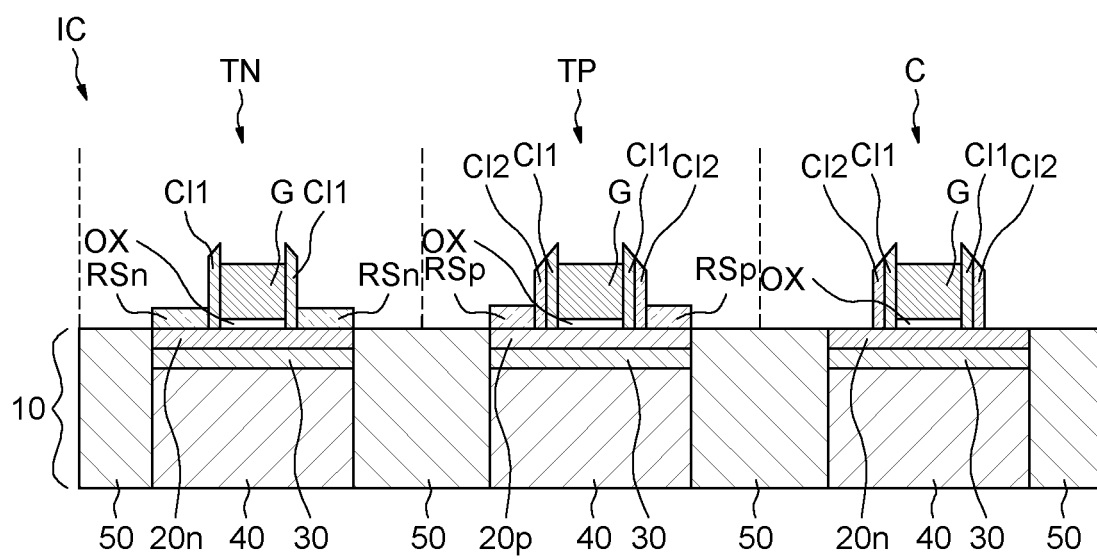


FIG. 8



5/6
FIG. 9

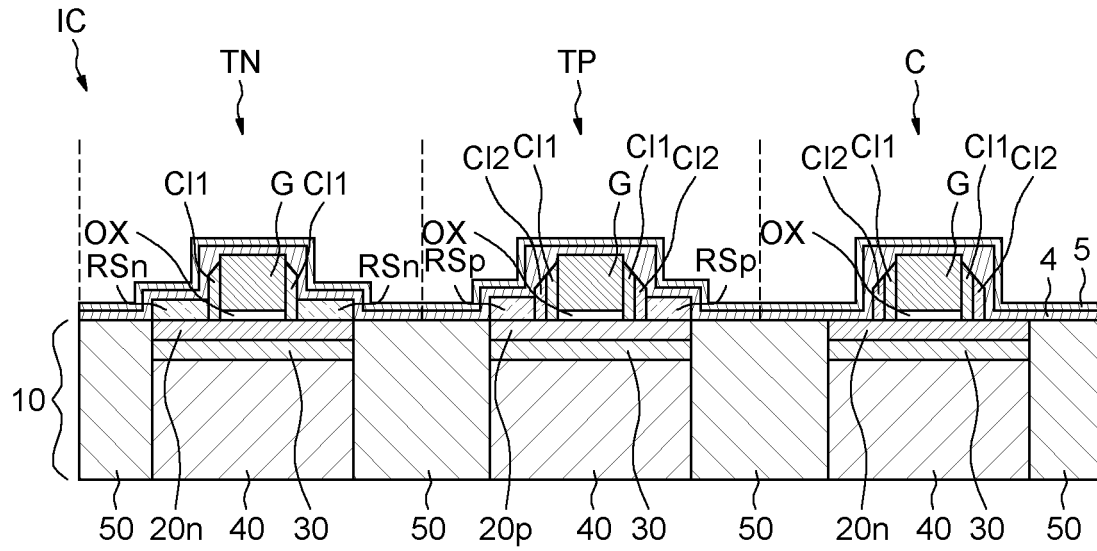


FIG. 10

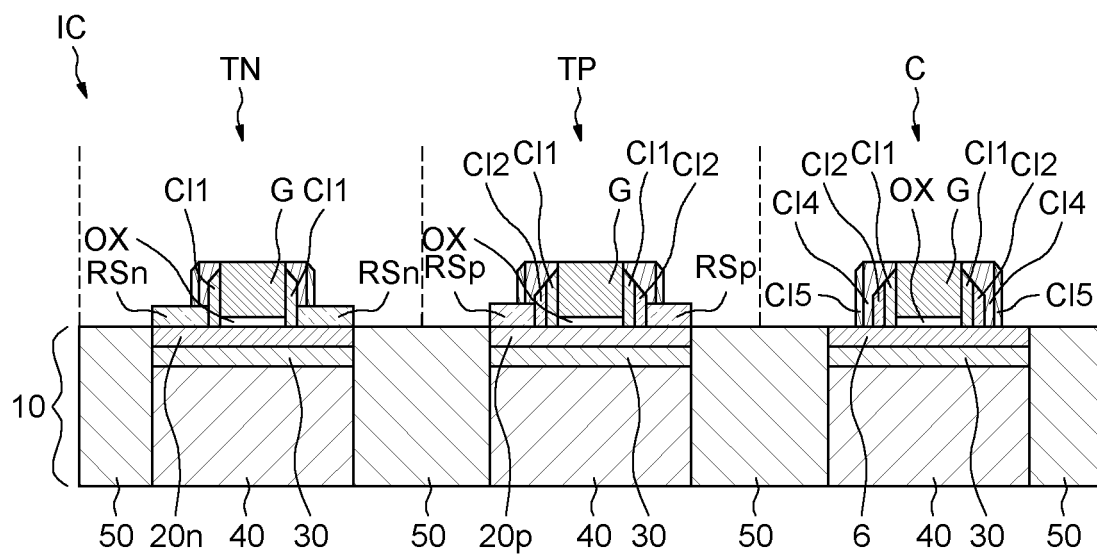
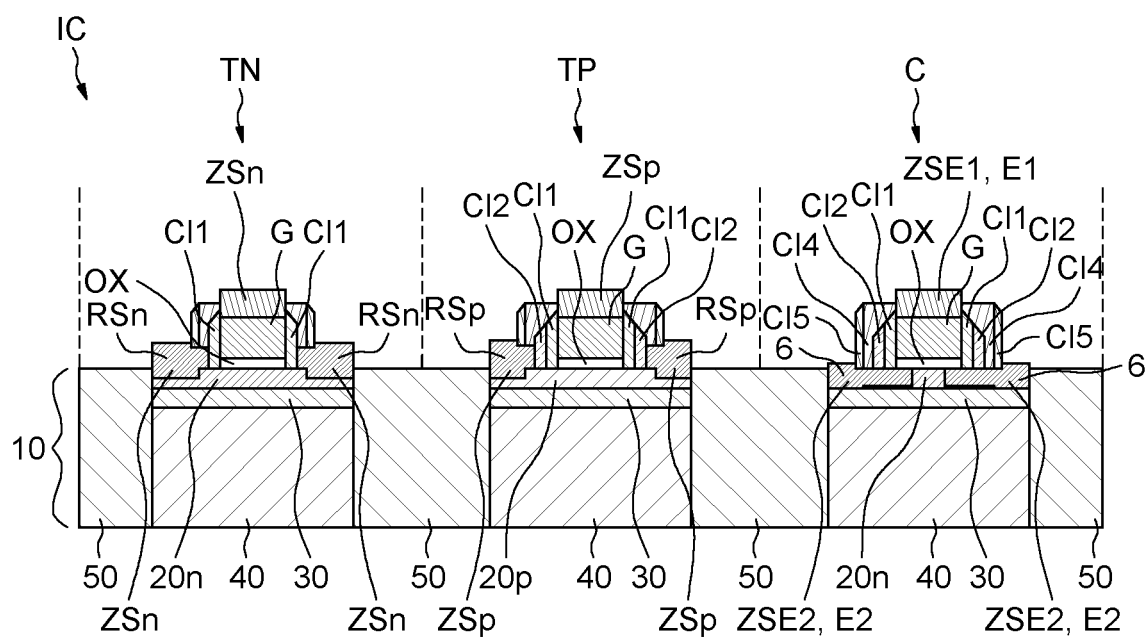


FIG. 11



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement national

établi sur la base des dernières revendications déposées avant le commencement de la recherche

FA 812402
FR 1554457

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2014/231895 A1 (ROTHLEITNER HUBERT [AT]) 21 août 2014 (2014-08-21)	1,4	G11C17/16
Y	* alinéas [0030], [0052]; figure 6 * -----	2,3,6,7	
X	US 2011/127591 A1 (KUBOTA YOSHITAKA [JP] ET AL) 2 juin 2011 (2011-06-02)	1,4	
Y	* alinéas [0003], [0019], [0023], [0026]; figure 1C * -----	2,3,5-7	
Y	WO 2006/111888 A1 (KONINKL PHILIPS ELECTRONICS NV [NL]; MULLER MARKUS [FR]; POUYDEBASQUE) 26 octobre 2006 (2006-10-26) * colonne 8, ligne 3 - ligne 12; figure 2 * * colonne 10, ligne 4 - ligne 7 * -----	2,3,6,7	
Y	US 2009/224321 A1 (TSUCHIYA RYUTA [JP]) 10 septembre 2009 (2009-09-10) * alinéas [0073] - [0076], [0083]; figures 9-14 * -----	2,3,5-7	DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
Date d'achèvement de la recherche		Examineur	
7 mars 2016		Seck, Martin	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		D : cité dans la demande	
A : arrière-plan technologique		L : cité pour d'autres raisons	
O : divulgation non-écrite		
P : document intercalaire		& : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1554457 FA 812402**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **07-03-2016**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2014231895 A1	21-08-2014	CN 104009039 A US 2014231895 A1	27-08-2014 21-08-2014

US 2011127591 A1	02-06-2011	JP 5523072 B2 JP 2011119400 A US 2011127591 A1	18-06-2014 16-06-2011 02-06-2011

WO 2006111888 A1	26-10-2006	AUCUN	

US 2009224321 A1	10-09-2009	JP 2009212413 A TW 200945556 A US 2009224321 A1	17-09-2009 01-11-2009 10-09-2009



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement national

établi sur la base des dernières revendications déposées avant le commencement de la recherche

FA 812402
FR 1554457

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2014/231895 A1 (ROTHLEITNER HUBERT [AT]) 21 août 2014 (2014-08-21)	1,4	G11C17/16
Y	* alinéas [0030], [0052]; figure 6 * -----	2,3,6,7	
X	US 2011/127591 A1 (KUBOTA YOSHITAKA [JP] ET AL) 2 juin 2011 (2011-06-02)	1,4	
Y	* alinéas [0003], [0019], [0023], [0026]; figure 1C * -----	2,3,5-7	
Y	WO 2006/111888 A1 (KONINKL PHILIPS ELECTRONICS NV [NL]; MULLER MARKUS [FR]; POUYDEBASQUE) 26 octobre 2006 (2006-10-26) * colonne 8, ligne 3 - ligne 12; figure 2 * * colonne 10, ligne 4 - ligne 7 * -----	2,3,6,7	
Y	US 2009/224321 A1 (TSUCHIYA RYUTA [JP]) 10 septembre 2009 (2009-09-10) * alinéas [0073] - [0076], [0083]; figures 9-14 * -----	2,3,5-7	DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
Date d'achèvement de la recherche		Examineur	
7 mars 2016		Seck, Martin	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		D : cité dans la demande	
A : arrière-plan technologique		L : cité pour d'autres raisons	
O : divulgation non-écrite		
P : document intercalaire		& : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1554457 FA 812402**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **07-03-2016**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2014231895 A1	21-08-2014	CN 104009039 A US 2014231895 A1	27-08-2014 21-08-2014

US 2011127591 A1	02-06-2011	JP 5523072 B2 JP 2011119400 A US 2011127591 A1	18-06-2014 16-06-2011 02-06-2011

WO 2006111888 A1	26-10-2006	AUCUN	

US 2009224321 A1	10-09-2009	JP 2009212413 A TW 200945556 A US 2009224321 A1	17-09-2009 01-11-2009 10-09-2009
