

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4276513号
(P4276513)

(45) 発行日 平成21年6月10日(2009.6.10)

(24) 登録日 平成21年3月13日(2009.3.13)

(51) Int.Cl. F I
H03K 3/037 (2006.01) H03K 3/037 Z

請求項の数 7 (全 25 頁)

(21) 出願番号	特願2003-354177 (P2003-354177)	(73) 特許権者	000005821
(22) 出願日	平成15年10月14日(2003.10.14)		パナソニック株式会社
(65) 公開番号	特開2004-159315 (P2004-159315A)		大阪府門真市大字門真1006番地
(43) 公開日	平成16年6月3日(2004.6.3)	(74) 代理人	100077931
審査請求日	平成18年9月7日(2006.9.7)		弁理士 前田 弘
(31) 優先権主張番号	特願2002-304900 (P2002-304900)	(74) 代理人	100094134
(32) 優先日	平成14年10月18日(2002.10.18)		弁理士 小山 廣毅
(33) 優先権主張国	日本国(JP)	(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実
		(74) 代理人	100117710
			弁理士 原田 智雄

最終頁に続く

(54) 【発明の名称】 フリップフロップ回路

(57) 【特許請求の範囲】

【請求項1】

入力端子と、クロック端子と、出力端子と、
前記入力端子に入力される信号及び前記クロック端子のクロック信号が入力される入力部と、

前記入力部の出力をラッチするラッチ回路と、

第1のノードを有し、前記入力部の動作を制御する制御部と、

前記出力端子から信号を出力する出力部とを備え、

前記入力部は、前記制御部の第1のノードのレベルを制御信号として受けると共に、第2のノードを有し、前記クロック端子のクロック信号がローレベルのとき前記入力端子の入力信号の値に関わらず前記第2のノードにハイレベルの信号を出力し、前記クロック端子のクロック信号がハイレベルであり且つ前記制御部の第1のノードからの制御信号がハイレベルのとき前記第2のノードに前記入力端子の入力信号に依存した論理の信号を出力するものであり、

前記ラッチ回路は、前記入力部の第2のノードの信号を受けると共に、第3のノードを有し、前記クロック端子のクロック信号がハイレベルであり且つ前記制御部の第1のノードからの制御信号がローレベルのとき前記第2のノードの信号を保持し、前記入力部の第2のノードの信号を論理反転した信号を前記第3のノードに出力するものであり、

前記制御部は、前記クロック端子のクロック信号及び前記ラッチ回路の前記第3のノードの信号を受け、前記クロック端子のクロック信号がローレベルのとき前記第1のノード

10

20

にハイレベルの信号を出力し、前記クロック端子のクロック信号がハイレベルのとき前記第1のノードに前記ラッチ回路の前記第3のノードの信号と同じレベルの信号を所定遅延値だけ遅延させて出力するものであり、

前記出力部は、前記制御部の前記第1のノードの信号及び前記ラッチ回路の前記第3のノードの信号を受け、前記制御部の前記第1のノードの信号がハイレベルであり且つ前記ラッチ回路の前記第3のノードの信号がローレベルのとき前記出力端子の信号を保持し、前記制御部の前記第1のノードの信号がローレベル又は前記第3のノードの信号がハイレベルのとき、前記出力端子に前記第1のノードの信号又は前記第3のノードの信号に依存した論理の信号を出力するものである

ことを特徴とするフリップフロップ回路。

10

【請求項2】

入力端子と、クロック端子と、出力端子と、

前記入力端子に入力される信号及び前記クロック端子のクロック信号が入力される入力部と、

前記入力部の出力をラッチするラッチ回路と、

第1のノードを有し、前記入力部の動作を制御する制御部と、

前記出力端子から信号を出力する出力部とを備え、

前記入力部は、前記制御部の第1のノードのレベルを制御信号として受けると共に、第2のノードを有し、前記クロック端子のクロック信号がローレベルのとき前記入力端子の入力信号の値に関わらず前記第2のノードにハイレベルの信号を出力し、前記クロック端子のクロック信号がハイレベルであり且つ前記制御部の第1のノードからの制御信号がハイレベルのとき前記第2のノードに前記入力端子の入力信号に依存した論理の信号を出力するものであり、

20

前記ラッチ回路は、前記入力部の第2のノードの信号を受けると共に、第3のノードを有し、前記クロック端子のクロック信号がハイレベルであり且つ前記制御部の第1のノードからの制御信号がローレベルのとき前記第2のノードの信号を保持し、前記入力部の第2のノードの信号を論理反転した信号を前記第3のノードに出力するものであり、

前記制御部は、前記クロック端子のクロック信号及び前記ラッチ回路の前記第3のノードの信号を受け、前記クロック端子のクロック信号がローレベルのとき前記第1のノードにハイレベルの信号を出力し、前記クロック端子のクロック信号がハイレベルのとき前記第1のノードに前記ラッチ回路の前記第3のノードの信号と同じレベルの信号を所定遅延値だけ遅延させて出力するものであり、

30

前記出力部は、前記クロック端子にローレベルの信号が加わるとき、前記出力端子の信号を保持し、前記クロック端子にハイレベルの信号が加わるとき、前記第2のノードの信号に依存した論理の信号を前記出力端子に出力する

ことを特徴とするフリップフロップ回路。

【請求項3】

請求項1又は2記載のフリップフロップ回路において、

前記制御部は、前記入力部に出力する制御信号を遅延させるための遅延回路を備える

ことを特徴とするフリップフロップ回路。

40

【請求項4】

請求項1、2又は3記載のフリップフロップ回路において、

前記制御部は、入力信号がローレベルであり且つクロック信号がローレベルからハイレベルへ遷移するとき、前記制御部の第1のノードの信号がローレベルへ遷移する速度を速くする遷移速度促進手段を備える

ことを特徴とするフリップフロップ回路。

【請求項5】

請求項1、2、3又は4記載のフリップフロップ回路において、

前記ラッチ回路は、前記制御部の第1のノードの信号がハイレベルであり且つ前記ラッチ回路の第3のノードの信号がローレベルであるときに前記入力部の第2のノードへの電

50

流供給経路を遮断する第1の遮断手段を備える

ことを特徴とするフリップフロップ回路。

【請求項6】

請求項1、2、3、4又は5記載のフリップフロップ回路において、

前記出力部は、前記ラッチ回路の第2のノードの信号がローレベルの場合に、前記制御部の第1のノードに一時的に現れるローレベルの信号が前記出力端子に伝播するのを遮断する第2の遮断手段を備える

ことを特徴とするフリップフロップ回路。

【請求項7】

請求項1、2、3、4、5又は6記載のフリップフロップ回路において、

前記出力部は、ゲート端子を前記第2のノードに接続し、ソースを電源に接続し、ドレインを前記出力端子に接続するPMOSトランジスタを備える

ことを特徴とするフリップフロップ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高速に動作するフリップフロップ回路に関し、詳しくは、トランジスタ数が少なく低消費電力なフリップフロップ回路に関する。

【背景技術】

【0002】

一般に、半導体集積回路におけるロジック回路では、面積、消費電力、クリティカルパス遅延に対してフリップフロップ回路の及ぼす影響は大きく、フリップフロップ回路の小面積化、低消費電力化、高速化が望まれる。

【0003】

従来、高速用途向けに、クロック周期と比較して短いパルス幅の期間にデータ取り込みを行うラッチ回路を用いたフリップフロップ回路が提案されている。以下、このような構成のフリップフロップ回路の従来例について説明する。

【0004】

図13はS D F F (S e m i - D y n a m i c F l i p - F l o p)と呼ばれるフリップフロップ回路の一構成例である。

【0005】

図13において、Dは入力端子、CKはクロック端子、Qは出力端子を示す。MP1、MP2はPMOSトランジスタ、MN1、MN2、MN3、MN4及びMN5はNMOSトランジスタ、INV1、INV2、INV3、INV4、INV5及びINV6はインバータ回路、NAND1はNAND回路である。また、CKD及びn1はノード、IQは内部出力端子、QBは反転出力端子である。

【0006】

前記PMOSトランジスタMP1と3個の前記NMOSトランジスタMN1、MN2、MN3とは直列に接続されており、前記PMOSトランジスタMP1のソースは電源に、前記NMOSトランジスタMN3のソースはアースに各々接続される。前記インバータ回路INV1、INV2はクロック端子CKのクロック信号(以下、クロック信号CKという)を遅延させて、前記NAND回路NAND1の入力端子へ伝達する遅延回路を構成し、前記クロック端子CKと前記NAND回路NAND1の前記入力端子との間に直列に挿入される。前記NAND回路NAND1の2つの入力端子のうち前記インバータ回路INV2の出力端子と接続される前記入力端子をノードCKD、他方の入力端子をノードn1とする。前記ノードn1は前記PMOSトランジスタMP1と前記NMOSトランジスタMN1との接続点、前記インバータ回路INV3の出力端子、前記PMOSトランジスタMP2と前記NMOSトランジスタMN5との接続点とを接続する。また、前記NAND回路NAND1の出力端子は前記NMOSトランジスタMN1のゲート端子に接続される。前記インバータ回路INV3、INV4は、前記インバータ回路INV3の出力端子を

10

20

30

40

50

インバータ回路 I N V 4 の入力端子に、前記インバータ回路 I N V 4 の出力端子を前記インバータ回路 I N V 3 の入力端子に接続したラッチ回路を構成し、前記ノード n 1 の値を保持するために前記インバータ回路 I N V 3 の出力側と前記インバータ回路 I N V 4 の入力側とが前記ノード n 1 に接続される。前記 P M O S トランジスタ M P 2 と前記 N M O S トランジスタ M N 4、M N 5 は直列に接続されており、前記 P M O S トランジスタ M P 2 のソースは電源に、前記 N M O S トランジスタ M N 5 のソースはアースに接続される。また、前記クロック端子 C K は前記 P M O S トランジスタ M P 1 のゲートと、前記 N M O S トランジスタ M N 3、M N 4 の各ゲートと、前記インバータ回路 I N V 1 の入力端子とに接続される。前記インバータ回路 I N V 5、I N V 6 は前記インバータ回路 I N V 3、I N V 4 と同様にラッチ回路を構成し前記反転出力端子 Q B の値を保持する。

10

【 0 0 0 7 】

米国特許第 5 9 1 7 3 5 5 号明細書（コラム 3 ~ 7 及び第 4 図）においては、出力段に前記インバータ回路 I N V 7 は用いられておらず、フリップフロップ回路は前記内部出力端子 I Q から直接外部を駆動する形となっている。しかし、出力配線に加わるクロストークノイズの影響により前記インバータ回路 I N V 5、I N V 6 で保持されているデータが変化してしまうのを防いだり、出力負荷が大きいときに動作速度が極端に低下するのを防ぐためには前記インバータ回路 I N V 7 を用いて出力負荷を駆動するのが実用的である。よって以下では前記インバータ回路 I N V 7 を備えた場合について説明する。

【 0 0 0 8 】

図 1 3 において、前記クロック信号 C K がローレベルの期間である初期状態では、前記 P M O S トランジスタ M P 1 により前記ノード n 1 が充電されてハイレベルに遷移する。この時、前記 N M O S トランジスタ M N 4 および前記 P M O S トランジスタ M P 2 がカットオフされるため、前記出力端子 Q は以前の値に保持される。

20

【 0 0 0 9 】

続いて、前記クロック信号 C K がハイレベルに遷移する時には、前記ノード C K D はただちにはハイレベルに遷移せず、前記インバータ回路 I N V 1、I N V 2 により遅延されてハイレベルに遷移する。前記クロック信号 C K がハイレベルかつ前記ノード C K D の信号がローレベルの期間（以後、評価期間と呼ぶ）では、前記 N M O S トランジスタ M N 1 がオン状態となるため、この期間において入力端子 D の入力信号（以下、入力信号 D という）がハイレベルであれば、前記ノード n 1 の信号のレベルが放電によりローレベルに遷移し、前記 P M O S トランジスタ M P 2 により前記内部出力端子 I Q の信号がハイレベルに遷移し、遅れて前記出力端子 Q の出力信号もハイレベルに遷移する。一方、前記評価期間において、前記入力信号 D がローレベルであれば、N M O S トランジスタ M N 2 がオフ状態にあるため、前記ノード n 1 の信号はハイレベルのままであり、前記 N M O S トランジスタ M N 4、M N 5 がオン状態となることにより前記内部出力端子 I Q の信号がローレベルに遷移し、遅れて前記出力端子 Q の出力信号もローレベルに遷移する。

30

【 0 0 1 0 】

その後、前記クロック信号 C K がハイレベルでかつ前記ノード C K D の信号がハイレベルの状態（以後、保持期間と呼ぶ）に遷移するが、このとき、前記ノード n 1 の信号がハイレベルであれば、前記 N A N D 回路 N A N D 1 により前記 N M O S トランジスタ M N 1 はオフ状態にされるため、前記入力信号 D の値に影響されることなく、前記インバータ回路 I N V 3、I N V 4 により前記ノード n 1 の信号はハイレベルを保持する。一方、前記ノード n 1 の信号がローレベルの状態である場合には、前記 P M O S トランジスタ M P 1 がオフ状態であるため、前記入力信号 D の値に関係なく、前記インバータ回路 I N V 3、I N V 4 により前記ノード n 1 の信号はローレベルを保持する。

40

【特許文献 1】米国特許第 5 9 1 7 3 5 5 号明細書（コラム 3 ~ 7 及び第 4 図）

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 1 】

しかしながら、本発明者等が検討したところ、前記従来 of フリップフロップ回路では

50

、次の欠点があることが判った。すなわち、図13に示した従来回路では、クロック信号CKがローレベルからハイレベルへ遷移して評価期間に入った際において、入力信号Dがハイレベルの場合には、ノードn1をハイレベルからローレベルへ確実に遷移させるために、NMOSトランジスタMN2、MN3のオンに加えて、NMOSトランジスタMN1をも一定期間オン状態を保持しておく必要がある。このためには、前記クロック信号CKをノードCKDに伝播する経路にインバータ回路INV1、INV2により構成される遅延回路を配置する必要があり、この両インバータINV1、INV2が加わる分だけ、構成するMOSトランジスタ数が多くなり、レイアウト面積が大きくなるという問題があった。図13の構成の場合、回路は25個のMOSトランジスタから構成される。

【0012】

また、上述のように入力信号Dがハイレベルの場合にクロック信号CKがローレベルからハイレベルへ遷移するときには、ノードn1の信号はハイレベルからローレベルへ遷移するが、この後に、クロック信号CKがハイレベルからローレベルへ遷移して初期状態に戻る過程では、PMOSトランジスタMP1がオンし、NMOSトランジスタMN3がオフするので、ノードn1の信号はハイレベルに固定される。したがって、ノードn1のハイレベルへの固定はNMOSトランジスタMN1の動作には依存しない。しかし、NAND回路NAND1の出力は、当初ハイレベルから一旦ローレベルへ遷移し、その後、インバータ回路INV1、INV2よりなる遅延回路の遅延時間の経過後再びハイレベルへ遷移し、不要にNMOSトランジスタMN1をオフさせる。このように、図13の従来回路においては、無駄に電力を消費する回路動作が含まれていた。

【0013】

本発明は前記従来の問題を解決するものであり、その目的は、構成するMOSトランジスタ数が少なく、しかも、消費電力が少ないフリップフロップ回路を提供すること、及び構成トランジスタ数が従来と同数でも動作速度が速いフリップフロップ回路を提供することにある。

【課題を解決するための手段】

【0014】

前記の問題点を解決するために、本発明では、専用のインバータ回路INV1、INV2よりなる遅延回路を設けることなしに、SDFPのフリップフロップ回路を構成すると共に、初期状態に戻った際の不要な回路動作をなくすことにより、構成するMOSトランジスタの数をできる限り少なく、しかも、無駄な電力を消費しないようにする。

【0015】

すなわち、請求項1記載の発明のフリップフロップ回路は、入力端子と、クロック端子と、出力端子と、前記入力端子に入力される信号及び前記クロック端子のクロック信号が入力される入力部と、前記入力部の出力をラッチするラッチ回路と、第1のノードを有し、前記入力部の動作を制御する制御部と、前記出力端子から信号を出力する出力部とを備え、前記入力部は、前記制御部の第1のノードのレベルを制御信号として受けると共に、第2のノードを有し、前記クロック端子のクロック信号がローレベルのとき前記入力端子の入力信号の値に関わらず前記第2のノードにハイレベルの信号を出力し、前記クロック端子のクロック信号がハイレベルであり且つ前記制御部の第1のノードからの制御信号がハイレベルのとき前記第2のノードに前記入力端子の入力信号に依存した論理の信号を出力するものであり、前記ラッチ回路は、前記入力部の第2のノードの信号を受けると共に、第3のノードを有し、前記クロック端子のクロック信号がハイレベルであり且つ前記制御部の第1のノードからの制御信号がローレベルのとき前記第2のノードの信号を保持し、前記入力部の第2のノードの信号を論理反転した信号を前記第3のノードに出力するものであり、前記制御部は、前記クロック端子のクロック信号及び前記ラッチ回路の前記第3のノードの信号を受け、前記クロック端子のクロック信号がローレベルのとき前記第1のノードにハイレベルの信号を出力し、前記クロック端子のクロック信号がハイレベルのとき前記第1のノードに前記ラッチ回路の前記第3のノードの信号と同じレベルの信号を所定遅延値だけ遅延させて出力するものであり、前記出力部は、前記制御部の前記第1の

ノードの信号及び前記ラッチ回路の前記第3のノードの信号を受け、前記制御部の前記第1のノードの信号がハイレベルであり且つ前記ラッチ回路の前記第3のノードの信号がローレベルのとき前記出力端子の信号を保持し、前記制御部の前記第1のノードの信号がローレベル又は前記第3のノードの信号がハイレベルのとき、前記出力端子に前記第1のノードの信号又は前記第3のノードの信号に依存した論理の信号を出力するものであることを特徴とする。

【0016】

また、請求項2記載の発明のフリップフロップ回路は、入力端子と、クロック端子と、出力端子と、前記入力端子に入力される信号及び前記クロック端子のクロック信号が入力される入力部と、前記入力部の出力をラッチするラッチ回路と、第1のノードを有し、前記入力部の動作を制御する制御部と、前記出力端子から信号を出力する出力部とを備え、前記入力部は、前記制御部の第1のノードのレベルを制御信号として受けると共に、第2のノードを有し、前記クロック端子のクロック信号がローレベルのとき前記入力端子の入力信号の値に関わらず前記第2のノードにハイレベルの信号を出力し、前記クロック端子のクロック信号がハイレベルであり且つ前記制御部の第1のノードからの制御信号がハイレベルのとき前記第2のノードに前記入力端子の入力信号に依存した論理の信号を出力するものであり、前記ラッチ回路は、前記入力部の第2のノードの信号を受けると共に、第3のノードを有し、前記クロック端子のクロック信号がハイレベルであり且つ前記制御部の第1のノードからの制御信号がローレベルのとき前記第2のノードの信号を保持し、前記入力部の第2のノードの信号を論理反転した信号を前記第3のノードに出力するものであり、前記制御部は、前記クロック端子のクロック信号及び前記ラッチ回路の前記第3のノードの信号を受け、前記クロック端子のクロック信号がローレベルのとき前記第1のノードにハイレベルの信号を出力し、前記クロック端子のクロック信号がハイレベルのとき前記第1のノードに前記ラッチ回路の前記第3のノードの信号と同じレベルの信号を所定遅延値だけ遅延させて出力するものであり、前記出力部は、前記クロック端子にローレベルの信号が加わるとき、前記出力端子の信号を保持し、前記クロック端子にハイレベルの信号が加わるとき、前記第2のノードの信号に依存した論理の信号を前記出力端子に出力することを特徴とする。

【0017】

また、請求項3記載の発明は、請求項1又は2記載のフリップフロップ回路において、前記制御部は、前記入力部に出力する制御信号を遅延させるための遅延回路を備えることを特徴とする。

【0018】

更に、請求項4記載の発明は、請求項1、2又は3記載のフリップフロップ回路において、前記制御部は、入力信号がローレベルであり且つクロック信号がローレベルからハイレベルへ遷移するとき、前記制御部の第1のノードの信号がローレベルへ遷移する速度を速くする遷移速度促進手段を備えることを特徴とする。

【0019】

加えて、請求項5記載の発明は、請求項1、2、3又は4記載のフリップフロップ回路において、前記ラッチ回路は、前記制御部の第1のノードの信号がハイレベルであり且つ前記ラッチ回路の第3のノードの信号がローレベルであるときに前記入力部の第2のノードへの電流供給経路を遮断する第1の遮断手段を備えることを特徴とする。

【0020】

また、請求項6記載の発明は、請求項1、2、3、4又は5記載のフリップフロップ回路において、前記出力部は、前記ラッチ回路の第2のノードの信号がローレベルの場合に、前記制御部の第1のノードに一時的に現れるローレベルの信号が前記出力端子に伝播するのを遮断する第2の遮断手段を備えることを特徴とする。

【0021】

更に、請求項7記載の発明は、請求項1、2、3、4、5又は6記載のフリップフロップ回路において、前記出力部は、ゲート端子を前記第2のノードに接続し、ソースを電源

10

20

30

40

50

に接続し、ドレインを前記出力端子に接続するPMOSトランジスタを備えることを特徴とする。

【0022】

以上により、請求項1記載の発明では、入力部の第2のノード(出力ノード)に接続されたラッチ回路を利用し、このラッチ回路の第3のノード(出力ノード)を制御部の入力として使用することにより、従来技術の図10において2個のインバータ回路INV1、INV2及びNAND回路NAND1により構成される部分が簡素化されるので、MOSトランジスタ数が削減されて、レイアウト面積が縮小されることになる。その結果、消費電力を削減することができる。

【0023】

そして、それに加えて、前記制御部は、前記クロック端子のクロック信号及び前記ラッチ回路の前記第3のノードの信号を受け、前記クロック端子のクロック信号がローレベルのとき前記第1のノードにハイレベルの信号を出力し、前記クロック端子のクロック信号がハイレベルのとき、入力信号がハイレベルであれば、前記ラッチ回路の前記第3のノードのハイレベルの信号と同じハイレベルの信号を前記第1のノードに出力する。従って、入力信号がハイレベルの場合には、本発明のフリップフロップ回路は、クロック信号のローレベルからハイレベルへの変化及びその逆の変化に関わらず、第1のノードのレベルをハイレベルに固定できて、制御信号のレベルを不要に変動させることができなく、無駄な消費電力を削減することができる。

【0024】

また、請求項2記載の発明では、出力部に入力される2つの信号を上記の発明とは異なるものとし、出力部の回路構成を変更しながらも、出力部の回路機能をそのまま維持したので、出力部のみ別のバリエーションを用いながら、上記の発明と同様に、制御部の簡素化による消費電力の削減効果を得ることができる。

【0025】

更に、請求項3記載の発明では、制御部の第1のノードから入力部への制御信号の伝播経路に遅延回路が挿入されるので、この遅延回路により、制御部の出力信号を入力部へ伝達する際の適切な遅延時間が得られ、簡易に回路動作の安定化を図ることができる。

【0026】

続いて、請求項4記載の発明では、入力信号がローレベルであり且つクロック信号がローレベルからハイレベルへ遷移するとき、すなわち、制御部における第1のノードが速やかにローレベルへ遷移すべき場合において、上述した発明(複数形)におけるフリップフロップ回路の機能を維持しつつ、そのローレベルへの遷移が遷移速度促進手段により促進されるので、フリップフロップ回路の動作をより高速化すると共に、消費電力を削減することもできる。

【0027】

また、請求項5記載の発明では、前記第1のノードの信号がハイレベルであり且つ前記第3のノードの信号がローレベルであるときに、ラッチ回路が前記第2のノードの変化を妨げる動作を防止できるので、前記第2のノードをハイレベルからローレベルに遷移させる時間をより短くでき、フリップフロップ回路をより高速化できる。

【0028】

更に、請求項6記載の発明では、上記のフリップフロップ回路において、前記入力端子にハイレベルが加わり且つ前記クロック端子の信号がローレベルからハイレベルに遷移するとき、前記第1のノードの電位が一時的に下がって再びハイレベルに戻るグリッチが生成される場合でも、出力端子にグリッチが出力されることが第2の遮断手段により防止できる。

【0029】

続いて、請求項7記載の発明では、前記第2のノードがハイレベルからローレベルに遷移するとき、前記出力端子を高速にハイレベルに遷移させることができるので、内部で生じたグリッチが出力信号に伝播することを防ぐことができ、また、フリップフロップ回路

10

20

30

40

50

をより高速化することができる。

【発明の効果】

【0030】

以上説明したように、請求項1～7記載の発明のフリップフロップ回路によれば、構成するMOSトランジスタの数をできるだけ削減することができ、消費電力を削減することができる。更に、制御部から入力部へ出力される制御信号が不要に変動することを防止でき、一層の低消費電力化が可能である。

【0031】

特に、請求項3記載の発明のフリップフロップ回路によれば、制御部から入力部への制御信号の出力経路上に遅延回路を挿入したので、入力部の状態が安定してから制御部の制

10

【0032】

請求項4記載のフリップフロップ回路によれば、入力端子にローレベルの信号が加わり、且つ、クロック端子の信号がローレベルからハイレベルへ遷移するとき、制御部の第1のノードのローレベルへの遷移を速くすることができるので、フリップフロップ回路の動作をより高速化することができる。

【0033】

請求項5記載のフリップフロップ回路によれば、入力端子にハイレベルの信号が加わり、且つ、クロック端子の信号がローレベルからハイレベルに遷移するとき、入力部の第2のノードがハイレベルからローレベルに遷移する時間を短くしたので、更に動作を高速化する効果がある。

20

【0034】

請求項6記載のフリップフロップ回路によれば、第2のノードの信号がローレベルのときに、第1のノードに一時的に現れるローレベルの信号が出力端子に不用意に伝播するのを遮断したので、出力端子におけるグリッチの発生を防ぐことができ、消費電力を削減することができる。

【0035】

請求項7記載のフリップフロップ回路によれば、第2のノードの信号がハイレベルからローレベルに遷移するとき、高速に出力端子をハイレベルに引き上げるようにしたので、フリップフロップ回路の動作をより高速化することができる。

30

【発明を実施するための最良の形態】

【0036】

以下、本発明の実施の形態のフリップフロップ回路を図面に基づいて説明する。

【0037】

(第1の実施の形態)

図1は本発明の第1の実施の形態におけるフリップフロップ回路の回路図を示す。同図において、Dは入力端子、CKはクロック端子、Qは出力端子、1はダイナミック型の入力部、2はラッチ回路、3は制御部、4はスタティック型の出力部である。

【0038】

前記制御部3は第1のノードn1を有し、この第1のノードn1の信号を制御信号として前記入力部1の動作を制御する。前記入力部1は、前記クロック端子CKのクロック信号(以下、単にクロック信号CKという)と前記入力端子Dの入力信号(以下、単に入力信号Dという)とを入力すると共に、第2のノードn2を有し、この第2のノードn2に信号を出力する。前記ラッチ回路2は前記入力部1の第2のノードn2からの出力信号を入力すると共に第3のノードn3を有し、前記入力部1からの出力信号をラッチして、前記第3のノードn3にラッチ信号を出力する。前記出力部4は、前記ラッチ回路2の出力信号及び前記制御部3の出力信号を入力して、前記出力端子Qに信号を出力する。

40

【0039】

具体的に、前記入力部は、PMOSトランジスタMP1と3個のNMOSトランジスタ

50

MN1、MN2、MN3とを備え、その入力部では、前記PMOSトランジスタMP1と3個の前記NMOSトランジスタMN1、MN2、MN3とが直列に接続され、さらに前記PMOSトランジスタMP1のソースは電源に、前記NMOSトランジスタMN3のソースはアースに接続される。また前記PMOSトランジスタMP1のドレインと前記NMOSトランジスタMN1のドレインとの接続点が第2のノードn2である。この回路構成において、前記入力部1は、前記クロック信号CKがローレベルのとき、前記PMOSトランジスタMP1がオンし、前記NMOSトランジスタMN1がオフするので、前記入力信号Dの値に関わらず前記第2のノードn2にハイレベルの信号を出力する。また、前記クロック信号CKがハイレベルであり、且つ、前記制御部3の第1のノードn1の信号レベル(制御信号)がハイレベルの場合には、NMOSトランジスタMN1、MN3がオンするので、前記入力部1は、入力信号Dがハイレベルのときには第2のノードn2の信号をローレベルにし、逆に、入力信号Dがローレベルのときには第2のノードn2の信号をハイレベルにする。即ち、この場合には、前記入力信号Dに依存してこの入力信号Dを論理反転させた値の信号が、前記第2のノードn2に出力される。さらに、前記クロック信号CKがハイレベルであり且つ前記ノードn1の信号がローレベルのときには、PMOSトランジスタMP1及びNMOSトランジスタMN3が共にオフし、前記第2のノードn2では前記ラッチ回路2により信号レベルが保持される。

【0040】

前記ラッチ回路2は、2個のインバータ回路INV1、INV2を備え、前記インバータ回路INV1の出力端子を前記インバータ回路INV2の入力端子に接続し、前記インバータ回路INV2の出力端子を前記インバータ回路INV1の入力端子に接続する。このラッチ回路2における前記インバータ回路INV1の入力端子には、前記入力部1の出力である前記第2のノードn2が接続され、また、前記インバータ回路INV1の出力端子は前記第3のノードn3とされる。この回路構成において、前記インバータ回路INV1は前記入力部1の第2のノードn2の信号を論理反転して前記第3のノードn3に出力する。

【0041】

前記制御部3は、2個のPMOSトランジスタMP2、MP3と、NMOSトランジスタMN4とを備える。この制御部3では、前記PMOSトランジスタMP2と前記NMOSトランジスタMN4とが直列に接続され且つ前記PMOSトランジスタMP2のソースは電源に、前記NMOSトランジスタMN4のソースは前記第3のノードn3に接続される。さらに、前記PMOSトランジスタMP2のゲートは前記NMOSトランジスタMN4のゲートと接続され、その接続点は前記クロック端子CKに接続される。この制御部3の出力端子である前記PMOSトランジスタMP2のドレインと前記NMOSトランジスタMN4のドレインとの接続点は前記第1のノードn1と接続されていて、この第1のノードn1の信号が制御信号として前記入力部1のNMOSトランジスタMN3のゲートへ入力される。また、前記PMOSトランジスタMP3のソースは電源に、ドレインは前記第1のノードn1に接続される。

【0042】

このような回路構成の制御部3において、前記クロック信号CKがローレベルのときには、PMOSトランジスタMP2がオンし、NMOSトランジスタMN4がオフするので、前記第1のノードn1にハイレベルの信号を出力する。また、前記クロック信号CKがハイレベルのときには、PMOSトランジスタMP2がオフし、NMOSトランジスタMN4がオンするので、前記ラッチ回路2の第3のノードn3の信号が前記NMOSトランジスタMN4を介して第1のノードn1に伝播されて、この第1のノードn1に前記ラッチ回路2の第3のノードn3と同じレベルの信号が出力される。このとき、前記ラッチ回路2の第3のノードn3の信号は前記NMOSトランジスタMN4が前記第1のノードn1の電荷を充放電する時間分遅延して前記第1のノードn1に伝えられる。前記PMOSトランジスタMP3は、後述するように、前記ラッチ回路2の第3のノードn3にハイレベルの信号が加わるとき、前記第1のノードn1の信号をハイレベルに保持するためと、

10

20

30

40

50

前記ラッチ回路2の第3のノードn3のローレベルの信号が前記第1のノードn1に伝わるのを遅延させるために備えられる。

【0043】

前記出力部4は、NAND回路NAND1と、2個のインバータ回路INV3、INV4と、NMOSトランジスタMN5とを備え、前記NAND回路NAND1の2つの入力端子のうち、一方の入力端子に前記制御部3の第1のノードn1が接続され、他方の入力端子には前記インバータ回路INV3の出力端子が接続される。また、前記NAND回路NAND1の出力端子は前記インバータ回路INV3の入力端子に接続され、この接続点は第4のノードn4とされる。この第4のノードn4は前記制御部3のPMOSトランジスタMP3のゲートと、前記インバータ回路INV4の入力端子と、前記NMOSトランジスタMN5のドレインとにそれぞれ接続される。また、前記NMOSトランジスタMN5は、そのソースがアースに接続され、ゲートが前記ラッチ回路2の第3のノードn3に接続される。このような回路構成の出力部4において、前記ラッチ回路2の第3のノードn3の信号がローレベルであり且つ前記制御部3の第1のノードn1の信号がハイレベルのときには、前記NMOSトランジスタMN5はオフ状態であるので、NAND回路NAND1及びインバータ回路INV3により、出力端子Qの出力（以下、単に出力信号Qという）の値が保持される。また、前記ラッチ回路2の第3のノードn3の信号がハイレベルであり且つ前記制御部3の第1のノードn1の信号がハイレベルのときには、前記NMOSトランジスタMN5はオン状態であるので、第4のノードn4の信号がローレベルとなり、前記出力端子Qにハイレベルの信号が出力される。前記ラッチ回路2の第3のノードn3の信号がローレベルであり且つ前記制御部3の第1のノードn1の信号がローレベルのときには、前記NMOSトランジスタMN5がオフ状態であり且つ前記NAND回路NAND1に制御部3の第1のノードn1のローレベル信号が入力されるので、第4のノードn4にはハイレベルの信号が出力され、前記出力端子Qにはローレベルの信号が出力される。

【0044】

図2は、図1のフリップフロップ回路の動作を示すタイムチャートである。以下、図2を用いて図1のフリップフロップ回路の動作を説明する。

【0045】

図1において、クロック信号CKがローレベルの期間（図2のt1、t4、t7の期間）には、PMOSトランジスタMP1、MP2によりそれぞれ入力部1の第2のノードn2及び制御部3の第1のノードn1の信号は共にハイレベルに設定される。このとき、前記第3のノードn3は前記第2のノードn2の信号が論理反転されたローレベルの状態であり、そのため、前記出力部4のNMOSトランジスタMN5はオフしており、前記NAND回路NAND1と前記インバータ回路INV3とにより前記出力信号Qの値が保持されている。

【0046】

次に、クロック信号CKがローレベルからハイレベルに遷移するとき、前記入力信号Dがハイレベルであれば（図2のt2の期間）、前記NMOSトランジスタMN1、MN2、MN3の全てがオン状態となるので、前記入力部1の第2のノードn2の電荷は放電されてローレベルになる。このとき前記第3のノードn3の信号は前記第2のノードn2の信号がローレベルに遷移するのに伴いハイレベルに遷移する。これにより、前記出力部4のNMOSトランジスタMN5がオンになって出力部4の第4のノードn4の信号がローレベルに遷移して、前記第4のノードn4の信号がインバータ回路INV4により論理反転されて、出力信号Qがハイレベルに遷移する。また、前記クロック信号CKがローレベルからハイレベルへ遷移するのに伴い制御部3のNMOSトランジスタMN4がオンになるので、当初、第1のノードn1の信号はハイレベルから第3のノードn3のローレベルに遷移しようとするが、後に前記ノードn3の信号がハイレベルに遷移するとローレベルへの遷移が止まる（このとき生成される波形をグリッチと呼ぶ）。この第1のノードn1に生じるグリッチは図2の符号gで示される。このとき、前記第1のノードn1の電位は

10

20

30

40

50

ハイレベルの電位より前記NMOSトランジスタMN4の閾値電圧分低下するが、前記第4のノードn4の信号がローレベルに遷移すると、前記PMOSトランジスタMP3がオンとなって、ハイレベルの電位まで引き上げられる。

【0047】

次に、前記第2のノードn2の信号がローレベルに遷移し且つ前記クロック信号CKがハイレベルのとき(図2のt3の期間)において、前記入力信号Dがハイレベルからローレベルに変化したとしても、前記ラッチ回路2によりラッチ回路2の前後のノードn2、n3の信号は保持される。これにより、前記ラッチ回路2の出力ノード(第3のノードn3)がハイレベルへ遷移して、一定の遅延時間を経て出力信号Qの信号レベルがハイレベルに遷移した後は、前記入力信号Dの変化に関わらず、出力信号Qのレベルは保持される。

10

【0048】

一方、クロック信号CKがローレベルからハイレベルに遷移するときにおいて、入力信号Dがローレベルのとき(図2のt5の期間)には、入力部1のNMOSトランジスタMN2はオフとなるので、第2のノードn2の信号はハイレベルのまま保持される。そのため、ラッチ回路2の第3のノードn3の信号もローレベルに保持される。これにより、制御部3の第1のノードn1は、オン状態のNMOSトランジスタMN4を介してこの第3のノードn3に放電されて、ハイレベルからローレベルに遷移する。このとき、出力部4では、前記制御部3の第1のノードn1のローレベル信号がNAND回路NAND1に入力されて、第4のノードn4の信号がハイレベルとなり、出力信号Qがローレベルとなる。

20

【0049】

このように、制御部3の第1のノードn1の信号がローレベルに遷移し且つクロック信号CKがハイレベルの状態である図2のt6の期間において、入力信号Dがローレベルからハイレベルに変化したとしても、入力部1のNMOSトランジスタMN3は前記制御部3の第1のノードn1のローレベルの制御信号によりオフとなっているので、ラッチ回路2の第2のノードn2は放電されず、ハイレベルに保持される。従って、出力部4への入力信号(制御部3の第1のノードn1の信号)のレベル及びラッチ回路2の第3のノードn3の信号のレベルは変化せず、出力端子Qにおけるローレベルの出力は、前記入力信号Dの変化に関わらず、そのまま保持される。

30

【0050】

本実施の形態において注意すべき点は、クロック信号CKがローレベルからハイレベルに遷移し且つ入力信号Dがハイレベルのときにおいて、第2のノードn2が完全にローレベルに遷移する前に第1のノードn1の信号がハイレベルからローレベルに変化してしまうと、第2のノードn2の信号がローレベルに変化できず、又は変化速度が遅くなってしまうことである。また、第1のノードn1の信号がハイレベルからローレベルに変化するのが遅すぎると、クロック信号CKがローレベルからハイレベルに遷移し且つ前記入力信号Dがローレベルのときに、クロック信号CKの遷移から出力信号Qの遷移までの遅延時間が大きくなってしまふ。従って、第3のノードn3から第1のノードn1への遅延時間が最適になるように、制御部3のNMOSトランジスタMN4の電流駆動能力が適切に調整される。また、第1のノードn1で生じたグリッチ波形gが出力部4のNAND回路NAND1の論理閾値よりも低い電圧にまで低下すると、第4のノードn4、及び出力端子Qにもグリッチが生成され、消費電力が大きくなってしまふ。従って、第1のノードn1で生じるグリッチ波形gの最低電位が前記NAND回路NAND1の論理閾値よりも低下しないように、制御部3のPMOSトランジスタMP3、及びNMOSトランジスタMN4などのサイズが適切に調整される。即ち、本実施の形態では、前記PMOSトランジスタMP3のサイズをより大きく、NMOSトランジスタMN4のサイズをより小さくすることにより、グリッチ波形gの振幅が小さく抑えられる。

40

【0051】

ここで、図13に示した従来回路と本実施の形態との比較をすると、この従来回路では

50

、クロック信号CKがローレベルからハイレベルに遷移し且つ入力信号Dがハイレベルのとき、PMOSトランジスタMP1がオフし、3個のNMOSトランジスタMN1、MN2、MN3が全てオンすることにより、第1のノードn1の信号がローレベルへ遷移し、その後インバータ回路INV1、INV2の構成する遅延回路によりノードCKDのレベルがローレベルからハイレベルへ変化していた。このとき、前記ノードn1の信号をローレベルへ確実に遷移させるために、NMOSトランジスタMN2、MN3のオン動作に加えて、NMOSトランジスタMN1をもオン状態に保っておく必要があり、このためには、前記クロック信号CKをノードCKDに伝播する経路にインバータ回路INV1、INV2により構成される遅延回路を配置する必要があった。

【0052】

本実施の形態の図1の回路においては、クロック信号CKがローレベルからハイレベルに遷移し且つ入力信号Dがハイレベルのとき、PMOSトランジスタMP1がオフし、3個のNMOSトランジスタMN1、MN2、MN3が全てオンする。これにより、図13のノードn1に相当する図1の第2のノードn2の信号がローレベルへ遷移する過程は従来と同様である。しかし、ここで図13のNAND回路NAND1の出力ノードに相当する図1の第1のノードn1の信号のレベルは、このときオン状態のNMOSトランジスタMN4を介して第3のノードn3のハイレベルの信号を受け、ハイレベルに保たれる。

【0053】

この結果、本実施の形態の回路は、従来の図13におけるインバータ回路INV1、INV2を用いることなく、図13のNMOSトランジスタMN1に相当する図1のNMOSトランジスタMN3をオン状態に保つことができる。

【0054】

以上述べたように、本実施の形態の回路は、図13の従来回路に比べて5個少ない20個のMOSトランジスタでフリップフロップ回路を構成できる。しかも、少ないMOSトランジスタで構成するので、その分、動作するトランジスタの個数が減ると共に寄生容量が減って、消費電力を少なくすることができる。

【0055】

また、前記入力部1の第2のノードn2に接続される負荷はラッチ回路2のみであるので、前記第2のノードn2に相当する図13の従来回路における第1のノードn1には、PMOSトランジスタMP2、NMOSトランジスタMN5、ラッチ回路を構成する前記インバータ回路INV3、INV4及びNAND回路NAND1等が接続されている状態に比べて負荷を小さく設定できて、前記入力部1の動作を高速化でき、その結果、フリップフロップ回路の動作速度を向上することができる。

【0056】

(第2の実施の形態)

以下、本発明の第2の実施の形態のフリップフロップ回路について図3を参照しながら説明する。尚、以下の実施の形態において、前記第1の実施の形態と同様の機能を有する構成要素については同一の符号を付して、その説明を省略する。

【0057】

図3に示したフリップフロップ回路は前記第1の実施の形態で説明した図1の回路とほぼ同じ構成であるが、制御部3に遅延回路10を追加した点で異なる。すなわち、図3の回路は、第1のノードn1から入力部1のNMOSトランジスタMN3のゲートに加える制御信号を遅延させるために、第1のノードn1の制御信号を2個のインバータ回路INV5、INV6を直列に接続した遅延回路10を介して入力部1のNMOSトランジスタMN3のゲートに与えたものである。ここで、前記インバータ回路INV6の出力端子と入力部1のNMOSトランジスタMN3のゲートとの接続点を第5のノードn5とする。

【0058】

これにより、本実施の形態では、ラッチ回路2の第3のノードn3の電位変化から制御部3の第1のノードn1の電位変化までの遅延時間が短い場合において、クロック信号CKがローレベルからハイレベルに遷移し且つ入力信号Dがハイレベルの状態では、前記入

10

20

30

40

50

力部 1 の第 2 のノード n 2 の電位がローレベルに変化する前に制御部 3 の第 1 のノード n 1 の信号がハイレベルからローレベルに変化してしまっても、制御部 3 の第 5 のノード n 5 の信号が所定時間ハイレベルを保持するので、入力部 1 の第 2 のノード n 2 の信号はローレベルに確実に変化できるようになる。また、本実施の形態の回路は、前記クロック信号 C K がローレベルからハイレベルに遷移し且つ前記入力信号 D がローレベルのときに、前記クロック信号 C K の遷移から前記出力信号 Q が遷移するまでの遅延時間が大きくなってしまふことを防ぐことができる。

【 0 0 5 9 】

前記インバータ回路 I N V 5 , I N V 6 は制御部 3 の第 1 のノード n 1 の信号レベルが変化するときのみ動作する。すなわち、インバータ回路 I N V 5 , I N V 6 は、クロック信号 C K がローレベルのとき、または、入力信号 D にローレベルの信号が加わっている場合において、クロック信号 C K がローレベルからハイレベルへ遷移したとき、及び、その状態から更に、クロック信号がハイレベルからローレベルに遷移した場合にのみ動作するので、図 1 3 の従来回路のようにクロック信号が変化する毎に必ずインバータ回路 I N V 1 、 I N V 2 が動作するのに比べて消費電力を少なくすることができる。

10

【 0 0 6 0 】

以上述べたように、本実施の形態では、図 1 3 の従来回路に比べて 1 個少ない 2 4 個の M O S トランジスタでフリップフロップ回路を構成できると共に、図 1 3 の従来回路に比べて、消費電力を低減することができる。

【 0 0 6 1 】

(第 3 の実施の形態)

以下、本発明の第 3 の実施の形態のフリップフロップ回路について図面を参照しながら説明する。

20

【 0 0 6 2 】

図 4 は本実施の形態におけるフリップフロップ回路の回路図である。基本的な構成は図 3 に示すフリップフロップ回路と同じである。本実施の形態における図 4 の回路は、前記図 3 に示した第 2 の実施の形態の P M O S トランジスタ M P 3 の配置位置を変更したものである。すなわち、図 3 ではゲートを第 4 のノード n 4 に接続し、電源と第 1 のノード n 1 との間に接続していた P M O S トランジスタ M P 3 が、本実施の形態では、ゲートを入力部 1 の第 2 のノード n 2 に接続され、 N M O S トランジスタ M N 4 と並列接続したトランスミッションゲートとして用いられている。

30

【 0 0 6 3 】

本実施の形態における図 4 のフリップフロップ回路は、図 3 におけるフリップフロップ回路の機能を維持しつつ、入力信号 D がローレベルであり且つクロック信号 C K がローレベルからハイレベルへ遷移するとき、すなわち、ハイレベルである第 1 のノード n 1 の電位が第 3 のノード n 3 のローレベル電位へ速やかに遷移しなければならないときに、必要以上に生じていた遅延時間を削減することができる。以下、この動作について詳しく説明する。

【 0 0 6 4 】

図 3 におけるフリップフロップ回路の場合、入力信号 D がローレベルであり且つクロック信号 C K がローレベルからハイレベルへ遷移するときには、ラッチ回路 2 の第 3 のノード n 3 の電位はローレベルにあって、 N M O S トランジスタ M N 4 のオンにより制御部 3 の第 1 のノード n 1 は前記第 3 のノード n 3 のローレベル電位へ遷移する。ここで、第 4 のノード n 4 がローレベルであれば、 P M O S トランジスタ M P 3 はオン状態であり、第 1 のノード n 1 の電位はハイレベルに固定されている。ここで、クロック信号 C K がハイレベルに遷移するのに伴い、 P M O S トランジスタ M P 3 よりも電流駆動能力の大きい N M O S トランジスタ M N 4 がオンすることにより、第 1 のノード n 1 の放電が始まる。続いて、第 1 のノード n 1 の電位が N A N D 回路 N A N D 1 の論理閾値以下になることにより、 N A N D 回路 N A N D 1 とインバータ回路 I N V 3 により保持されていた値が論理的に逆の値に変化する。その結果、第 4 のノードの信号はハイレベルとなり、これにより、

40

50

P M O S トランジスタ M P 3 はオフ状態となる。このとき、電源から第 1 のノード n 1 への電流供給が停止し、第 1 のノード n 1 のローレベルへの遷移が加速する。従って、図 3 の回路では、第 1 のノード n 1 のローレベルへの遷移が、その遷移初期に P M O S トランジスタ M P 3 により第 1 のノード n 1 へ電流供給がされてしまうという欠点を有し、遅延を生じさせる。

【 0 0 6 5 】

これに比べ、図 4 の本実施の形態におけるフリップフロップ回路の場合は、P M O S トランジスタ M P 3 が電源に接続されていない。従って、入力信号 D がローレベルであり且つクロック信号 C K がローレベルからハイレベルに遷移する際、P M O S トランジスタ M P 2 は第 2 の実施の形態における図 3 のフリップフロップ回路と同じオフ状態であるため、電源から P M O S トランジスタ M P 2 を介した第 1 のノードへの電流供給はない。また、P M O S トランジスタ M P 3 は、その両端が N M O S トランジスタ M N 4 に並列接続されたトランスマッションゲート構造であるので、電源からこの P M O S トランジスタ M P 3 を介して第 1 のノード n 1 に電流供給がされることはなく、第 1 のノード n 1 の前記ローレベルへの遷移に影響を与えることはない。これにより、図 3 の回路に比較して、高速にローレベルへの遷移が可能となる。すなわち、この P M O S トランジスタ M P 3 は、入力信号がローレベルであり且つクロック信号がローレベルからハイレベルに遷移する際に、電源から第 1 のノード n 1 への電流供給を阻止する。

【 0 0 6 6 】

以上述べたとおり、本実施の形態では、図 1 3 の従来回路に比べ 1 個少ない 2 4 個の M O S トランジスタによりフリップフロップ回路を構成でき、さらに、P M O S トランジスタ M P 3 からの無駄な電源供給がないので、従来回路に比べて消費電力を小さくすることができる。また、前記 P M O S トランジスタ M P 3 からの電源供給がない分、第 1 のノード n 1 のローレベルへの遷移が速くなるので、図 3 に示す第 2 の実施の形態のフリップフロップ回路に比べて高速化することができる。

【 0 0 6 7 】

(第 4 の実施の形態)

また、別の実施の形態を図 5 に示す。ノード n 1 をハイレベルに引き上げる為の P M O S トランジスタ M P 3 のゲートがノード n 2 に接続され、ソースが電源に接続されている。また、ノード n 5 がハイレベル、且つ入力信号 D がハイレベルの時にインバータ I N V 2 に加わる電源を遮断する為の P M O S トランジスタ M P 4 、 M P 5 を備える。

【 0 0 6 8 】

入力信号 D がハイレベルであり、且つクロック信号 C K が立ち上がる場合、出力信号 Q がローレベルからハイレベルに遷移する時、ノード n 2 、ノード n 4 共にハイレベルからローレベルに遷移するが、ノード n 2 の方がノード n 4 より先に遷移する。よって、P M O S トランジスタ M P 3 のゲートがノード n 4 ではなく、ノード n 2 に接続されていることにより、前述のノード n 1 のグリッチを小さくすることができる。またこのとき、P M O S トランジスタ M P 4 、 M P 5 が共にオフ状態になるので、インバータ回路 I N V 2 に加わる電源が遮断されるため、ノード n 2 がハイレベルからローレベルに遷移する時に信号の衝突が起こらず、ノード n 2 の遷移を速くすることができる。

【 0 0 6 9 】

以上述べた通り、本実施例によると、図 4 の構成に比べて M O S トランジスタ数は 2 個増えるが、グリッチを小さくし、且つ高速化することができる。

【 0 0 7 0 】

また、出力部 4 を図 1 、図 3 、図 4 、図 5 に示す回路と別の回路構成にした図面を図 6 に示す。N A N D 回路 N A N D 1 の代わりに P M O S トランジスタ M P 6 とインバータ回路 I N V 7 とを備える。ここで、P M O S トランジスタ M P 6 のゲートはノード n 1 に接続されて、電源とノード n 4 との間に挿入される。また、インバータ回路 I N V 7 は出力端子がノード n 4 に接続され、入力端子がインバータ回路 I N V 3 の出力端子と接続される。この構成では図 1 、図 3 、図 4 に示す出力部 4 に比べ、1 つ少ない M O S トランジスタ

タ数で構成することができる。ただし、ノードn4が立ち上がる時、立ち下がる時共にインバータ回路INV7の出力と信号とが衝突する為、PMOSトランジスタMP6及びNMOSトランジスタMN5の電流駆動能力をインバータ回路INV7に比べて十分大きくする必要がある。

【0071】

また、更に、出力部4を図1、図3、図4、図5、図6に示す回路と異なる構成にした回路を図7に示す。NAND回路NAND1の代わりにPMOSトランジスタMP6、MP7、MP8とNMOSトランジスタMN6、MN7とを備える。この構成では、図1、図3、図4、図5に示す出力部4に比べMOSトランジスタ数が1つ多くなるが、ノードn4が立ち上がる時、立ち下がる時共に信号の衝突が発生しないため、高速化することができる。

10

【0072】

尚、図6、図7において出力部4以外の回路は図5の回路構成と同様であるが、図1、図3、図4の回路構成において、図6、図7の出力部4の回路構成を用いることも可能である。

【0073】

(第5の実施の形態)

以下、本発明の第5の実施の形態のフリップフロップ回路について図面を参照しながら説明する。

【0074】

図8は本実施の形態におけるフリップフロップ回路の回路図である。図8の本実施の形態におけるフリップフロップ回路は第3の実施の形態における図4に示す回路と比べて、出力部4の構成のみが異なる。

20

【0075】

図4のフリップフロップ回路では、出力部4に制御部3の第1のノードn1の信号とラッチ回路2の第3のノードn3の信号との2つの信号を入力したが、本実施の形態のフリップフロップ回路では、出力部4は、クロック信号CK及び入力部1の出力ノードである第2のノードn2の信号とを入力して、出力信号Qを出力する。具体的には、出力部4は、PMOSトランジスタMP4、2個のNMOSトランジスタMN5、MN6、3個のインバータ回路INV4、INV7、INV8とを備える。前記PMOSトランジスタMP4と2個の前記NMOSトランジスタMN5、MN6とは直列に接続されており、そのPMOSトランジスタMP4は電源に、NMOSトランジスタMN6はアースに接続される。また、前記NMOSトランジスタMN5のゲートにはクロック端子CKが入力され、前記PMOSトランジスタMP4と前記NMOSトランジスタMN6の両ゲートは前記ノードn2に接続される。ここで、前記PMOSトランジスタMP4のドレインと前記NMOSトランジスタMN5のドレインとの接続点を第4のノードn4とする。前記インバータ回路INV7、INV8は、インバータ回路INV1、INV2で構成された前記ラッチ回路2と同様の構成であり、出力信号Qと論理的に逆の値を保持する。前記インバータ回路INV7の入力端子は前記第4のノードn4に接続され、また出力端子は前記インバータ回路INV4の入力端子へ接続される。

30

40

【0076】

このような回路構成の出力部4において、前記クロック信号CKがローレベルのときは、入力部1の第2のノードn2の信号がハイレベルとなって、前記PMOSトランジスタMP4と前記NMOSトランジスタMN5とがオフになり、前記第4のノードn4はインバータ回路INV7、INV8によって構成されるラッチ回路により信号レベルが保持され、それにより出力信号Qが保持される。また、クロック信号CKがハイレベルのときは、前記NMOSトランジスタMN5がオン状態となることにより、PMOSトランジスタMP4とNMOSトランジスタMN6とがCMOSインバータとして機能するので、前記第2のノードn2の信号を反転した信号が出力端子Qに出力される。

【0077】

50

図9は図8のフリップフロップ回路の動作を示すタイムチャートである。以下、図9を用いて図8のフリップフロップ回路の動作を説明する。

【0078】

図8において、クロック信号CKがローレベルの期間(図9のt1、t4、t7の期間)には、前記PMOSトランジスタMP1、MP2によりそれぞれ前記第2のノードn2、第1のノードn1、及び第5のノードn5はハイレベルに充電される。このとき、前記第2のノードn2のレベルを反転したレベルの信号が生ずる第3のノードn3にはローレベルの信号が加わっている。また、NMOSトランジスタMN5およびPMOSトランジスタMP4はオフ状態になっており、出力部4の第4のノードn4の信号レベルは保持されるので、前記インバータ回路INV7、INV8で構成されたラッチ回路により出力信号Qの値は保持されている。

10

【0079】

次に、クロック信号CKがローレベルからハイレベルに遷移し且つ入力信号Dがハイレベルのとき(図9のt2の期間)、前記NMOSトランジスタMN1、MN2、MN3は全てオンとなるので、前記第2のノードn2は、電荷が放電されて、ローレベルになる。このとき、前記第3のノードn3は前記第2のノードn2の信号がローレベルに遷移するのに伴ってハイレベルに遷移する。この前記第2のノードn2がローレベルに遷移することにより、出力部4において、前記PMOSトランジスタMP4がオンになって第4のノードn4の信号がハイレベルに変化する。この第4のノードn4のハイレベルの信号は、前記インバータ回路INV7、INV4により順次反転されて、前記出力端子Qにはハイレベルの信号が出力される。また、第5のノードn5には第1のノードn1の信号が遅れて伝播される。

20

【0080】

前記第2のノードn2の信号がローレベルに遷移した後(図9のt3の期間)は、前記入力信号Dがハイレベルからローレベルに変化したとしても、前記インバータ回路INV1、INV2で構成されるラッチ回路2により前記第2のノードn2及び第3のノードn3の信号は保持される。このとき、出力部4のPMOSトランジスタMP4はオン状態に保持され、第4のノードn4の電位がハイレベルに保持されるので、前記出力端子Qの電位はハイレベルに保持される。

【0081】

30

前記クロック信号CKがローレベルからハイレベルに遷移し且つ前記入力信号Dがローレベルのとき(図9のt5の期間)、前記NMOSトランジスタMN2はオフとなるので、入力部1の第2のノードn2の信号はハイレベルのまま保持され、ラッチ回路2の第3のノードn3の信号はローレベルに保持される。また制御部3のNMOSトランジスタMN4はクロック信号CKのハイレベルへの遷移によりオンする。これにより、制御部3の第1のノードn1は、前記オンになったNMOSトランジスタMN4を介して第3のノードと接続されて、ハイレベルから第3のノードn3と同じローレベルの電位に遷移する。そして、インバータ回路INV5、INV6の遅延時間分遅れて前記第5のノードn5の信号がローレベルに遷移して、入力部1のNMOSトランジスタMN3がオフする。このとき、出力部4では、NMOSトランジスタMN5、MN6が共にオンになり、PMOSトランジスタMP4がオフになるので、第4のノードn4の信号はローレベルとなり、出力端子Qにローレベルの信号が出力される。

40

【0082】

その後、クロック信号CKがハイレベルの状態において、制御部3の第1のノードn1の信号がローレベルに遷移した後(図9のt6の期間)では、入力信号Dがローレベルからハイレベルに変化したとしても、NMOSトランジスタMN3はオフとなっているので、入力部1の第2のノードn2は電荷が放電されず、前記ラッチ回路2によりハイレベルの電位に保持される。その結果、前記出力端子Qの信号はローレベルの電位に保持される。

【0083】

50

以上述べたとおり、本実施の形態では、出力部 4 の構成を図 4 に示した第 3 の実施の形態の出力部 4 とは異なる形態において同一機能を実現させるようにしたものであり、第 3 の実施の形態と同一の効果を得ることができる。しかも、本実施の形態の回路は、図 1 3 の従来回路に比べて 1 個少ない 2 4 個の MOS トランジスタでフリップフロップ回路を構成できる。

【 0 0 8 4 】

(第 6 の実施の形態)

続いて、本発明の第 6 の実施の形態のフリップフロップ回路について図面を参照しながら説明する。

【 0 0 8 5 】

図 1 0 は本実施の形態におけるフリップフロップ回路の回路図である。図 1 0 のフリップフロップ回路は、第 5 の実施の形態のラッチ回路 2 の構成を更に改良したものである。すなわち、図 8 に示した、第 5 の実施の形態との具体的な違いは、ラッチ回路 2 において、2 個のインバータ回路 $INV 1$ 、 $INV 2$ に加えて、PMOS トランジスタ $MP 5$ を備えたことである。本実施の形態では、前記インバータ回路 $INV 2$ は、PMOS トランジスタ $MP 6$ と NMOS トランジスタ $MN 7$ との直列接続により構成され且つ NMOS トランジスタ $MN 7$ のソースをアースに接続した CMOS インバータ回路により構成される。また、前記追加した PMOS トランジスタ $MP 5$ は前記インバータ回路 $INV 2$ と電源との間に挿入される。この PMOS トランジスタ $MP 5$ のゲートは制御部 3 の第 5 のノード $n 5$ に接続される。

【 0 0 8 6 】

本実施の形態の回路構成は、クロック信号 CK がローレベルからハイレベルに遷移し且つ入力信号 D がハイレベルのとき、前記入力部 1 において第 2 のノード $n 2$ を放電する時間を早めて、フリップフロップ回路の動作を速くする。以下、この動作について、図 9 のタイムチャートを用いて詳しく説明する。

【 0 0 8 7 】

図 1 0 において、前記クロック信号 CK がローレベルの期間 (図 9 の $t 1$ 、 $t 4$ 、 $t 7$ の期間) では、制御部 3 の第 5 のノード $n 5$ は前記第 2 の実施の形態の説明から判るようにハイレベルの電位に充電されているので、PMOS トランジスタ $MP 5$ はオフしている。入力部 1 における第 2 のノード $n 2$ の電位は PMOS トランジスタ $MP 1$ によってハイレベルの電位に充電されている。

【 0 0 8 8 】

次に、入力信号 D がハイレベルであり且つクロック信号 CK がローレベルからハイレベルに遷移するとき (図 9 の $t 2$ の期間)、3 個の NMOS トランジスタ $MN 1$ 、 $MN 2$ 、 $MN 3$ はすべてオンとなるので入力部 1 の第 2 のノード $n 2$ は、電荷が放電され、ローレベルになる。ここで、本実施の形態における特徴である PMOS トランジスタ $MP 5$ が無かった場合、すなわち、図 8 のフリップフロップ回路構成の場合、第 3 のノード $n 3$ のローレベルの信号を受けてオン状態にある PMOS トランジスタ $MP 6$ は第 2 のノード $n 2$ に電流供給を行うので、インバータ回路 $INV 2$ は第 2 のノード $n 2$ の信号がローレベルへ遷移するのを妨げ、遷移時間を長くする。しかし、PMOS トランジスタ $MP 5$ を備えた本実施の形態では、この過程において、当初は、前記 PMOS トランジスタ $MP 5$ はオフしており且つ NMOS トランジスタ $MN 7$ もオフしているため、ラッチ回路 2 のインバータ回路 $INV 2$ は第 2 のノード $n 2$ へ電流供給しない。これにより、前記インバータ回路 $INV 2$ は前記第 2 のノード $n 2$ の信号がハイレベルからローレベルに遷移するのを妨げない。よって、この PMOS トランジスタ $MP 5$ は、この不要な電流供給を断つ第 1 の遮断手段 1 2 を構成する。

【 0 0 8 9 】

従って、本実施の形態では、図 1、図 3、図 4 及び図 8 に示したフリップフロップ回路と同様の機能を保持しつつ、ラッチ回路 2 が第 2 のノード $n 2$ の電位を保つ働きを無くしてしまうので、入力部 1 の第 2 のノード $n 2$ のローレベルへの遷移が高速になる。そして

10

20

30

40

50

、次の過程において、前記第2のノードn2の信号がローレベルへ、前記第3のノードn3の信号がハイレベルへと順に遷移した後は、前記インバータ回路INV2を構成するNMOSトランジスタMN7がオンになり、前記第2のノードn2の電位がローレベルに保持される。

【0090】

また、クロック信号CKがローレベルからハイレベルに遷移するとき、入力信号Dがローレベルの場合には(図9のt5の期間)、前記NMOSトランジスタMN2はオフ状態なので、前記第2のノードn2の信号はハイレベルのまま保たれる。したがって、前記第3のノードn3の信号もローレベルに保たれる。これにより、前記第1のノードn1は、既述したとおり、オンになった制御部3のNMOSトランジスタMN4を介して第3のノードn3に接続され、その電位はハイレベルからローレベルに遷移する。そして、インバータ回路INV5, INV6を介するのに要する時間分遅れて第5のノードn5の電位がローレベルに遷移する。このとき、PMOSトランジスタMP5, MP6は共にオンとなり、前記ノードn2の電位はハイレベルに保たれる。

10

【0091】

以上述べたとおり、本実施の形態のフリップフロップ回路は、図13の従来回路と同数の25個のMOSトランジスタを用いることにより、従来回路に比べて動作時間を短くできる機能を有する。

【0092】

尚、本実施の形態は、図8に示したフリップフロップ回路に対して改良を加える例を示したが、図1、図3又は図4に示した第1、第2又は第3の実施の形態に対して改良しても良い。

20

【0093】

(第7の実施の形態)

次に、本発明の第7の実施の形態のフリップフロップ回路について図面を参照しながら説明する。

【0094】

図11は本実施の形態におけるフリップフロップ回路の回路図である。第7の実施の形態のフリップフロップ回路と図4に示した第3の実施の形態との違いは、図4における出力部4を改良した点である。

30

【0095】

具体的には、図11の本実施の形態では、インバータ回路INV4はPMOSトランジスタMP4とNMOSトランジスタMN7とで構成されたCMOSインバータ回路であり、そのインバータ回路INV4とアースとの間にNMOSトランジスタMN6が配置されている。そして、NMOSトランジスタMN6のゲートは入力部1の第2のノードn2に接続されている。

【0096】

本実施の形態の回路は、入力信号Dがハイレベルであり且つ前記クロック信号CKがローレベルからハイレベルに遷移する場合において、前記第1のノードn1が当初のハイレベルから一時的にローレベルに下がった後、再びハイレベルに戻るグリッチgが生成されるとき、前記出力信号Qに生ずるグリッチを防ぐことができる。以下、これについて詳細に説明する。

40

【0097】

クロック信号CKがローレベルのとき、当初、ラッチ回路2の第2のノードn2の電位はハイレベル、第3のノードn3の電位はローレベル、また、制御部3の第1のノードn1の電位はハイレベルである。前記クロック信号CKがローレベルからハイレベルに遷移する時、入力信号Dがハイレベルの場合には、NMOSトランジスタMN4がオンになり、前記第1のノードn1は、前記第3のノードn3と同電位になろうとして、ローレベルへの遷移を始める。しかし、クロック信号CKのハイレベルへの遷移に伴い第2のノードn2の信号がローレベルに遷移すると、第3のノードn3の信号はハイレベルに遷移し、

50

また一方で、前記PMOSトランジスタMP3がオンになるため、前記第1のノードn1は、ローレベルへの遷移を中止して、前記第3のノードn3と同電位のハイレベルに遷移する。従って、前記第1のノードn1の信号にはハイレベルから一時的にローレベルに遷移した後に、再びハイレベルに遷移するグリッチ波形が生成される。

【0098】

このとき、グリッチの最低電位がNAND回路NAND1の論理閾値電圧より低下する場合には、出力部4における第4のノードn4にも、当初のローレベルから一時ハイレベルに遷移した後に、再びローレベルに遷移するグリッチが生成されようとするが、本実施の形態では、グリッチが制御部3の第1のノードn1から出力部4の第4のノードn4に伝播される前に、前記第2のノードn2の電位がローレベルに遷移して、NMOSトランジスタMN6はオフとなるので、出力信号Qはハイレベルに保持される。このように、NMOSトランジスタMN6により、前記出力信号Qにハイレベルからローレベルに遷移しようとするグリッチの生成を抑制する第2の遮断手段13が構成される。

10

【0099】

以上述べたとおり、本実施の形態では、出力端子にグリッチが生成されないので、消費電力を小さくすることができる。

【0100】

尚、本実施の形態は図4に示したフリップフロップ回路に適用したが、図1、図3、図5、図6、図7、図8又は図10のフリップフロップ回路に対して適用してもよいのは勿論である。

20

【0101】

(第8の実施の形態)

図12は第8の実施の形態におけるフリップフロップ回路の変形例を示す回路図である。

【0102】

図11に示した第7の実施の形態との違いは、出力端子Qと電源との間に、PMOSトランジスタMP7が接続されている点である。ここで、このPMOSトランジスタMP7のゲートは入力部1における第2のノードn2に接続される。

【0103】

以上により、入力信号Dがハイレベルであり且つクロック信号CKがローレベルからハイレベルに遷移する場合において、前記第2のノードn2の信号がハイレベルからローレベルに遷移したとき、前記PMOSトランジスタMP7がオンになるので、第1、第3及び第4のノードn1、n3、n4が変化するよりも速く出力信号Qがハイレベルに遷移する。ここで、2個のPMOSトランジスタMP4、MP7と2個のNMOSトランジスタMN6、MN7とから構成される回路は、前記第2のノードn2と第4のノードn4との2つの入力に対して信号Qを出力するNAND回路NAND2の機能を有する。本実施の形態においても、図11と同様に、グリッチが前記出力信号Qに伝播されることはない。

30

【0104】

従って、本実施の形態では、入力信号Dがハイレベルであり且つクロック信号CKがローレベルからハイレベルに遷移するとき、出力信号Qを高速にハイレベルに遷移させて、フリップフロップ回路の高速動作を図ることができる。

40

【0105】

尚、本実施の形態は、図11のフリップフロップ回路に適用したが、図1、図3、図4、図5、図6、図7、図8又は図10のフリップフロップ回路に対して適用しても良い。

【産業上の利用可能性】

【0106】

本発明にかかるフリップフロップ回路は、構成されるMOSトランジスタの数を削減することができるので、消費電流を削減することができ、更に、制御部から入力部へ伝播される制御信号が不要に変動することを防止して、一層の低消費電力化を図れる効果を有しており、低消費電力で動作するフリップフロップ回路等として有用である。

50

【図面の簡単な説明】

【0107】

【図1】本発明の第1の実施の形態におけるフリップフロップ回路を示す回路図である。

【図2】図1のフリップフロップ回路の動作を示すタイムチャート図である。

【図3】本発明の第2の実施の形態におけるフリップフロップ回路を示す回路図である。

【図4】本発明の第3の実施の形態におけるフリップフロップ回路を示す回路図である。

【図5】本発明の第4の実施の形態におけるフリップフロップ回路を示す回路図である。

【図6】本発明の第4の実施の形態における別のフリップフロップ回路を示す回路図である。

【図7】本発明の第4の実施の形態における更に別のフリップフロップ回路を示す回路図である。 10

【図8】本発明の第5の実施の形態におけるフリップフロップ回路を示す回路図である。

【図9】図8のフリップフロップ回路の動作を示すタイムチャート図である。

【図10】本発明の第6の実施の形態におけるフリップフロップ回路を示す回路図である。

【図11】本発明の第7の実施の形態におけるフリップフロップ回路を示す回路図である。

【図12】本発明の第8の実施の形態におけるフリップフロップ回路を示す回路図である。

【図13】従来のフリップフロップ回路を示す回路図である。 20

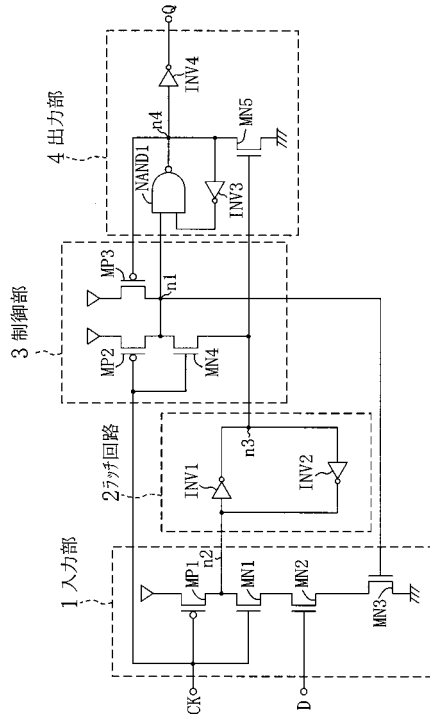
【符号の説明】

【0108】

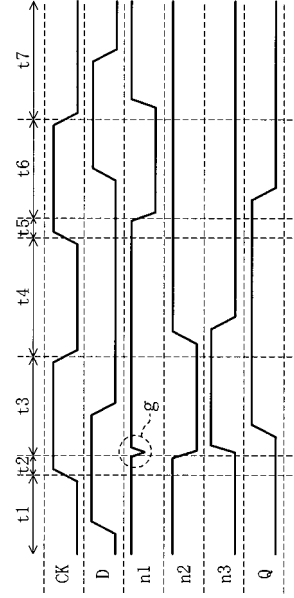
1	入力部
2	ラッチ回路
3	制御部
4	出力部
10	遅延回路
11	遷移速度促進手段
12	第1の遮断手段
13	第2の遮断手段
MP3	PMOSトランジスタ
MP5	PMOSトランジスタ
MN6	NMOSトランジスタ
NAND	NAND回路
INV	インバータ回路
N	ノード
D	入力端子
CK	クロック端子
Q	出力端子

30

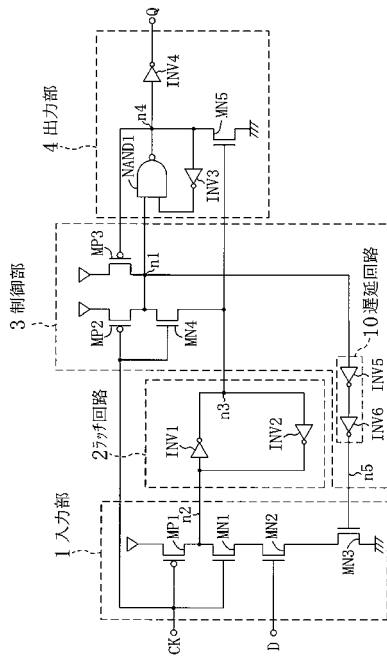
【 図 1 】



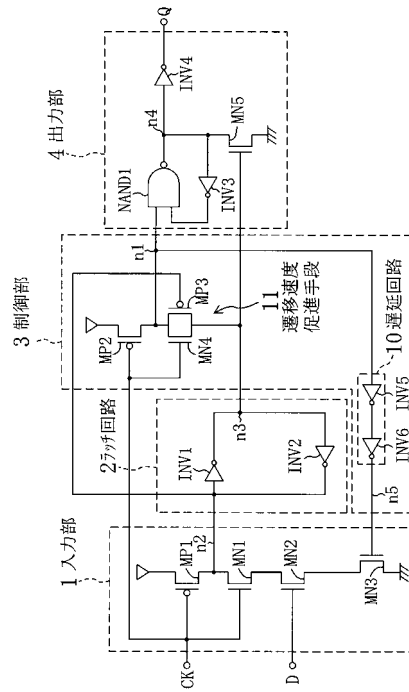
【 図 2 】



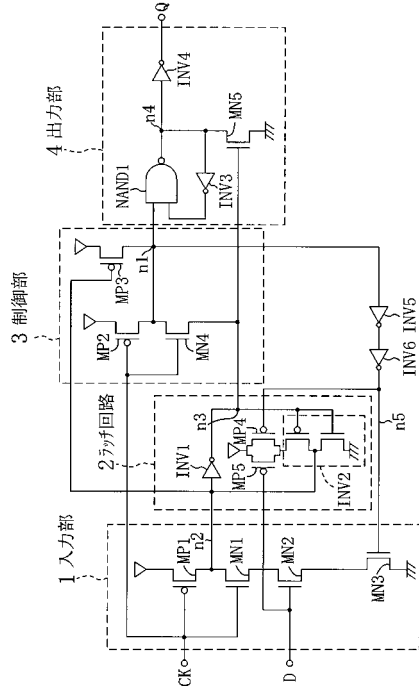
【 図 3 】



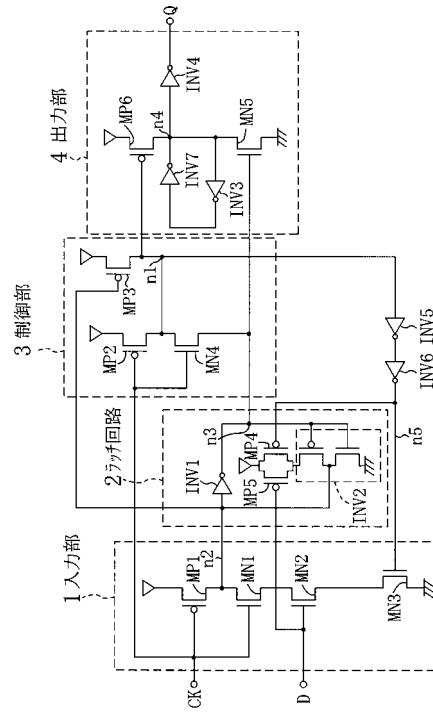
【 図 4 】



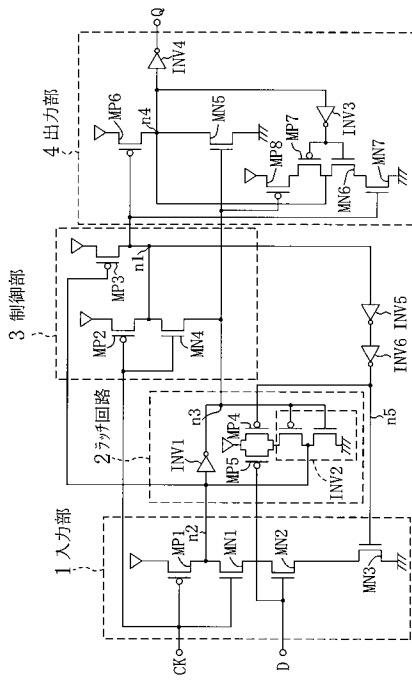
【図5】



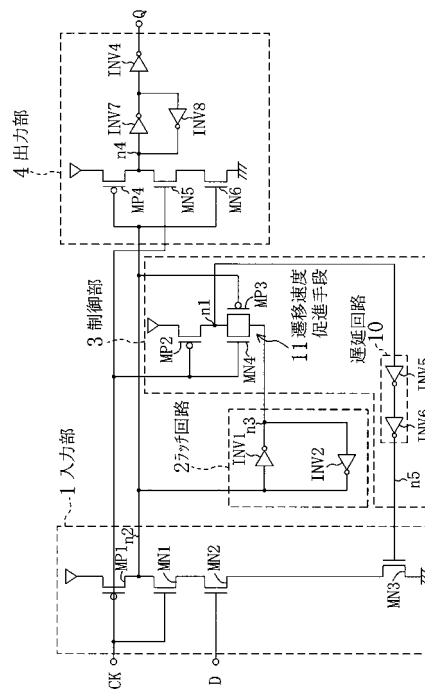
【図6】



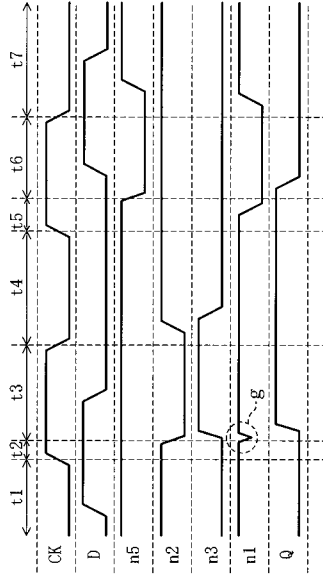
【図7】



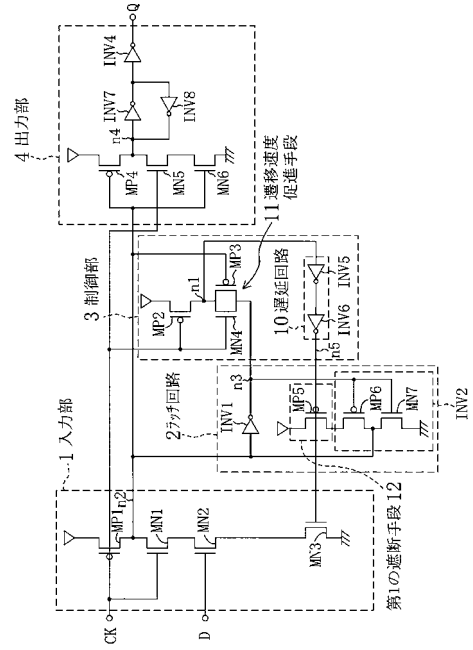
【図8】



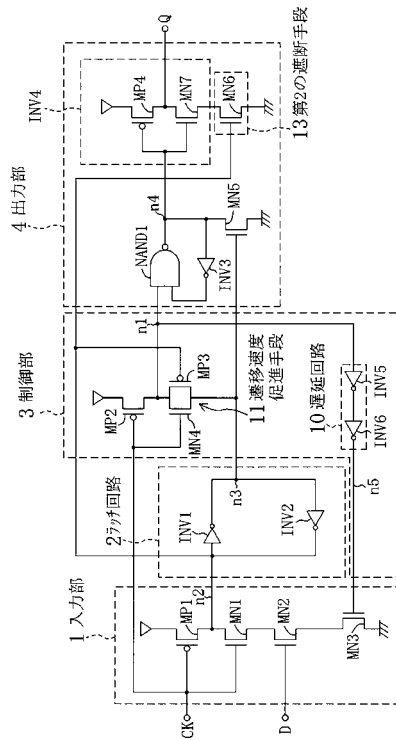
【図9】



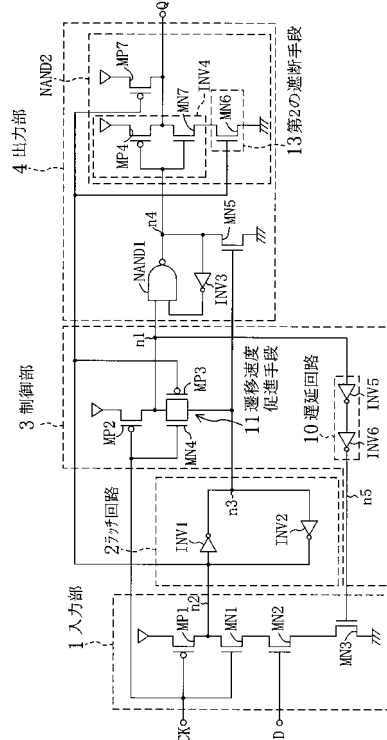
【図10】



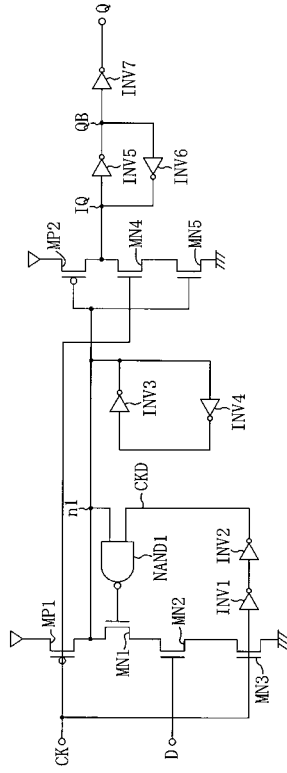
【図11】



【図12】



【 図 13 】



フロントページの続き

- (72)発明者 平田 昭夫
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 祇園 雅弘
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 中西 和幸
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 石田 勝

- (56)参考文献 特開2002-26697(JP,A)
米国特許第05917355(US,A)
特開2002-158563(JP,A)
特開2000-22503(JP,A)
特開平7-249967(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H03K 3/037