



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월04일
(11) 등록번호 10-0763079
(24) 등록일자 2007년09월21일

(51) Int. Cl.

H01L 21/00(2006.01)

(21) 출원번호 10-2006-0016111
(22) 출원일자 2006년02월20일
심사청구일자 2006년02월20일
(65) 공개번호 10-2006-0093292
공개일자 2006년08월24일
(30) 우선권주장
JP-P-2005-00043738 2005년02월21일 일본(JP)
JP-P-2005-00043739 2005년02월21일 일본(JP)
(56) 선행기술조사문헌
JP13230224 A
(뒷면에 계속)

(73) 특허권자
가시오계산키 가부시킴가이샤
일본국 도쿄도 시부야구 혼마치 1쵸메 6반 2고

(72) 발명자
와카바야시 다케시
일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고
가시오계산키가부시킴가이샤 하무라기쥬츠센터내
미하라 이치로

(74) 대리인
손은진
일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고
가시오계산키가부시킴가이샤 하무라기쥬츠센터내

전체 청구항 수 : 총 18 항

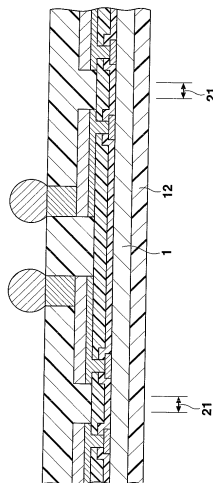
심사관 : 맹성재

(54) 반도체장치 및 그 제조방법

(57) 요약

실리콘기판(1)의 하면을 적절히 연삭한다. 이 경우, 실리콘기판(1)의 하면에 미세하고 예각인 요철(실리콘의 결정 파괴층)이 형성된다. 다음에, 웨트에칭에 의해, 실리콘기판(1)의 하면을 단차 1~5 μ m의 조면마무리로 한다. 다음에, 실리콘기판(1)의 하면에 에폭시계수지 등으로 이루어지는 보호막(12)을 형성한다. 이 경우, 실리콘기판(1)의 하면은 단차 1~5 μ m의 조면으로 되어 있으므로, 이 조면은 보호막(12)에 의해서 확실하게 덮여져, 실리콘기판의 하면에 크랙이 잘 발생하지 않도록 할 수 있다.

대표도 - 도11



(56) 선행기술조사문헌
KR1020010095216A
KR1020020074400A
KR1020040057934A

특허청구의 범위

청구항 1

표면에 집적회로가 형성되고, 이면에, 적어도 꼭대기부와 바닥부가 원호형상으로 되며, 단차 1~5 μ m의 요철로 이루어지는 조면을 갖는 반도체기판과, 상기 반도체기판의 이면에 설치된 보호막을 갖는 것을 특징으로 하는 반도체장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 보호막은 수지로 이루어지는 것을 특징으로 하는 반도체장치.

청구항 4

제 1 항에 있어서,

상기 보호막은 금속으로 이루어지는 것을 특징으로 하는 반도체장치.

청구항 5

제 1 항에 있어서,

상기 반도체기판상에 복수의 주상전극이 설치되고, 상기 주상전극의 주위에 있어서의 상기 반도체기판의 상기 표면상에 밀봉막이 설치되어 있는 것을 특징으로 하는 반도체장치.

청구항 6

제 5 항에 있어서,

상기 주상전극상에 뿔날이 설치되어 있는 것을 특징으로 하는 반도체장치.

청구항 7

제 1 항에 있어서,

상기 반도체기판은 상기 표면 및 상기 이면의 가장자리부간에 개재된 측면을 갖고, 상기 보호막은 상기 반도체기판의 저면으로부터 상기 반도체기판의 상기 측면으로 연장 돌출해서 설치되어 있는 것을 특징으로 하는 반도체장치.

청구항 8

제 7 항에 있어서,

상기 반도체기판상에 복수의 주상전극이 설치되고, 상기 주상전극의 주위에 있어서의 상기 반도체기판상에 밀봉막이 설치되어 있는 것을 특징으로 하는 반도체장치.

청구항 9

제 8 항에 있어서,

상기 밀봉막은 상기 반도체기판의 상기 측면에서 외측까지 연장 돌출해서 설치되고, 상기 반도체기판의 상기 측면에서 외측까지 연장 돌출된 부분은 상기 보호막의 상기 반도체기판의 상기 측면에 설치된 부분상에 설치되어 있는 것을 특징으로 하는 반도체장치.

청구항 10

제 9 항에 있어서,

상기 밀봉막의 상기 반도체기판의 상기 측면에서 외측까지 연장 돌출된 부분의 측면과, 상기 보호막의 상기 반도체기판의 상기 측면에 설치된 부분의 측면은 면일치로 되어 있는 것을 특징으로 하는 반도체장치.

청구항 11

표면에 반도체집적회로가 형성되고, 상기 표면의 대향면측에 이면을 갖는 반도체기판을 준비하는 공정과,

상기 반도체기판의 이면에 연마 또는 연삭에 의한 가공을 실시하여 상기 반도체기판의 두께를 얇게 하는 동시에, 상기 이면에 미세하고 예각인 요철을 형성하는 공정과,

상기 반도체기판의 이면을 웨트에칭하여 상기 이면에 형성된 미세하고 예각인 요철이 각이 없는 완만한 요철로 되도록 조면화하며, 상기 반도체기판의 이면에 보호막을 형성하는 공정과,

상기 반도체기판을 상기 보호막과 함께 다이싱해서 복수의 반도체장치를 얻는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 12

삭제

청구항 13

제 11 항에 있어서,

상기 보호막은 수지에 의해서 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 14

제 11 항에 있어서,

상기 보호막은 금속에 의해서 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 15

복수의 접속패드를 갖는 반도체기판을 준비하는 공정과,

상기 접속패드에 접속되는 배선을 설치하는 공정과,

상기 배선상에 주상전극을 설치하는 공정과,

상기 반도체기판상의 상기 주상전극간에 밀봉막을 설치하는 공정과,

상기 반도체기판의 이면에 연마 또는 연삭에 의한 가공을 실시해서 상기 반도체기판의 두께를 얇게 하고, 그 후, 상기 반도체기판의 이면을 웨트에칭하여 상기 이면에 미세하고 각이 없는 완만한 요철을 갖는 조면을 형성하는 공정과,

상기 웨트에칭이 실시된 반도체기판의 이면에 보호막을 설치하는 공정과,

상기 반도체기판을 상기 밀봉막 및 상기 보호막과 함께 다이싱해서 복수의 반도체장치를 얻는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 16

제 15 항에 있어서,

상기 반도체기판을 다이싱하기 전에, 상기 주상전극상에 땀납볼을 설치하는공정을 갖는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 17

상기 반도체기판의 두께를 얇게 하는 공정 후, 상기 반도체기판의 측면을 다이싱하는 공정과, 상기 반도체기판 이면과 함께 상기 반도체기판의 측면을 웨트에칭에 의해 조면화하는 공정과,

상기 반도체기판의 이면 및 측면에 보호막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조

방법.

청구항 18

웨이퍼상태의 반도체기판상에 주상전극을 형성하는 공정과,
 상기 주상전극의 주위에 있어서의 상기 웨이퍼상태의 반도체기판상에 밀봉막을 형성하는 공정과,
 상기 웨이퍼상태의 반도체기판의 이면을 연삭하는 공정과,
 상기 웨이퍼상태의 반도체기판의 이면측으로부터 상기 밀봉막의 적어도 도중까지 커트해서 각 반도체기판으로 분리하기 위한 홈을 형성하는 공정과,
 상기 각 반도체기판의 이면 및 측면을 웨트에칭하여 상기 각 반도체기판의 이면 및 측면에 미세하고 각이 없는 완만한 요철을 갖는 조면을 형성하는 공정과,
 상기 홈내를 포함하는 상기 각 반도체기판의 이면에 보호막을 형성하는 공정과,
 상기 홈내에 형성된 상기 보호막을 절단해서 복수개의 반도체장치를 얻는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 19

제 18 항에 있어서,
 상기 보호막은 수지에 의해서 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 20

제 18 항에 있어서,
 상기 보호막은 금속에 의해서 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <34> 본 발명은 반도체장치 및 그 제조방법에 관한 것이다.
- <35> 전자기기의 박형화에 수반해서, 반도체장치의 박형화가 요구되고 있다. 그러나, 웨이퍼상태의 반도체기판을 너무 얇게 하면, 웨이퍼상태의 반도체기판의 표면에 집적회로를 형성하는 소위 반도체 제조 프로세스에 있어서 반도체기판이 파손되어 버린다. 그래서, 웨이퍼상태의 반도체기판의 표면에 집적회로를 형성한 후, 집적회로가 형성된 면과는 반대측인 이면을 연삭하여 반도체기판의 두께를 얇게 하는 방법이 개발되고 있다. 일본특허 공개 2001-230224호 공보는 그러한 종래의 반도체장치의 제조방법을 개시한다. 이 선행문헌은 표면측에 집적회로 및 외부접속 전극이 형성된 웨이퍼상태의 반도체기판의 이면을 연삭하고, 웨이퍼상태의 반도체기판의 이면에 수지로 이루어지는 보호막을 형성하며, 소정의 공정을 거친 후에, 웨이퍼상태의 반도체기판을 절단해서 복수개의 반도체장치를 얻는 방법이 개시되어 있다.

발명이 이루고자 하는 기술적 과제

- <36> 그런데, 상기 종래의 제조방법에 의해 얻어진 반도체장치에서는 반도체기판의 이면을 연삭하면, 반도체기판의 이면에 미세하고 예각인 요철이 형성되고, 이 미세하고 예각인 요철면에 수지로 이루어지는 보호막을 형성해도, 미세하고 예각인 오목부의 안쪽에까지 수지를 확실하게 충전하는 것이 어려우며, 미세하고 예각인 오목부의 안쪽이 보호막으로 덮여져 있지 않은 것에 기인해서 반도체기판의 이면에 크랙이 발생할 우려가 있다고 하는 문제가 있다.

- <37> 그래서, 본 발명은 반도체기판의 이면에 크랙이 잘 발생하지 않게 할 수 있는 반도체장치 및 그 제조방법을 제공하는 것을 목적으로 한다.
- <38> 본 발명은 상기 목적을 달성하기 위해, 이면에 단차 1~5 μ m의 조면(粗面:rough surface)을 갖는 반도체기판과, 상기 반도체기판의 이면에 설치된 보호막을 갖는 것을 특징으로 하는 것이다.

발명의 구성 및 작용

- <39> [제 1 실시형태]
- <40> 도 1은 본 발명의 1실시형태로서의 반도체장치의 단면도를 도시한다. 이 반도체장치는 일반적으로는 CSP(chip size package)라 불리는 것이며, 실리콘기판(반도체기판)(1)을 구비하고 있다. 실리콘기판(1)의 상면에는 소정 기능의 집적회로(도시하지 않음)가 설치되고, 상면 주변부에는 알루미늄계 금속 등으로 이루어지는 복수의 접속패드(2)가 집적회로에 접속되어 설치되어 있다.
- <41> 접속패드(2)의 중앙부를 제외한 실리콘기판(1)의 상면에는 산화실리콘 등으로 이루어지는 절연막(3)이 설치되고, 접속패드(2)의 중앙부는 절연막(3)에 설치된 개구부(4)를 통하여 노출되어 있다. 절연막(3)의 상면에는 에폭시계수지나 폴리이미드계수지 등으로 이루어지는 보호막(5)이 설치되어 있다. 이 경우, 절연막(3)의 개구부(4)에 대응하는 부분에 있어서의 보호막(5)에는 개구부(6)가 설치되어 있다.
- <42> 보호막(5)의 상면에는 동 등으로 이루어지는 하지금속층(7)이 설치되어 있다. 하지금속층(7)의 상면 전체에는 동으로 이루어지는 배선(8)이 설치되어 있다. 하지금속층(7)을 포함하는 배선(8)의 일단부는 절연막(3) 및 보호막(5)의 개구부(4), (6)를 통하여 접속패드(2)에 접속되어 있다. 배선(8)의 접속패드부 상면에는 동으로 이루어지는 주상(柱狀)전극(9)이 설치되어 있다.
- <43> 배선(8)을 포함하는 보호막(5)의 상면에는 에폭시계수지나 폴리이미드계수지 등으로 이루어지는 밀봉막(10)이 그의 상면이 주상전극(9)의 상면과 면일치로 되도록 설치되어 있다. 주상전극(9)의 상면에는 뿔납볼(11)이 설치되어 있다. 실리콘기판(1)의 하면(이면)에는 에폭시계수지나 폴리이미드계수지 등으로 이루어지는 보호막(12)이 설치되어 있다.
- <44> 다음에, 이 반도체장치의 제조방법의 일예에 대해 설명한다. 우선, 도 2에 나타내는 바와 같이, 웨이퍼상태의 실리콘기판(반도체기판)(1)상에 알루미늄계 금속 등으로 이루어지는 접속패드(2), 산화실리콘 등으로 이루어지는 절연막(3) 및 에폭시계수지나 폴리이미드계수지 등으로 이루어지는 보호막(5)이 설치되고, 접속패드(2)의 중앙부가 절연막(3) 및 보호막(5)에 형성된 개구부(4), (6)를 통하여 노출된 것을 준비한다.
- <45> 이 경우, 웨이퍼상태의 실리콘기판(1)에는 각 반도체장치가 형성되는 영역에 소정 기능의 집적회로가 형성되고, 접속패드(2)는 각각 대응하는 영역에 형성된 집적회로에 전기적으로 접속되어 있다. 또, 웨이퍼상태의 실리콘기판(1)의 두께는 도 1에 나타내는 실리콘기판(1)의 두께보다도 어느 정도 두껍게 되어 있다. 또한, 도 2에 있어서 부호 '21'로 나타내는 영역은 다이싱스트리트(dicing street)에 대응하는 영역이다.
- <46> 다음에, 도 3에 나타내는 바와 같이, 절연막(3) 및 보호막(5)의 개구부(4), (6)를 통하여 노출된 접속패드(2)의 상면을 포함하는 보호막(5)의 상면 전체에 하지금속층(7)을 형성한다. 이 경우, 하지금속층(7)은 무전해도금에 의해 형성된 동층만이라도 좋고, 또 스퍼터에 의해 형성된 동층만이라도 좋으며, 또한 스퍼터에 의해 형성된 티탄 등의 박막층상에 스퍼터에 의해 동층을 형성한 것이어도 좋다.
- <47> 다음에, 하지금속층(7)의 상면에 도금레지스트막(22)을 패턴 형성한다. 이 경우, 배선(8)의 형성영역에 대응하는 부분에 있어서의 도금레지스트막(22)에는 개구부(23)가 형성되어 있다. 다음에, 하지금속층(7)을 도금전류로로서 동의 전해 도금을 실행하는 것에 의해, 도금레지스트막(22)의 개구부(23)내의 하지금속층(7)의 상면에 배선(8)을 형성한다. 다음에, 도금레지스트막(22)을 박리한다.
- <48> 다음에, 도 4에 나타내는 바와 같이, 배선(8)을 포함하는 하지금속층(7)의 상면에 도금레지스트막(24)을 패턴 형성한다. 이 경우, 주상전극(9)의 형성영역에 대응하는 부분에 있어서의 도금레지스트막(24)에는 개구부(25)가 형성되어 있다. 다음에, 하지금속층(7)을 도금전류로로서 동의 전해도금을 실행하는 것에 의해, 도금레지스트막(24)의 개구부(25)내의 배선(8)의 접속패드부 상면에 주상전극(9)을 형성한다. 다음에, 도금레지스트막(24)을 박리하고, 다음에, 배선(8)을 마스크로 해서 하지금속층(7)의 불필요한 부분을 에칭해서 제거하면, 도 5에 나타내는 바와 같이, 배선(8)의 아래에만 하지금속층(7)이 잔존된다.
- <49> 다음에, 도 6에 나타내는 바와 같이, 주상전극(9) 및 배선(8)을 포함하는 보호막(5)의 상면 전체에, 스크린인쇄

법이나 스펀코트법 등에 의해, 에폭시계수지나 폴리이미드계수지 등으로 이루어지는 밀봉막(10)을 그의 두께가 주상전극(9)의 높이보다도 두껍게 되도록 형성한다. 따라서, 이 상태에서는 주상전극(9)의 상면은 밀봉막(10)에 의해서 덮여 있다.

<50> 다음에, 밀봉막(10) 및 주상전극(9)의 상면측을 적절하게 연마하여, 도 7에 나타내는 바와 같이 주상전극(9)의 상면을 노출시키고, 또한 이 노출된 주상전극(9)의 상면을 포함하는 밀봉막(10)의 상면을 평탄화한다. 여기서, 주상전극(9)의 상면측을 적절히 연마하는 것은 전해도금에 의해 형성되는 주상전극(9)의 높이에 편차가 있기 때문에, 이 편차를 해소해서 주상전극(9)의 높이를 균일하게 하기 위함이다.

<51> 다음에, 도 8에 나타내는 바와 같이, 실리콘기판(1)의 두께를 얇게 하기 위해, 실리콘기판(1)의 하면(이면)측을 적절히 연삭 또는 연마한다. 여기서, 웨이퍼상태의 실리콘기판(1)의 하면을 연삭 또는 연마하면, 도 8의 A부를 상세하게 나타내는 부분확대 단면도인 도 9에 나타내는 바와 같이, 실리콘기판(1)의 하면에 미세하고 예각인 요철(실리콘의 결정 파괴층)(26)이 형성된다. 이 미세하고 예각인 요철(26)은 실리콘기판(1)의 하면에 크랙이 발생하는 요인으로 된다.

<52> 그래서, 다음에, 질산-불화수소산-초산의 혼합용액 또는 이것에 물을 더한 혼합용액을 이용한 웨트에칭을 행한다. 이 웨트에칭에서는 질산으로 실리콘기판(1)의 하면을 산화시켜 산화막을 형성하고, 플루오르화산으로 이 산화막을 용해해서 제거하며, 초산으로 반응을 제어하게 된다. 이 경우, 혼합용액의 조성비나 처리시간 등의 조건에 따라, 실리콘기판(1)의 하면을 경면마무리로 할 수도 있지만, 실리콘기판(1)이 빛의 영향을 잘 받지 않도록 하기 위해, 도 10에 모식적으로 도시하는 바와 같이, 각각이 비교적 매끄러운 돌출면을 갖는 다수의 대략 원호형상의 돌출부가 형성된 조면마무리로 되도록 하는 것이 바람직하다. 또, 이 경우, 실리콘기판(1)의 하면에 형성되는 상기 조면의 단차는 1~5 μ m로 하는 것이 적절하다.

<53> 다음에, 도 11에 나타내는 바와 같이, 실리콘기판(1)의 하면에, 스크린인쇄법이나 스펀코트법 등에 의해, 에폭시계수지나 폴리이미드계수지 등으로 이루어지는 보호막(12)을 그의 하면이 평탄하게 되도록 형성한다. 미리 표면에 이형재를 갖는 베이스시트에 보호막을 형성해 두고, 전사법에 의해서 실리콘기판(1)의 이면에 설치하도록 해도 좋다. 이 경우, 실리콘기판(1)의 하면은 도 10에 나타내는 바와 같이, 단차 1~5 μ m의 조면으로 되어 있으므로, 이 조면은 보호막(12)에 의해서 확실하게 덮인다.

<54> 다음에, 주상전극(9)의 상면에 뿔납볼(11)을 형성한다. 다음에, 도 12에 나타내는 바와 같이, 다이싱스트리트(21)를 따라 다이싱법에 의해 밀봉막(10), 보호막(5), 절연막(3), 실리콘기판(1) 및 보호막(12)을 절단하면, 도 1에 나타내는 반도체장치가 복수개 얻어진다.

<55> 이와 같이 해서 얻어진 반도체장치에서는 도 10에 나타내는 바와 같이, 실리콘기판(1)의 하면을 단차 1~5 μ m의 조면으로 하고 있으므로, 이 조면을 보호막(12)으로 확실히 덮을 수 있고, 따라서 실리콘기판(1)의 하면에 크랙이 잘 발생하지 않도록 할 수 있다.

<56> 또한, 보호막(12)은 수지가 아닌, 금속에 의해서 형성하도록 해도 좋다. 금속재료로서는 실리콘기판(1)과의 밀착성이 좋고, 기계적강도가 높은 것이면 좋으며, 일례를 들면 티탄 등이다. 그리고, 도 10에 나타내는 공정 후에, 도 13에 나타내는 바와 같이, 실리콘기판(1)의 하면에 스퍼터법 등에 의해 티탄으로 이루어지는 보호막(12)을 막두께 1500Å 정도로 형성한다. 이 경우, 티탄으로 이루어지는 보호막(12)에는 수지와 같은 경화 수축이 발생하지 않으므로, 실리콘기판(1)에 휨이 발생하지 않도록 할 수 있다.

<57> 또, 이 발명은 CSP라 불리는 반도체장치에 한정되지 않으며, 예를 들면, 절연막(3)의 개구부(4)를 통해 노출된 접속패드(2)상에 하지금속층 및 주상전극을 형성하고, 주상전극의 주위에 있어서의 절연막(3)상에 밀봉막을 형성하며, 주상전극상에 뿔납볼을 형성한 반도체장치에도 적용할 수 있다.

<58> [제 2 실시형태]

<59> 도 14는 본 발명의 제 2 실시형태를 나타낸다. 실리콘기판(1)의 상면에는 소정 기능의 집적회로(도시하지 않음)가 설치되고, 상면주변부에는 알루미늄계 금속 등으로 이루어지는 복수의 접속패드(2)가 집적회로에 접속되어 설치되어 있다.

<60> 기판(1)의 상면에는 산화실리콘 등으로 이루어지는 절연막(3)이 설치되고, 접속패드(2)의 중앙부는 절연막(3)에 설치된 개구부(4)를 통해 노출되어 있다. 절연막(3)의 상면에는 에폭시계수지나 폴리이미드계수지 등으로 이루어지는 보호막(5)이 설치되어 있다. 이 경우, 절연막(3)의 개구부(4)에 대응하는 부분에 있어서의 보호막(5)에는 개구부(6)가 설치되어 있다.

- <61> 보호막(5)의 상면에는 동 등으로 이루어지는 하지금속층(7)이 설치되어 있다. 하지금속층(7)의 상면 전체에는 동으로 이루어지는 배선(8)이 설치되어 있다. 하지금속층(7)을 포함하는 배선(8)의 일단부는 절연막(3) 및 보호막(5)의 개구부(4), (6)를 통해 접속패드(2)에 접속되어 있다. 배선(8)의 접속패드부 상면에는 동으로 이루어지는 주상전극(9)이 설치되어 있다. 배선(8)을 포함하는 보호막(5)의 상면에는 에폭시계수지나 폴리이미드계수지 등으로 이루어지는 밀봉막(10)이 그의 상면이 주상전극(9)의 상면과 면일치로 되도록 설치되어 있다. 주상전극(9)의 상면에는 뿔납볼(11)이 설치되어 있다.
- <62> 실리콘기판(1)의 둘레측면, 절연막(3)의 둘레측면, 보호막(5)의 둘레측면 및 밀봉막(10)의 둘레측면 하부에는 홈(13)이 설치되어 있다. 홈(13)내를 포함하는 실리콘기판(1)의 하면(이면)에는 에폭시계수지나 폴리이미드계수지 등으로 이루어지는 보호막(12)이 설치되어 있다. 이 경우, 보호막(12)의 둘레측면과 밀봉막(10)의 둘레측면 상부와는 면일치로 되어 있다.
- <63> 다음에, 이 반도체장치의 제조방법의 일예에 대해 설명한다. 우선, 도 15에 나타내는 바와 같이, 웨이퍼상태의 실리콘기판(1)상에 알루미늄계 금속 등으로 이루어지는 접속패드(2), 산화실리콘 등으로 이루어지는 절연막(3) 및 에폭시계수지나 폴리이미드계수지 등으로 이루어지는 보호막(5)이 설치되고, 접속패드(2)의 중앙부가 절연막(3) 및 보호막(5)에 형성된 개구부(4), (6)를 통하여 노출된 것을 준비한다.
- <64> 이 경우, 웨이퍼상태의 실리콘기판(1)에는 각 반도체장치가 형성되는 영역에 소정 기능의 집적회로가 형성되고, 접속패드(2)는 각각 대응하는 영역에 형성된 집적회로에 전기적으로 접속되어 있다. 또, 웨이퍼상태의 실리콘기판(1)의 두께는 도 14에 나타내는 실리콘기판(1)의 두께보다도 어느 정도 두껍게 되어 있다. 또한, 도 15에 있어서 부호 '21a'로 나타내는 영역은 제 1 다이싱스트리트에 대응하는 영역이고, 부호 '21b'로 나타내는 영역은 제 2 다이싱스트리트에 대응하는 영역이다. 이 경우, 제 2 다이싱스트리트(21b)는 제 1 다이싱스트리트(21a)의 폭방향 중앙부에 대응하는 영역으로 되어 있다.
- <65> 다음에, 도 16에 나타내는 바와 같이, 절연막(3) 및 보호막(5)의 개구부(4), (6)를 통하여 노출된 접속패드(2)의 상면을 포함하는 보호막(5)의 상면 전체에 하지금속층(7)을 형성한다. 이 경우, 하지금속층(7)은 무전해도금에 의해 형성된 동층만이라도 좋고, 또 스퍼터에 의해 형성된 동층만이라도 좋으며, 또한 스퍼터에 의해 형성된 티탄 등의 박막층상에 스퍼터에 의해 동층을 형성한 것이라도 좋다.
- <66> 다음에, 하지금속층(7)의 상면에 도금레지스트막(22)을 패턴 형성한다. 이 경우, 배선(8)의 형성영역에 대응하는 부분에 있어서의 도금레지스트막(22)에는 개구부(23)가 형성되어 있다. 다음에, 하지금속층(7)을 도금전류로서 동의 전해도금을 실행하는 것에 의해, 도금레지스트막(22)의 개구부(23)내의 하지금속층(7)의 상면에 배선(8)을 형성한다. 다음에, 도금레지스트막(22)을 박리한다.
- <67> 다음에, 도 17에 나타내는 바와 같이, 배선(8)을 포함하는 하지금속층(7)의 상면에 도금레지스트막(24)을 패턴 형성한다. 이 경우, 주상전극(9)의 형성영역에 대응하는 부분에 있어서의 도금레지스트막(24)에는 개구부(25)가 형성되어 있다. 다음에, 하지금속층(7)을 도금전류로서 동의 전해도금을 실행하는 것에 의해, 도금레지스트막(24)의 개구부(25)내의 배선(8)의 접속패드부 상면에 주상전극(9)을 형성한다. 다음에, 도금레지스트막(24)을 박리하고, 다음에, 배선(8)을 마스크로 해서 하지금속층(7)의 불필요한 부분을 에칭해서 제거하면, 도 18에 나타내는 바와 같이, 배선(8)의 아래에만 하지금속층(7)이 잔존된다.
- <68> 다음에, 도 19에 나타내는 바와 같이, 주상전극(9) 및 배선(8)을 포함하는 보호막(5)의 상면 전체에, 스크린인쇄법이나 스펀코트법 등에 의해, 에폭시계수지나 폴리이미드계수지 등으로 이루어지는 밀봉막(10)을 그의 두께가 주상전극(9)의 높이보다도 두껍게 되도록 형성한다. 따라서, 이 상태에서는 주상전극(9)의 상면은 밀봉막(10)에 의해서 덮여 있다.
- <69> 다음에, 밀봉막(10) 및 주상전극(9)의 상면측을 적절히 연마하여, 도 20에 나타내는 바와 같이 주상전극(9)의 상면을 노출시키고, 또한 이 노출된 주상전극(9)의 상면을 포함하는 밀봉막(10)의 상면을 평탄화한다. 여기서, 주상전극(9)의 상면측을 적절히 연마하는 것은 전해도금에 의해 형성되는 주상전극(9)의 높이에 편차가 있기 때문에, 이 편차를 해소해서 주상전극(9)의 높이를 균일하게 하기 위함이다.
- <70> 다음에, 도 21에 나타내는 바와 같이, 실리콘기판(1)의 두께를 얇게 하기 위해, 실리콘기판(1)의 하면(이면)측을 적절히 연삭한다. 다음에, 도 22에 나타내는 바와 같이, 제 1 다이싱스트리트(21a)를 따라, 다이싱법에 의해 실리콘기판(1)의 하면측으로부터 밀봉막(10)의 도중까지 하프컷트하고, 즉, 실리콘기판(1), 절연막(3) 및 보호막(5)을 풀컷트하고, 또한 밀봉막(10)을 하프컷트하여 홈(13)을 형성한다. 이 상태에서는 웨이퍼상태의 실리콘기판(1)은 개개의 실리콘기판(1)로 분리되지만, 밀봉막(10)이 하프컷트되어 있기 때문에, 각 실리콘기판(1)은

실질적으로는 분리되어 있지 않다. 이 하프컷 가공은 다이싱테이프(도시하지 않음)에 밀봉막(10) 및 주상전극(9)의 상면을 접촉한 상태에서 실행해도 좋다.

- <71> 여기서, 웨이퍼상태의 실리콘기판(1)의 하면을 연삭하거나, 웨이퍼상태의 실리콘기판(1)을 다이싱하면, 도 22의 B부를 상세하게 나타내는 부분확대 단면도인 도 23에 나타내는 바와 같이, 실리콘기판(1)의 하면 및 둘레측면에 미세하고 예각인 요철(실리콘의 결정 파괴층)(27)이 형성된다. 이 미세하고 예각인 요철(27)은 실리콘기판(1)의 하면 및 둘레측면에 크랙이 발생하는 요인으로 된다.
- <72> 그래서, 다음에, 질산-불화수소산-초산의 혼합용액 또는 이것에 물을 더한 혼합용액을 이용한 웨트에칭을 실행한다. 이 웨트에칭에서는 질산으로 실리콘기판(1)의 하면 및 둘레측면을 산화시켜 산화막을 형성하고, 불화수소산으로 이 산화막을 용해해서 제거하며, 초산으로 반응을 제어하게 된다. 이 경우, 혼합용액의 조성비나 처리시간 등의 조건에 의해, 실리콘기판(1)의 하면 및 둘레측면을 경면마무리로 할 수도 있지만, 실리콘기판(1)이 빛의 영향을 잘 받지 않게 하기 위해, 도 24에 나타내는 바와 같이, 실리콘기판(1)의 하면 및 둘레측면을 단차 1~5 μ m의 조면마무리로 하는 것이 바람직하다.
- <73> 다음에, 도 25에 나타내는 바와 같이, 홈(13)내를 포함하는 실리콘기판(1)의 하면에, 스크린인쇄법이나 스프인코트법 등에 의해, 에폭시계수지나 폴리이미드계수지 등으로 이루어지는 보호막(12)을 그의 하면이 평탄하게 되도록 형성한다. 이 상태에서는 홈(13)내에 있어서의 실리콘기판(1), 절연막(3), 보호막(5) 및 밀봉막(10)의 둘레측면은 홈(13)내에 형성된 보호막(12)에 의해서 덮여 있다. 이 경우, 특히, 실리콘기판(1)의 하면 및 둘레측면은 도 11에 나타내는 바와 같이, 단차 1~5 μ m의 조면으로 되어 있으므로, 이 조면은 보호막(12)에 의해서 확실하게 덮인다. 또, 실리콘기판(1)은 개개로 분리되어 있으므로, 에폭시계수지 등으로 이루어지는 보호막(12)이 경화 수축해도, 실리콘기판(1)이 잘 휘지 않도록 할 수 있다.
- <74> 다음에, 주상전극(9)의 상면에 뿔납볼(11)을 형성한다. 다음에, 보호막(12)을 도시하지 않은 다이싱테이프에 접촉한 상태에서, 도 26에 나타내는 바와 같이, 제 2 다이싱스트리트(21b)를 따라 즉 홈(13)내에 형성된 보호막(12)의 폭방향 중앙부를 따라, 다이싱법에 의해 보호막(12) 및 밀봉막(10)을 풀컷하면, 도 14에 나타내는 반도체장치가 복수개 얻어진다.
- <75> 이와 같이 해서 얻어진 반도체장치에서는 도 24에 나타내는 바와 같이, 실리콘기판(1)의 하면 및 둘레측면을 단차 1~5 μ m의 조면으로 하고 있으므로, 이 조면을 보호막(12)으로 확실하게 덮을 수 있고, 따라서 실리콘기판(1)의 하면 및 둘레측면에 크랙이 잘 발생하지 않도록 할 수 있다.
- <76> 또한, 보호막(12)은 수지가 아니라, 금속에 의해서 형성하도록 해도 좋다. 금속재료로서는 실리콘기판(1)과의 밀착성이 좋고, 기계적강도가 높은 것이면 좋으며, 일예를 들면 티탄 등이다. 그리고, 도 24에 나타내는 공정 후에, 도 25를 참조해서 설명하면, 홈(13)내를 포함하는 실리콘기판(1)의 하면에, 스퍼터법 등에 의해 티탄으로 이루어지는 보호막(12)을 막두께 1500Å 정도로 형성한다. 이 경우, 실제로는 도 25의 점선으로 나타내는 바와 같이, 홈(13)의 측면 및 저면으로부터 대략 균일한 두께로 형성된다. 티탄 등의 금속막으로 이루어지는 보호막(12)에는 수지와 같은 경화수축이 발생하지 않으므로, 실리콘기판(1)에 휨이 발생하지 않도록 할 수 있다.
- <77> 또, 상기 실시형태에서는 홈(13)을 실리콘기판(1)의 하면측으로부터 밀봉막(10)의 도중까지 하프컷해서 형성하는 것이었지만, 도 21에 있어서, 다이싱테이프(도시하지 않음)에 밀봉막(10) 및 주상전극(9)의 표면을 접촉해 두면, 실리콘기판(1) 및 밀봉막(10)을 풀컷할 수도 있다. 그 경우, 그 후의 공정은 상기 실시 형태와 마찬가지로 실행할 수 있지만, 홈내에 대응하는 다이싱테이프상에 형성된 보호막만을 절단하는 것에 의해, 개개의 반도체장치로 할 수도 있다. 또한, 본 발명은 CSP라 불리는 반도체장치에 한정되지 않으며, 예를 들면, 절연막(3)의 개구부(4)를 통해 노출된 접속패드(2)상에 하지금속층 및 주상전극을 형성하고, 주상전극의 주위에 있어서의 절연막(3)상에 밀봉막을 형성하고, 주상전극상에 뿔납볼을 형성한 반도체장치에도 적용할 수 있다.

발명의 효과

- <78> 본 발명에 따르면, 반도체기판의 이면을 단차 1~5 μ m의 조면으로 하고 있으므로, 이 조면을 보호막으로 확실하게 덮을 수 있고, 따라서 반도체기판의 이면에 크랙이 잘 발생하지 않게 할 수 있다.

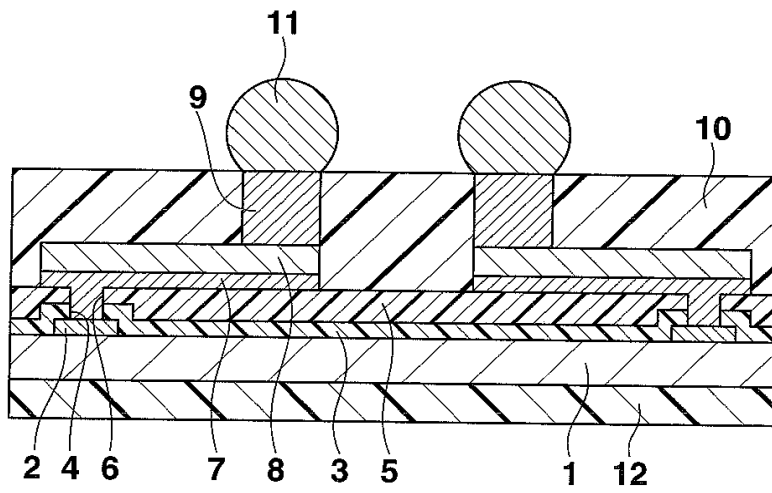
도면의 간단한 설명

- <1> 도 1은 본 발명의 제 1 실시형태로서의 반도체장치의 단면도,
- <2> 도 2는 도 1에 나타내는 반도체장치의 제조방법의 일예에 있어서, 당초 준비한 것의 단면도,

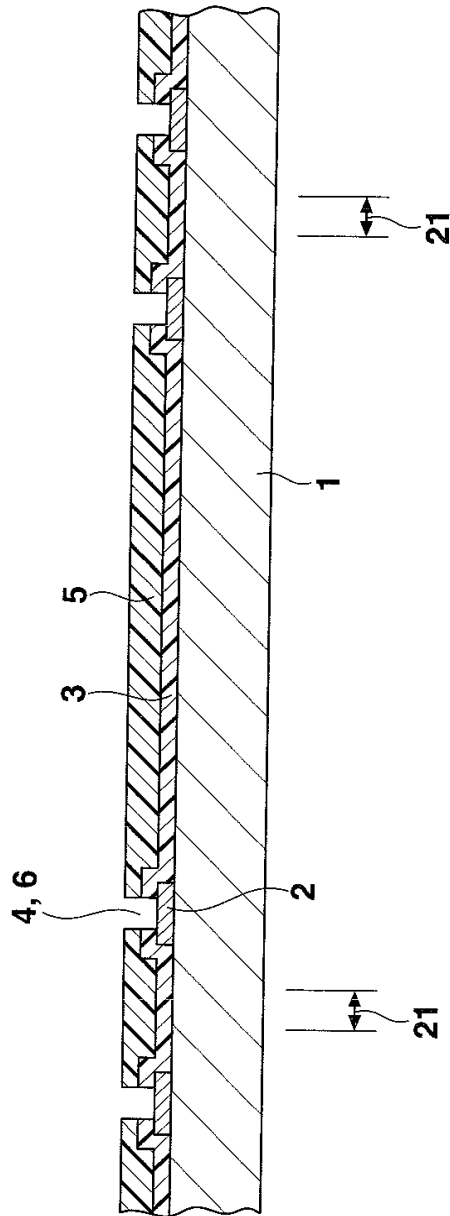
- <3> 도 3은 도 2에 계속되는 공정의 단면도,
- <4> 도 4는 도 3에 계속되는 공정의 단면도,
- <5> 도 5는 도 4에 계속되는 공정의 단면도,
- <6> 도 6은 도 5에 계속되는 공정의 단면도,
- <7> 도 7은 도 6에 계속되는 공정의 단면도,
- <8> 도 8은 도 7에 계속되는 공정의 단면도,
- <9> 도 9는 도 8의 A부를 상세하게 나타내는 부분확대 단면도,
- <10> 도 10은 도 9에 계속되는 공정의 부분확대 단면도,
- <11> 도 11은 도 10에 계속되는 공정의 단면도.
- <12> 도 12는 도 11에 계속되는 공정의 단면도.
- <13> 도 13은 보호막을 금속으로 형성한 경우의 도 10에 계속되는 공정의 부분확대 단면도,
- <14> 도 14는 본 발명의 제 2 실시형태로서의 반도체장치의 단면도,
- <15> 도 15는 도 14에 나타내는 반도체장치의 제조방법의 일예에 있어서, 당초 준비한 것의 단면도,
- <16> 도 16은 도 15에 계속되는 공정의 단면도,
- <17> 도 17은 도 16에 계속되는 공정의 단면도,
- <18> 도 18은 도 17에 계속되는 공정의 단면도,
- <19> 도 19는 도 18에 계속되는 공정의 단면도,
- <20> 도 20은 도 19에 계속되는 공정의 단면도,
- <21> 도 21은 도 20에 계속되는 공정의 단면도,
- <22> 도 22는 도 21에 계속되는 공정의 단면도,
- <23> 도 23은 도 22의 B부를 상세하게 나타내는 부분확대 단면도,
- <24> 도 24는 도 23에 계속되는 공정의 부분확대 단면도,
- <25> 도 25는 도 24에 계속되는 공정의 단면도,
- <26> 도 26은 도 25에 계속되는 공정의 단면도.
- <27> [도면의 주요부분에 대한 부호의 설명]
- <28> 1: 실리콘기판(반도체기판) 2: 접속패드
- <29> 3: 절연막 5: 보호막
- <30> 7: 하지금속층 8: 배선
- <31> 9: 주상전극 10: 밀봉막
- <32> 11: 뿔납볼 12: 보호막
- <33> 21, 21a, 21b: 다이싱 스트리트

도면

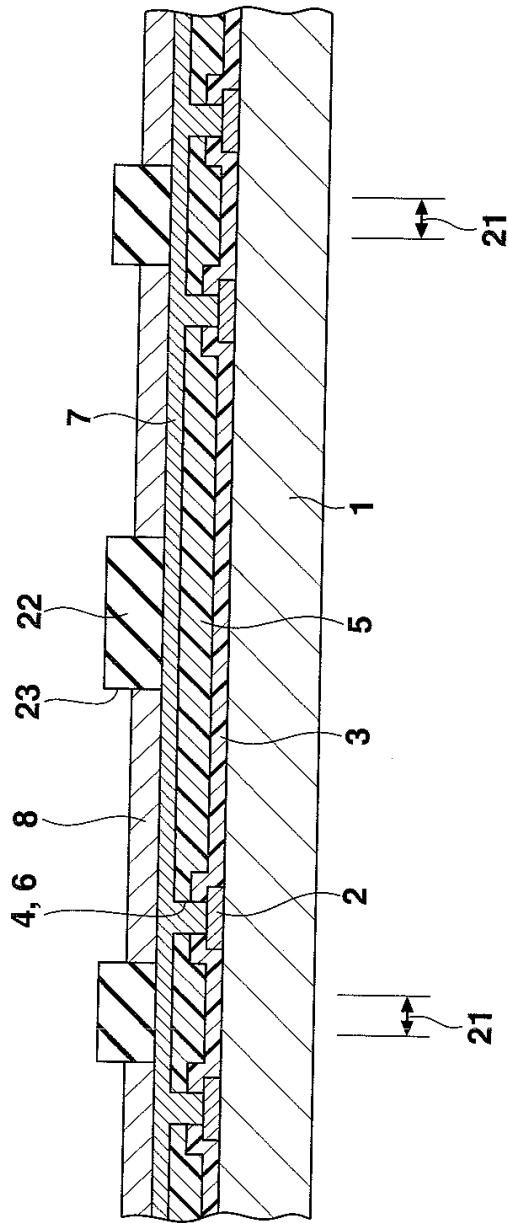
도면1



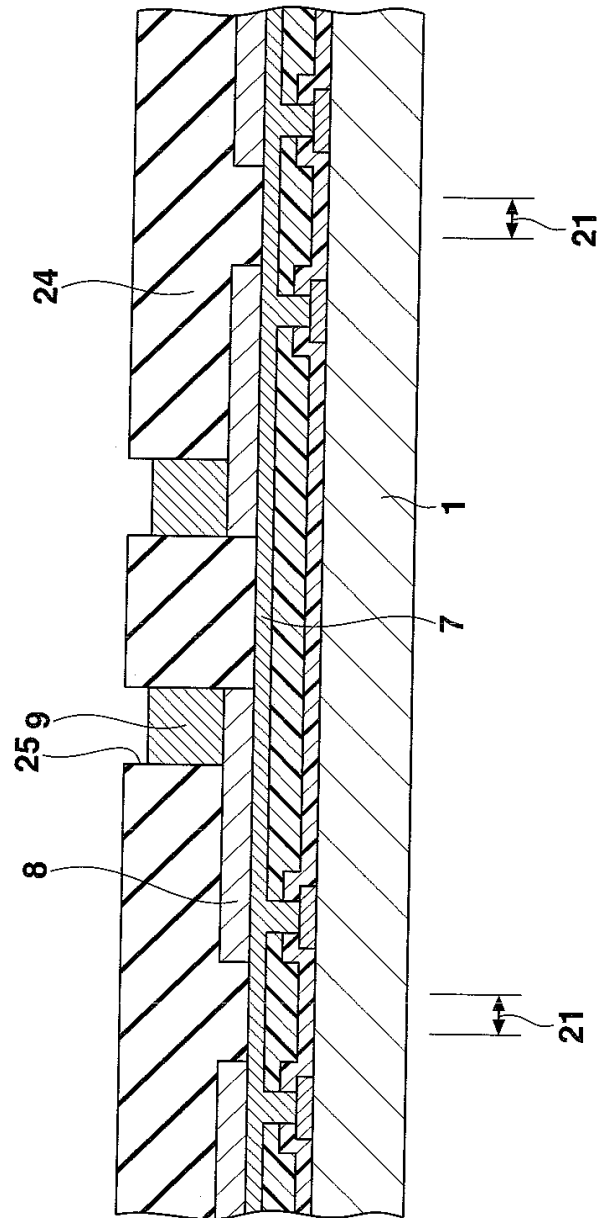
도면2



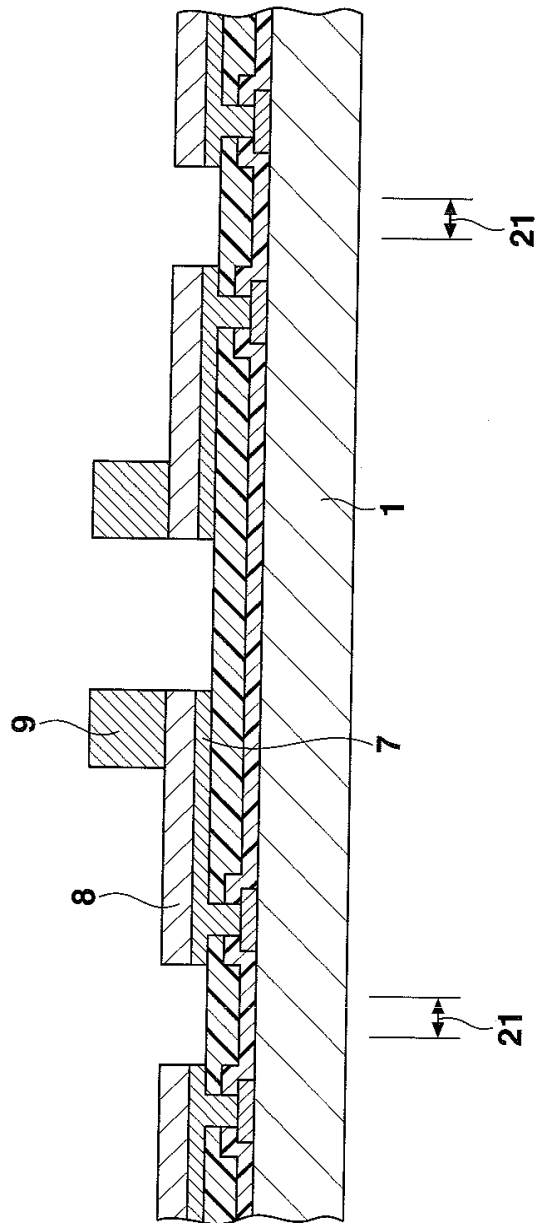
도면3



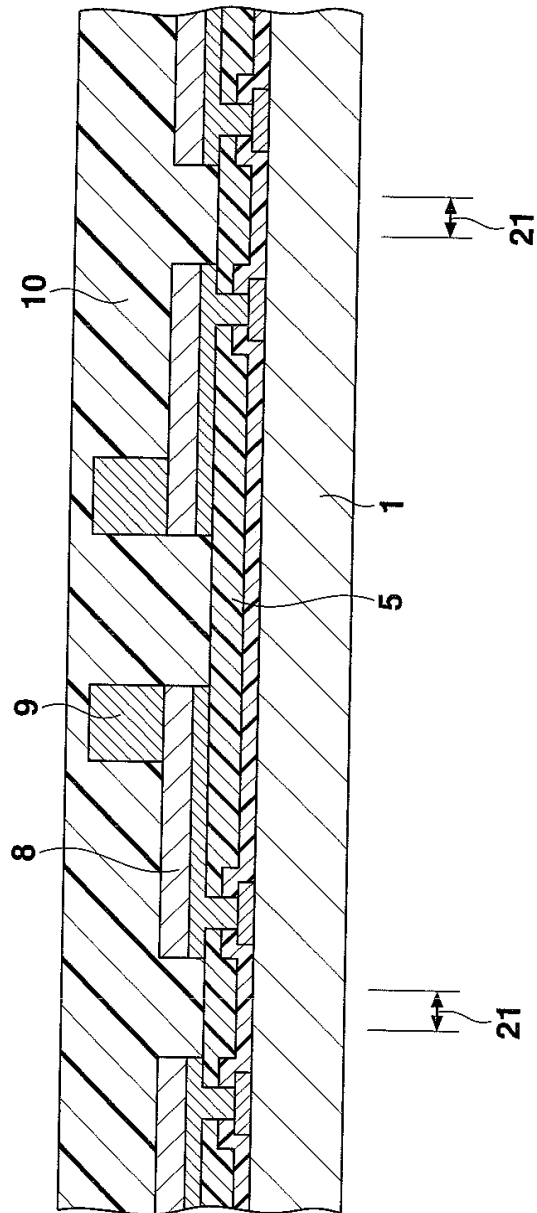
도면4



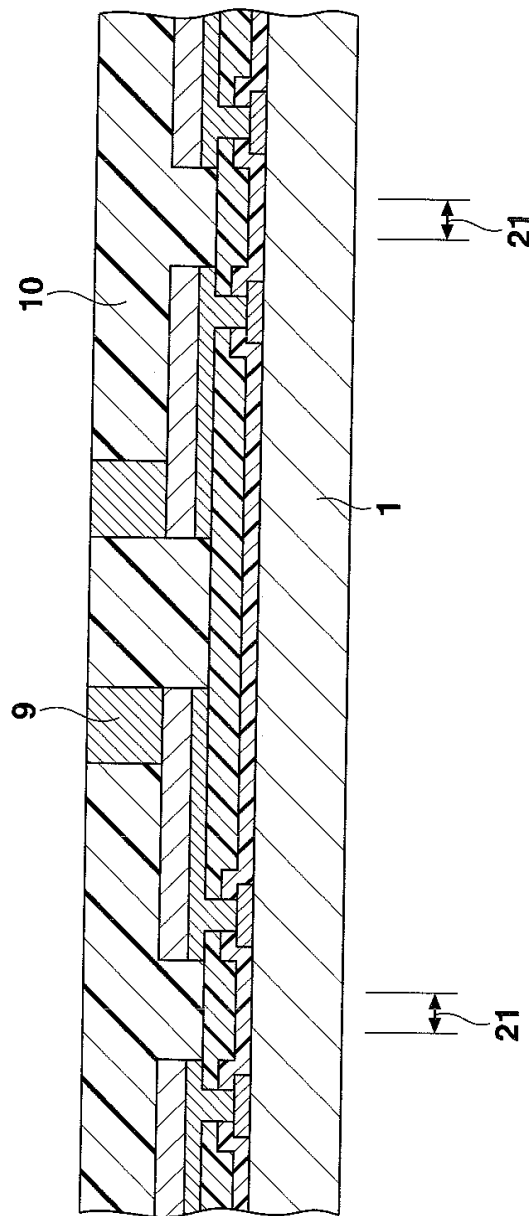
도면5



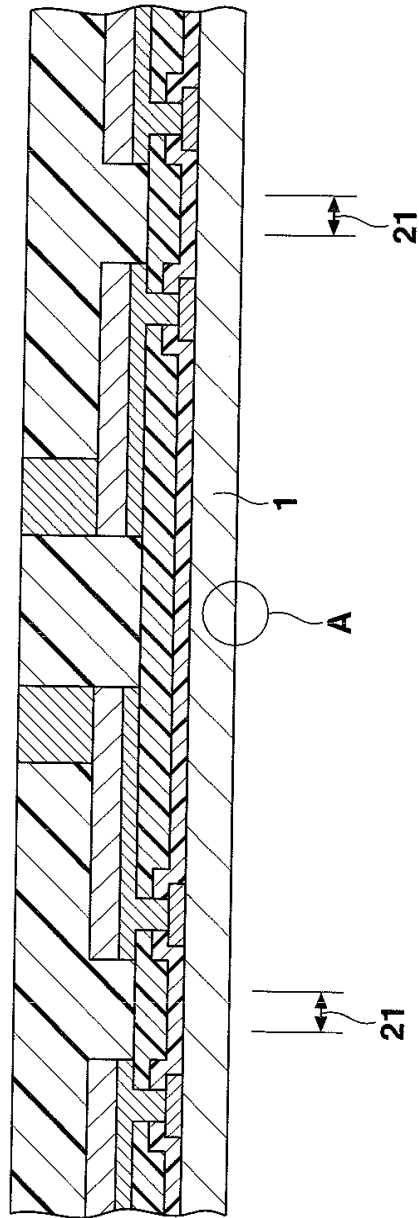
도면6



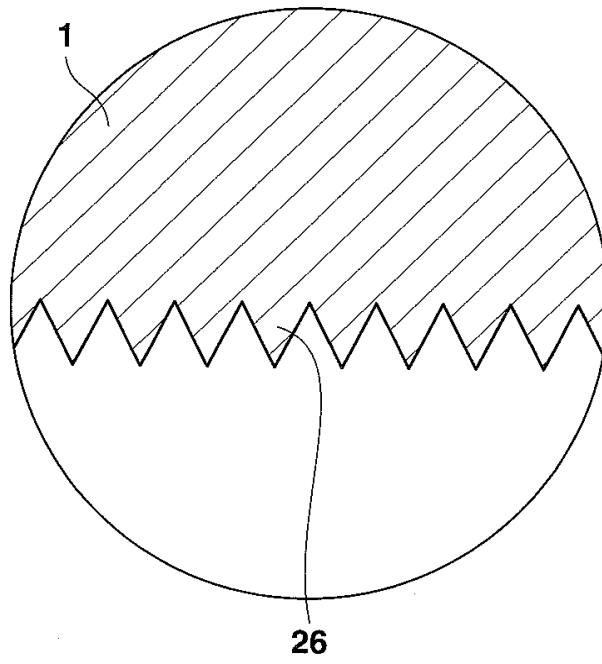
도면7



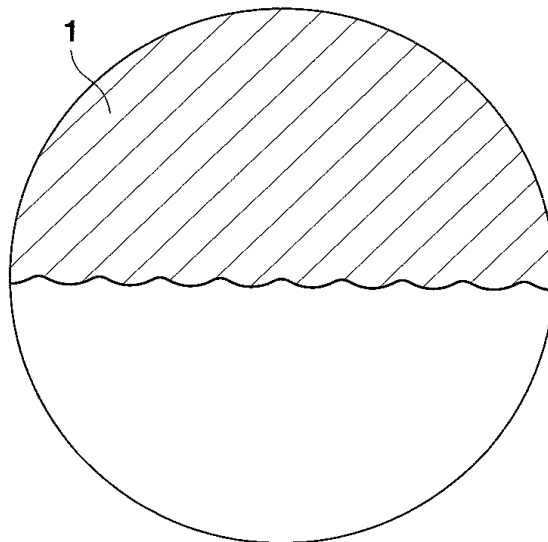
도면8



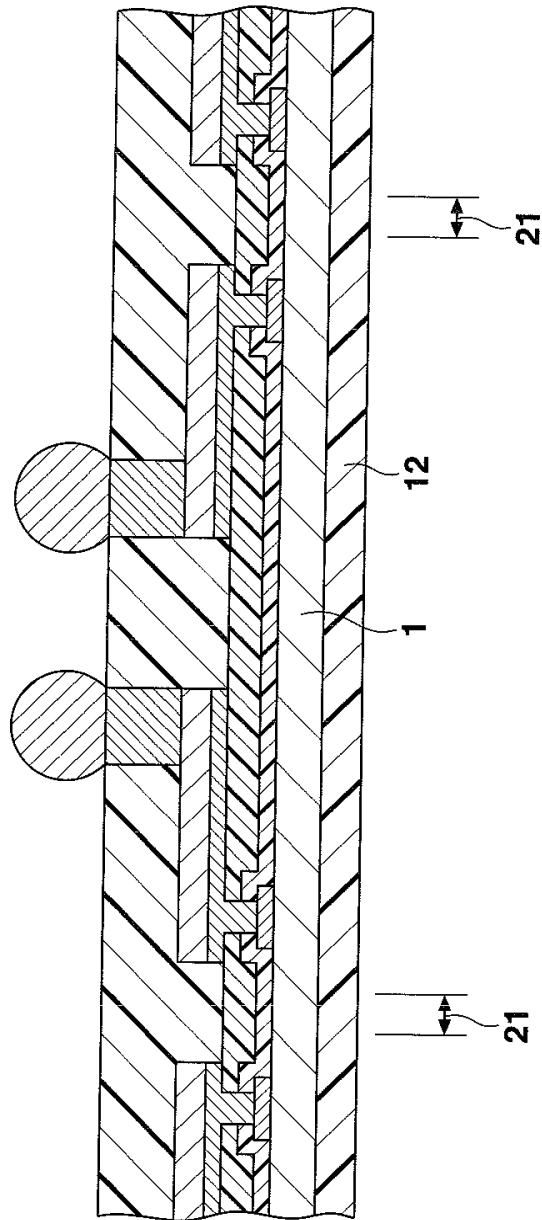
도면9



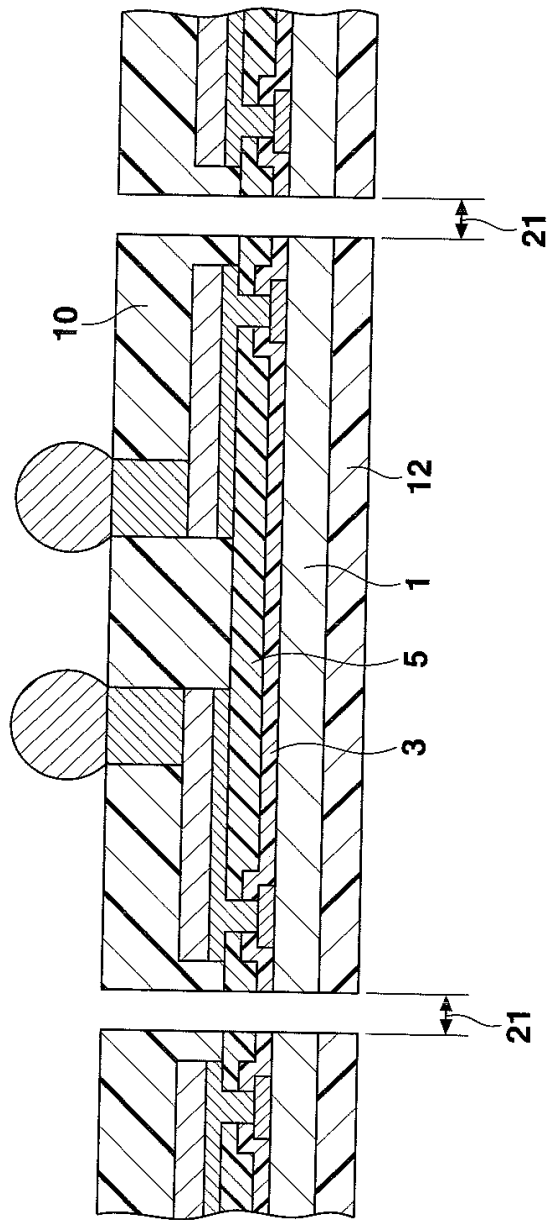
도면10



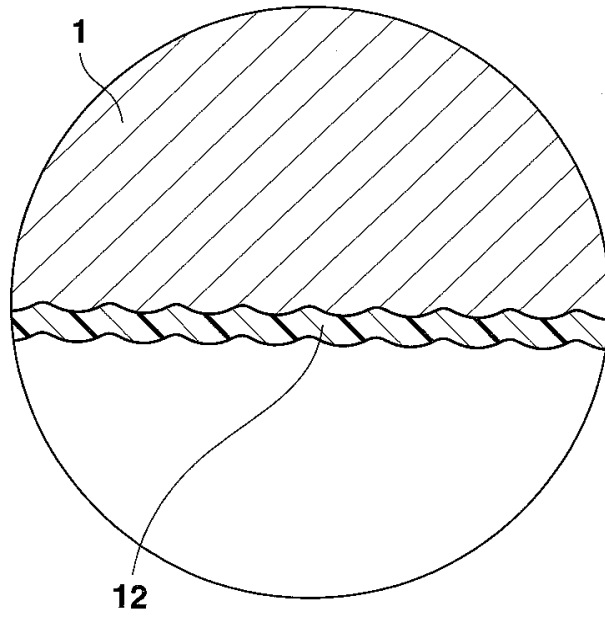
도면11



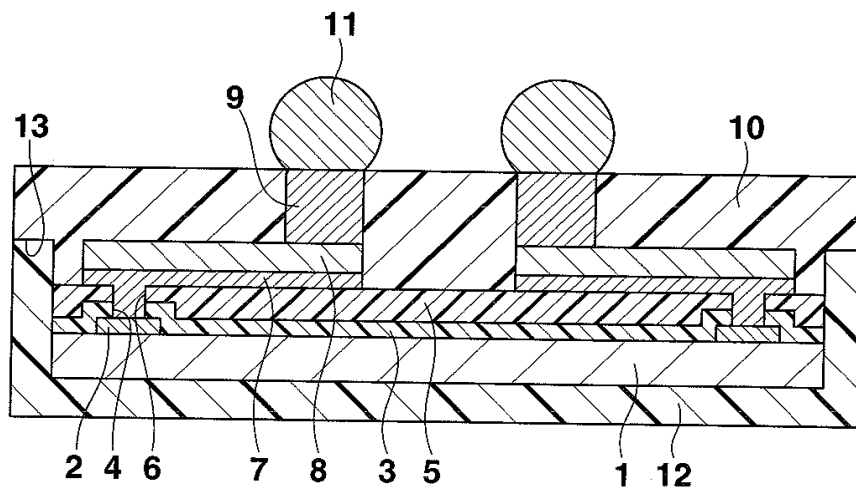
도면12



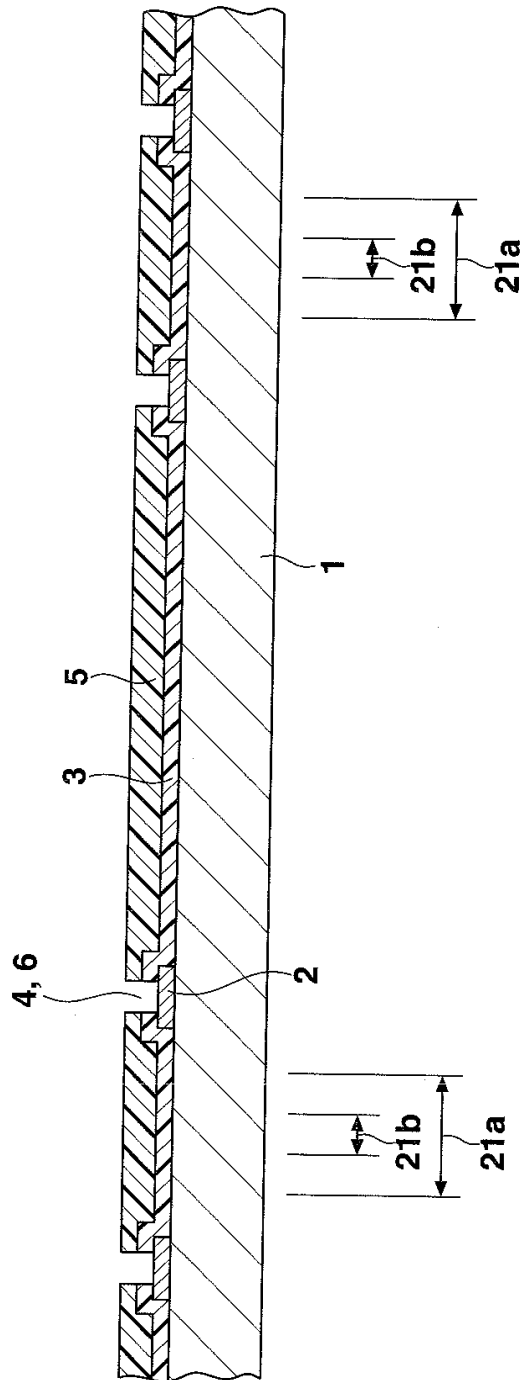
도면13



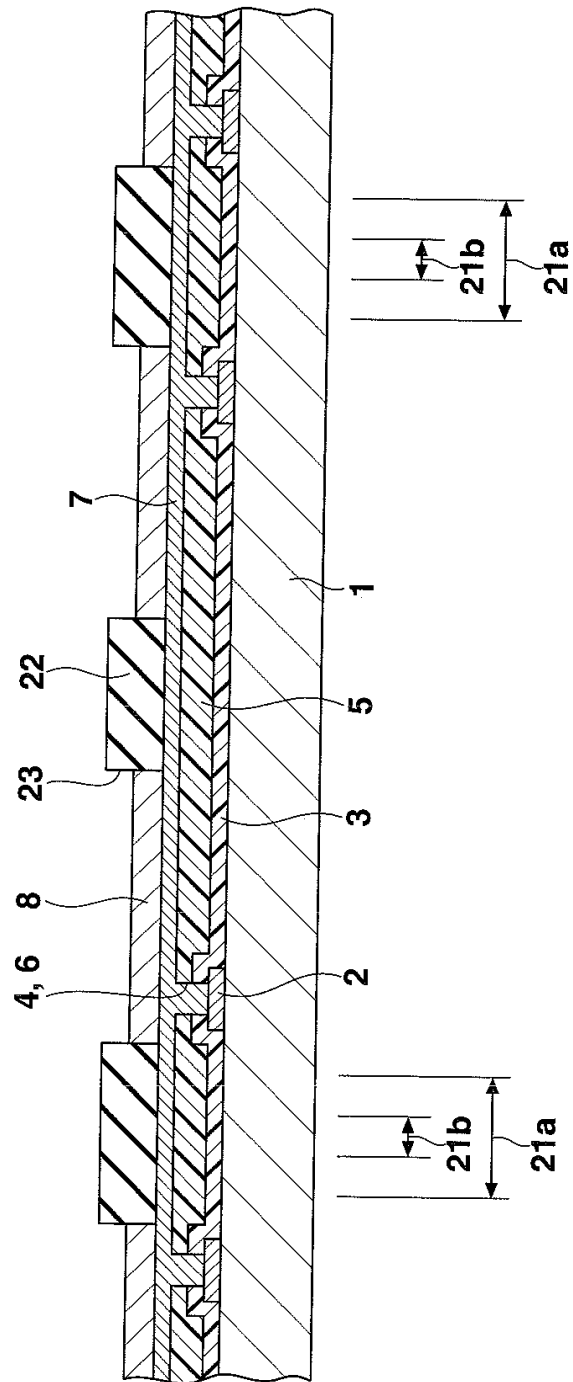
도면14



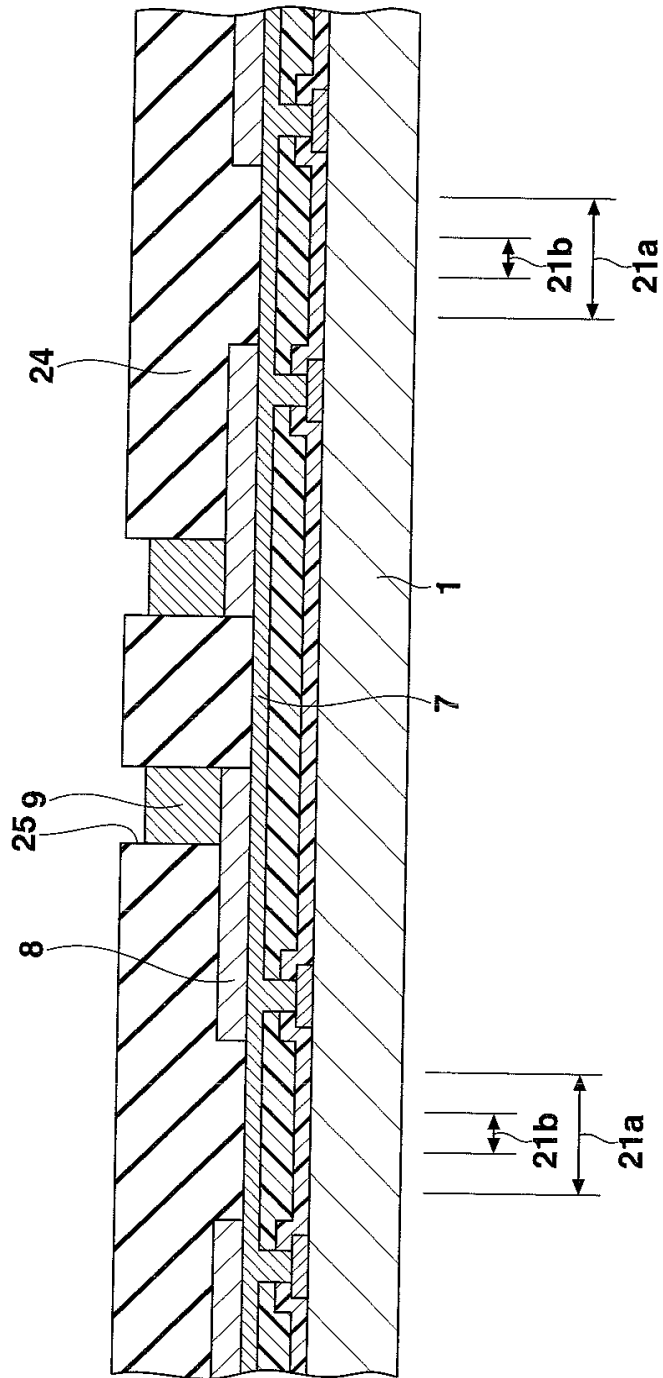
도면15



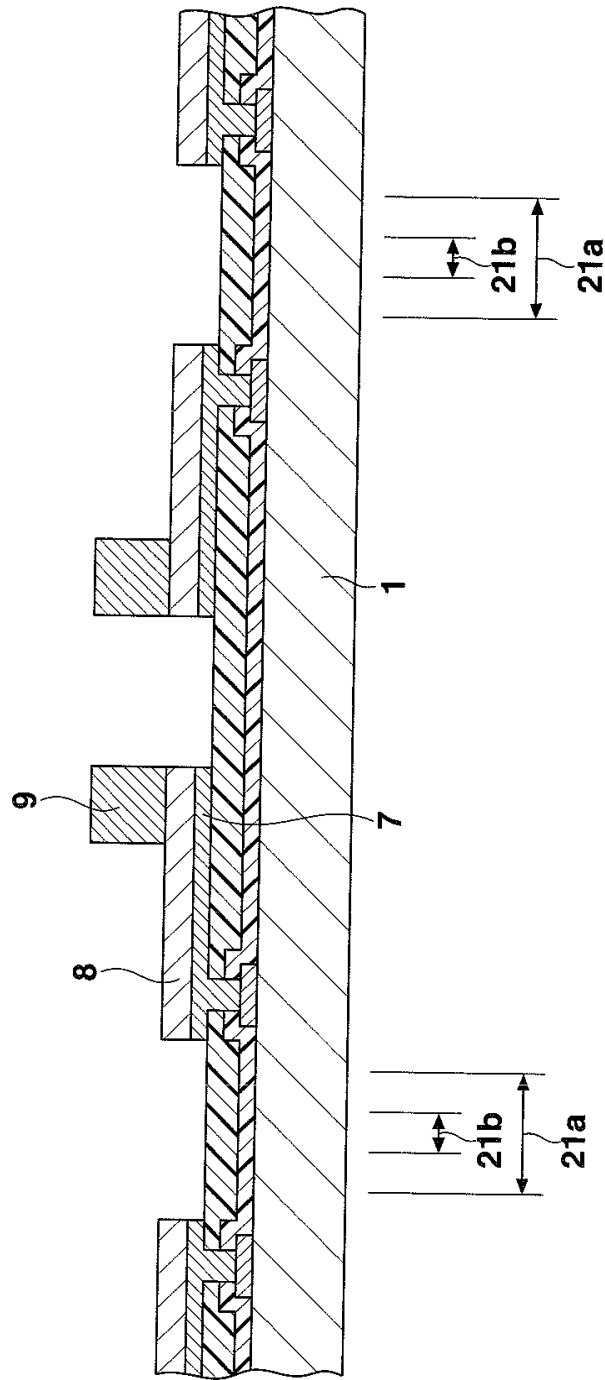
도면16



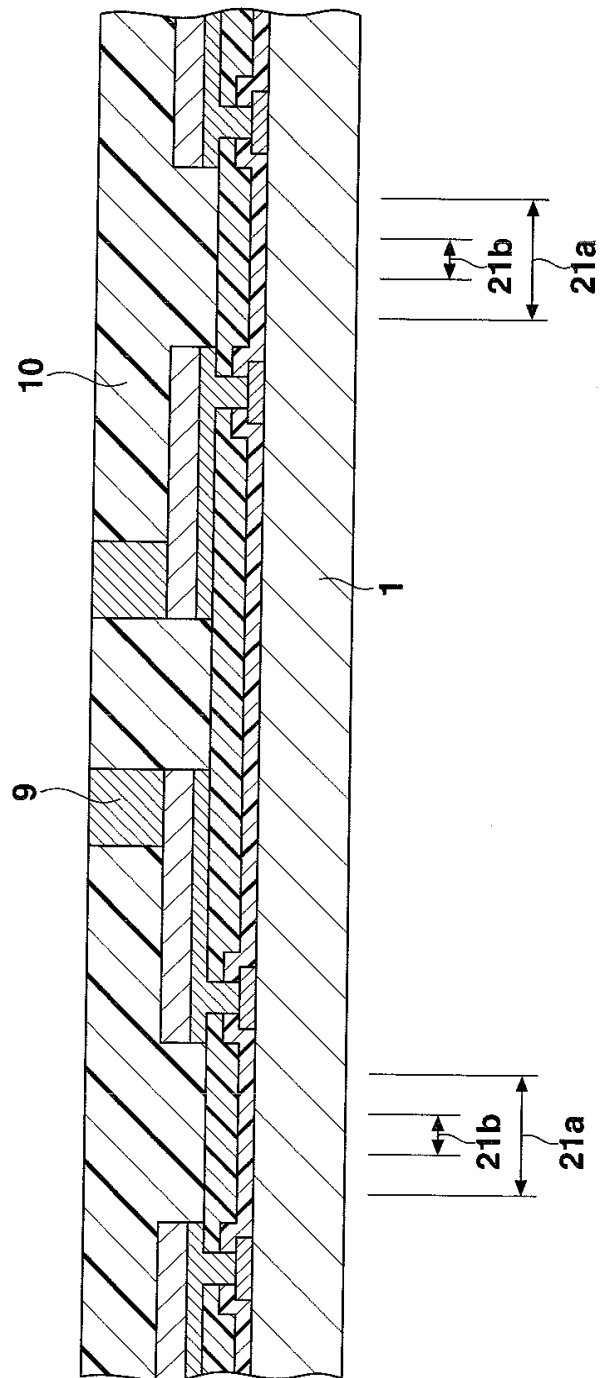
도면17



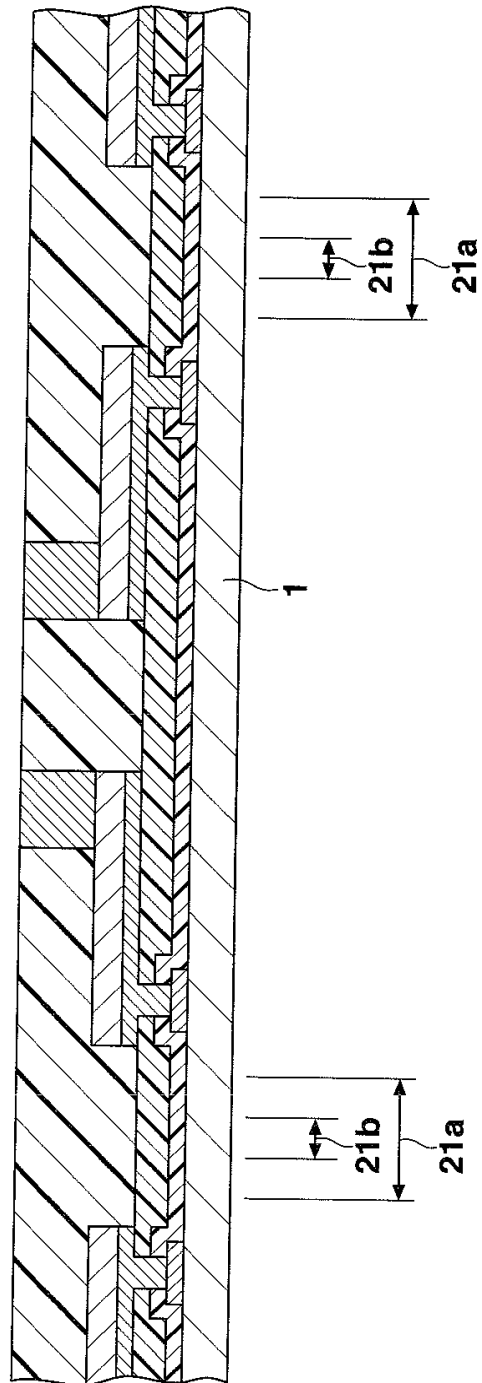
도면18



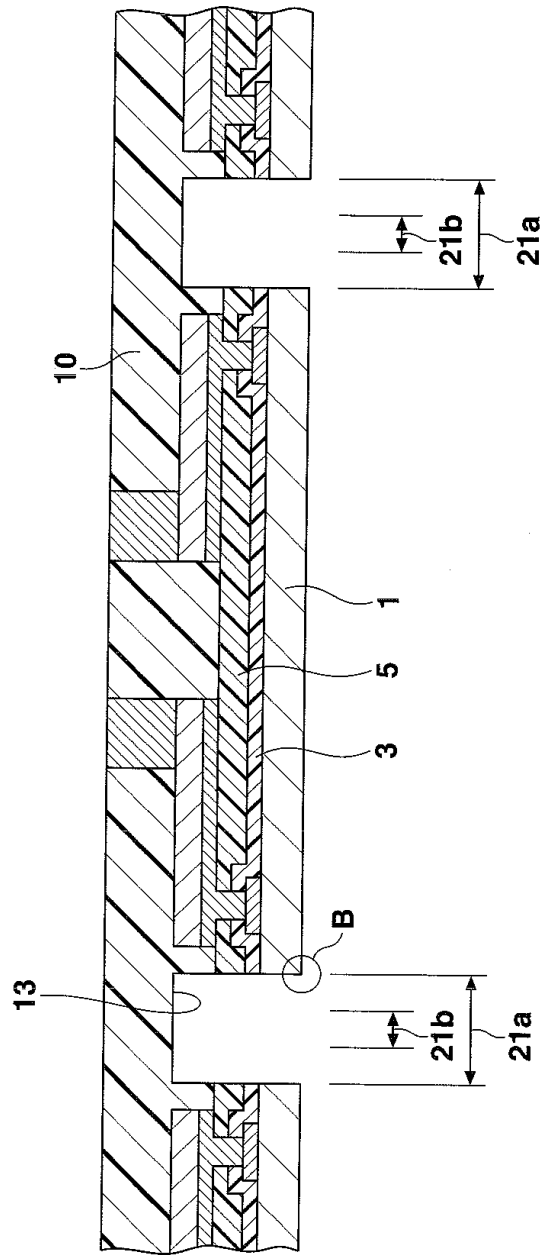
도면20



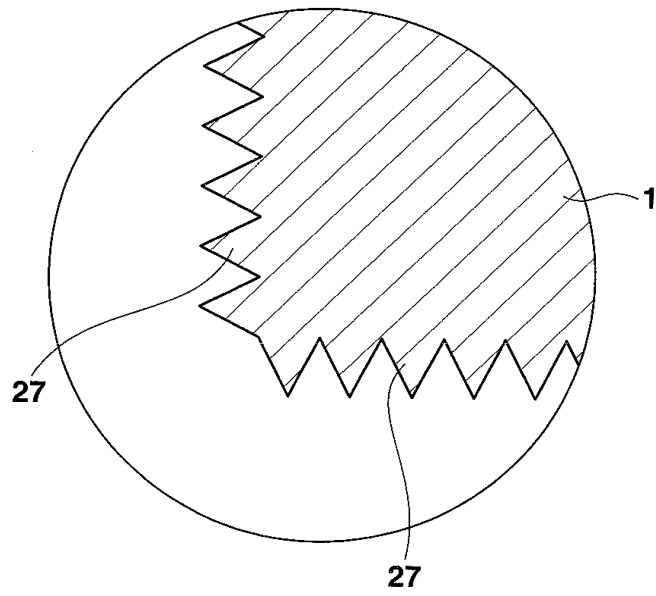
도면21



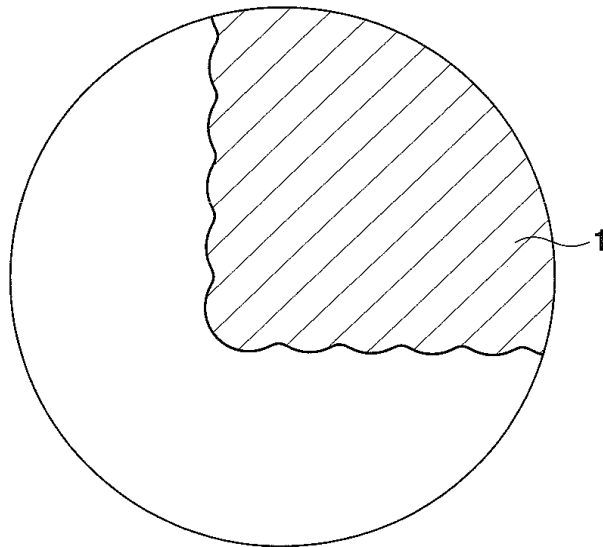
도면22



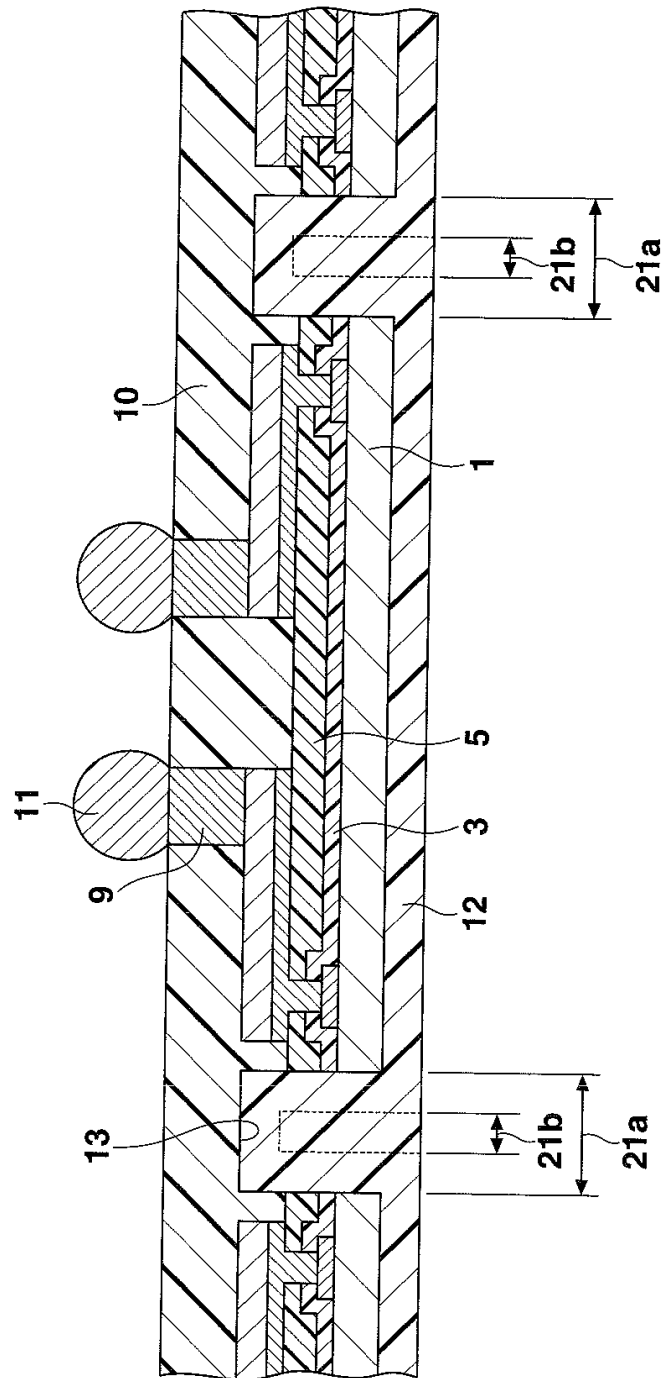
도면23



도면24



도면25



도면26

