



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/8247 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월30일 10-0723767 2007년05월23일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0107426 2005년11월10일 2005년11월10일	(65) 공개번호 (43) 공개일자	10-2007-0050175 2007년05월15일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자                   주식회사 하이닉스반도체  
   경기 이천시 부발읍 아미리 산136-1

(72) 발명자                       김기석  
   서울 동대문구 회기동 65 신현대아파트 8-101

(74) 대리인                       신영무

(56) 선행기술조사문헌  
10-2004-51302

심사관 : 구분재

전체 청구항 수 : 총 15 항

(54) 플래쉬 메모리 소자 및 그 제조방법

(57) 요약

본 발명은 플래쉬 메모리 소자 및 그 제조방법에 관한 것으로, 소자 분리막을 형성하기 위해 형성된 트렌치의 일부에 플로팅 게이트를 형성함으로써 플로팅 게이트가 반도체 기판 내에서 소자 분리막에 의해 분리되어 플로팅 게이트간의 간섭을 완벽하게 차단할 수 있는 플래쉬 메모리 소자 및 그 제조 방법에 관한 것이다.

대표도

도 3d

특허청구의 범위

청구항 1.

반도체 기판상의 소정 영역에 일정 간격으로 이격되어 형성된 트렌치;

상기 트렌치를 매립하여 형성된 매립 플로팅 게이트;

상기 매립 플로팅 게이트 사이에 형성된 복수의 소자 분리막;

상기 매립 플로팅 게이트 상부에 형성된 유전체 및 컨트롤 게이트를 포함하는 플래쉬 메모리 소자.

## 청구항 2.

제1항에 있어서, 상기 트렌치 측벽에 형성된 산화막을 더 포함하는 플래쉬 메모리 소자.

## 청구항 3.

제1항에 있어서, 상기 소자분리막은 상기 컨트롤 게이트의 높이까지 형성되는 플래쉬 메모리 소자.

## 청구항 4.

제1항에 있어서, 상기 유전체막은 산화막 단일 층 혹은 산화막/질화막/산화막의 적층막으로 이루어지는 플래쉬 메모리 소자.

## 청구항 5.

반도체 기관상에 이온 주입을 실시하는 단계;

상기 반도체 기관 상부에 제1 산화막, 제1 폴리실리콘막, 하드 마스크막을 형성한 후, 상기 적층막 및 반도체 기관의 소정 영역을 식각하여 복수의 제1 트렌치를 형성하는 단계;

상기 제1 트렌치 측벽에 제2 산화막을 형성하는 단계;

상기 제1 트렌치가 매립되도록 제2 폴리실리콘막을 형성하는 단계;

상기 제2 폴리실리콘막 상부의 일부를 산화시켜 제3 산화막을 형성하여 유전체막을 형성하는 단계;

상기 하드 마스크막을 제거한 후, 도전막을 형성하고 패터닝하여 컨트롤 게이트를 형성하는 단계; 및

상기 컨트롤 게이트를 마스크로 노출된 상기 제2 폴리실리콘막을 식각하여 제2 트렌치를 형성하고, 상기 제2 트렌치가 매립되도록 절연막을 형성하여 소자분리막을 형성하는 단계를 포함하는 플래쉬 메모리 소자의 제조방법.

## 청구항 6.

반도체 기관상에 이온 주입을 실시하는 단계;

상기 반도체 기관 상부에 제1 산화막을 형성한 후 상기 제1 산화막 및 반도체 기관의 소정 영역을 식각하여 복수의 제1 트렌치를 형성하는 단계;

상기 제1 트렌치 측벽에 제2 산화막을 형성하는 단계;

상기 제1 트렌치가 매립되도록 제1 폴리실리콘막을 형성하는 단계;

상기 제1 폴리실리콘막 상부의 일부를 산화시켜 제3 산화막을 형성하여 유전체막을 형성하는 단계;

전체 구조 상부에 도전막을 형성하고 패터닝하여 컨트롤 게이트를 형성하는 단계; 및

상기 컨트롤 게이트를 마스크로 노출된 상기 제1 폴리실리콘막을 식각하여 제2 트렌치를 형성하고, 상기 제2 트렌치가 매립되도록 절연막을 형성하여 소자분리막을 형성하는 단계를 포함하는 플래쉬 메모리 소자의 제조방법.

#### 청구항 7.

제5항에 있어서, 상기 하드 마스크막은 질화막으로 형성하는 플래쉬 메모리 소자의 제조방법.

#### 청구항 8.

제5항 또는 제6항에 있어서, 상기 제3 산화막을 형성한 후에 질화막 및 산화막을 증착하는 단계를 더욱 포함하는 플래쉬 메모리 소자의 제조방법.

#### 청구항 9.

제5항 또는 제6항에 있어서, 상기 제1 산화막은 300Å 내지 500Å의 두께로 형성하는 플래쉬 메모리 소자의 제조방법.

#### 청구항 10.

제4항 또는 제5항에 있어서, 상기 제1 트렌치 측벽은 채널로 작용하고, 상기 제1 트렌치 깊이에 따라 상기 채널 길이가 조절되는 플래쉬 메모리 소자의 제조방법.

#### 청구항 11.

제5항 또는 제6항에 있어서, 상기 제2 산화막은 70Å 내지 100Å의 두께로 형성하는 플래쉬 메모리 소자의 제조방법.

#### 청구항 12.

제5항에 있어서, 상기 제2 산화막 형성 공정시 상기 제1 폴리실리콘막 일부를 산화시키는 플래쉬 메모리 소자의 제조방법.

#### 청구항 13.

제5항 또는 제6항에 있어서, 상기 제3 산화막은 300Å 내지 500Å의 두께로 형성되는 플래쉬 메모리 소자의 제조방법.

#### 청구항 14.

제5항에 있어서, 상기 제3 산화막을 전면식각하여, 상기 제3 산화막이 150Å 내지 200Å의 두께로 형성되는 플래쉬 메모리 소자의 제조방법.

#### 청구항 15.

제5항 또는 제6항에 있어서, 상기 소자분리막은 상기 컨트롤 게이트 높이까지 형성되는 플래쉬 메모리 소자의 제조방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플래쉬 메모리 소자의 제조방법에 관한 것으로, 특히, 서로 인접하는 플로팅 게이트간 간섭(interference) 효과를 최소화시키기 위한 플래쉬 메모리 소자 및 그 제조방법에 관한 것이다.

현재 플래쉬 메모리(Flash memory) 제조 방법에서 소자의 고집적화에 따라 단위 액티브 영역과 필드 영역이 형성될 공간은 줄어들고 있다. 따라서, 좁은 액티브 공간 내에 플로팅 게이트를 포함한 유전체막, 컨트롤 게이트를 형성함에 따라 게이트간 거리가 좁아져서 간섭효과가 점점더 문제시되고 있다. 도 1은 일반적인 플래쉬 메모리 소자의 제조방법으로, 자기 정렬(Self-Align) STI를 적용한 플래쉬 메모리 소자의 제조방법이다.

도 1을 참조하면, 반도체 기판(10) 상부에 터널 산화막(11)과 제1 폴리실리콘막(12)을 형성하고, 소자 분리 마스크를 이용한 식각 공정으로 제1 폴리실리콘막(12)과 터널 산화막(11)을 선택적으로 식각한 후, 선택적으로 식각된 제1 폴리실리콘막(12)을 마스크로 반도체 기판(10)을 식각하여 트렌치를 형성한다. 트렌치가 매립되도록 전체 구조 상부에 절연막, 예컨대 HDP(High Density Plasma) 산화막을 형성한 후 제1 폴리실리콘막(12) 상부가 노출되도록 절연막을 평탄화하여 예컨대, CMP(Chemical Mechanical Polishing)하여 트렌치 내에 소자분리막(13)을 형성한다. 전체 구조 상부에 제2 폴리실리콘막(14)을 형성하고, 소정의 마스크를 이용하여 제2 폴리실리콘막(14)을 식각하여 제1 폴리실리콘막(12)과 제2 폴리실리콘막(14)으로 구성된 플로팅 게이트를 형성한다. 전체 구조 상부에 유전체막(15) 및 도전층(16)을 형성한 후 소정의 마스크를 이용하여 패터닝함으로써 소자 분리막(13)과 수직한 방향으로 컨트롤 게이트를 형성한다.

그러나, 반도체 소자의 고집적화에 따라 소자 분리막의 폭이 줄어들게 되고, 이에 따라 서로 인접하는 제1 폴리실리콘막의 간격이 줄어들게 되어 서로 인접하는 제1 폴리실리콘막에 의한 간섭 효과가 일어나게 되고, 이로 인해 플로팅 게이트 사이에 간섭 효과가 발생 된다. 또한, 플로팅 게이트 간의 간섭 효과로 인해 반도체 기판의 문턱 전압( $V_t$ )도 변화하여 컨트롤 게이트 방향으로 간섭 효과가 극대화되어 소자 특성의 열화를 피할 수 없게 된다. 이러한 간섭 효과는 플래쉬 셀(Flash cell)의 기록(write) 속도를 저하시켜 품질 면에서 심각한 저하를 초래하고 있다.

#### 발명이 이루고자 하는 기술적 과제

상술한 문제점을 해결하기 위해 안출된 본 발명의 목적은 소자 분리막을 형성하기 위해 형성된 트렌치의 일부에 매립 플로팅 게이트를 형성하고, 소자 분리막에 의해 분리되도록 함으로써 플로팅 게이트 사이의 간섭을 완벽하게 차단할 수 있으며, 또한 트렌치의 둘레가 플래쉬 메모리 소자의 채널이 되므로 종래에 비해 채널길이를 길게 형성할 수 있어 셀 누설의 억제 및 문턱 전압( $V_t$ )을 최소화하여 디스터브(disturb) 특성을 향상시킨 플래쉬 메모리 소자 및 그 제조방법을 제공하는 데 있다.

### 발명의 구성

본 발명의 실시예에 따른 플래쉬 메모리 소자는, 반도체 기판상의 소정 영역에 일정 간격으로 이격되어 형성된 트렌치와, 상기 트렌치를 매립하여 형성된 매립 플로팅 게이트와, 상기 매립 플로팅 게이트 사이에 형성된 복수의 소자 분리막과, 상기 매립 플로팅 게이트 상부에 형성된 유전체 및 컨트롤 게이트를 포함하는 플래쉬 메모리 소자를 제공한다.

본 발명의 제1 실시예에 따른 플래쉬 메모리 소자의 제조방법은, 반도체 기판상에 이온 주입을 실시하는 단계와, 상기 반도체 기판 상부에 제1 산화막, 제1 폴리실리콘막, 하드 마스크막을 형성한 후, 상기 적층막 및 반도체 기판의 소정 영역을 식각하여 복수의 제1 트렌치를 형성하는 단계와, 상기 제1 트렌치 측벽에 제2 산화막을 형성하는 단계와, 상기 제1 트렌치가 매립되도록 제2 폴리실리콘막을 형성하는 단계와, 상기 제2 폴리실리콘막 상부의 일부를 산화시켜 제3 산화막을 형성하여 유전체막을 형성하는 단계와, 상기 하드 마스크막을 제거한 후, 도전막을 형성하고 패터닝하여 컨트롤 게이트를 형성

하는 단계와, 상기 컨트롤 게이트를 마스크로 노출된 상기 제2 폴리실리콘막을 식각하여 제2 트렌치를 형성하고, 상기 제2 트렌치가 매립되도록 절연막을 형성하여 소자분리막을 형성하는 단계를 포함하는 플래쉬 메모리 소자의 제조방법을 제공한다.

본 발명의 제2 실시예에 따른 플래쉬 메모리 소자의 제조방법은, 반도체 기판상에 이온 주입을 실시하는 단계와, 상기 반도체 기판 상부에 제1 산화막을 형성한 후 상기 제1 산화막 및 반도체 기판의 소정 영역을 식각하여 복수의 제1 트렌치를 형성하는 단계와, 상기 제1 트렌치 측벽에 제2 산화막을 형성하는 단계와, 상기 제1 트렌치가 매립되도록 제1 폴리실리콘막을 형성하는 단계와, 상기 제1 폴리실리콘막 상부의 일부를 산화시켜 제3 산화막을 형성하여 유전체막을 형성하는 단계와, 전체 구조 상부에 도전막을 형성하고 패터닝하여 컨트롤 게이트를 형성하는 단계와, 상기 컨트롤 게이트를 마스크로 노출된 상기 제1 폴리실리콘막을 식각하여 제2 트렌치를 형성하고, 상기 제2 트렌치가 매립되도록 절연막을 형성하여 소자분리막을 형성하는 단계를 포함하는 플래쉬 메모리 소자의 제조방법을 제공한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.

도 2a 내지 도 2e는 본 발명의 제1 실시예에 따른 자기 정렬 STI를 적용한 플래쉬 메모리 소자를 설명하기 위한 공정 순서에 따른 레이아웃도이고, 도 3a 내지 도 3f는 도 2a 내지 도 2e 각각에 대응하는 단면도이다.

도 3a는 도 2a의 선A-A를 절취한 상태의 단면도이다. 도 2a 및 3a를 참조하면, 이온 주입 공정을 실시하여 반도체 기판(100) 상에 접합부(J)를 형성한 후 반도체 기판(100) 상부에 제1 산화막(102)을 형성한다. 제1 산화막(102)은 두껍게 형성하는데, 반도체 기판(100)에 이온이 주입되어 있기 때문에 적은 열 공정으로도 두꺼운 제1 산화막(102)의 형성이 가능하다. 바람직하게는 300Å 내지 500Å의 두께로 형성한다.

그리고, 제1 산화막(102) 상부에 제1 폴리실리콘막(104) 및 하드 마스크막(106)을 형성한 후 소자 분리 마스크를 이용한 사진 및 식각 공정으로 하드 마스크막(106), 제1 폴리실리콘막(104), 제1 산화막(102) 및 반도체 기판(100)을 선택적으로 식각하여 복수의 제1 트렌치(108)를 형성한다. 여기서, 하드 마스크막(106)은 질화막을 이용하여 형성하는 것이 바람직하며, 제1 폴리실리콘막(104)은 도핑된 폴리실리콘막을 이용하여 형성하는 것이 바람직하다.

도 3b는 도 2b의 선A-A를 절취한 상태의 단면도이다. 도 2b 및 도 3b를 참조하면, 제1 트렌치(108) 측벽에 문턱 전압(Vt) 조절을 위한 이온 주입 공정을 실시한다. 제1 트렌치(108) 양측에 접합부(J)가 형성되어 제1 트렌치(108) 측벽을 따라 전자가 이동함으로 제1 트렌치(108) 측벽이 소자의 채널(channel) 영역이 된다. 따라서, 채널 길이를 종래보다 길게 할 수 있다. 그런데, 채널 길이가 짧으면 셀 누설(leakage)이 증가하게 되는데, 이를 방지하기 위해 많은 양의 이온을 주입하게 되고, 이로 인해, 디스터브(disturb)가 증가하여 제품 특성이 저하된다. 그러나, 본 발명은 채널 길이가 길어 아주 적은 양의 이온 주입만으로도 셀 누설을 억제할 수 있으므로 셀 문턱 전압(Vt)을 최소화할 수 있다. 또한, 이것은 채널 농도의 증가에 따라 악화되는 낸드 플래쉬 메모리의 디스터브 특성 향상을 의미하므로 제품 특성을 향상시킬 수 있다.

이후에, 산화(oxidation) 공정을 실시하여 제1 트렌치(108) 내에 측벽 산화막(110)을 형성한다. 여기서, 측벽 산화막(110)은 70Å 내지 100Å 정도의 두께로 형성하는 것이 바람직하다. 측벽 산화막(110) 형성시 제1 폴리실리콘막(104) 일부도 산화된다.

도 3c는 도 2c의 선A-A를 절취한 상태의 단면도이다. 도 2c 및 도 3c를 참조하면, 제1 트렌치(108)가 매립되도록 전체 구조 상부에 제2 폴리실리콘막(112)을 형성하고, 질화막(106) 상부가 노출될 때까지 평탄화하여, 제2 폴리실리콘막(112)을 분리시킨다. 여기서, 평탄화 공정은 화학적 기계적 연마공정(CMP; Chemical Mechanical Polishing)을 적용하는 것이 바람직하다. 이렇게 하면 제1 트렌치(108) 내에 매립된 제2 폴리실리콘막(112)은 플로팅 게이트로서의 역할을 하게 되고, 측벽 산화막(110)은 터널 산화막으로 작용하게 된다.

그리고, 산화 공정을 실시하여 제2 폴리실리콘막(112) 상부의 일부를 산화시켜 제2 산화막(114)을 형성한다. 여기서, 제2 폴리실리콘막(112)을 산화시키는 동안 제1 폴리실리콘막(104) 일부도 산화되어 제1 폴리실리콘막(104)의 측벽에 형성된 산화막의 두께가 더 두껍게 된다. 한편, 제2 산화막(114)은 제1 폴리실리콘막(104) 상부에서 300Å 내지 500Å의 두께로 형성되도록 한다. 산화 공정을 실시하여 형성된 제2 산화막(114)은 플래쉬 메모리 소자의 플로팅 게이트와 후속 공정에서 형성될 컨트롤 게이트 사이의 유전체막으로 작용하게 된다.

도 3d는 도 2d의 선A-A를 절취한 상태의 단면도이다. 도 2d 및 도 3d를 참조하면, 질화막(106)을 제거한 다음, 전체 구조 상부에 컨트롤 게이트용 도전막(116)을 증착한 후, 패터닝하여 플로팅 게이트와 서로 교차되는 라인 형태의 컨트롤 게이트(116)를 형성한다. 여기서, 컨트롤 게이트용 도전막은 폴리실리콘 혹은 폴리실리콘 및 텅스텐 실리사이드의 적층구조, 도전성 금속막 등을 이용하여 형성할 수 있다.

또한, 컨트롤 게이트용 도전막을 형성하기 전에 질화막 및 산화막을 더욱 형성하여 산화막/질화막/산화막으로 구성되는 유전체막을 형성할 수도 있다.

또한, 후속 공정을 용의하게 하기 위하여 질화막(106)을 제거한 후, 전면식각(etch back) 공정을 수행하여 제2 산화막(114)의 기울기를 제거한다. 이로 인해, 제2 산화막(114)의 측벽 코너(corner)의 간격을 확보할 수 있다. 바람직하게는 제2 산화막(114)의 높이는 150Å 내지 200Å이 되도록 형성한다.

도 3e는 도 2e의 선B-B를 절취한 상태의 단면도로서, 소자분리막(118)이 형성된 영역을 나타내고 있다.

도 2e 및 도 3e를 참조하면, 도 3d의 공정 이후, 컨트롤 게이트(116)들 사이에 노출된 제2 산화막(114) 및 제2 폴리실리콘막(112)을 제거하여 제2 트렌치(미도시)를 형성한 다음, 제2 트렌치 내부를 절연막으로 깎필하여 소자분리막(118)을 형성한다. 여기서, 제2 트렌치를 매립하는 절연막은 HDP(High Density Plasma) 산화막을 이용하며, 또한 소자 분리막(118)은 컨트롤 게이트(116) 높이까지 형성하는 것이 바람직하다.

도 3f는 도 2e의 선C-C를 절취한 상태의 단면도이다.

도 3f에 도시된 바와 같이, 본 발명에서는 제1 트렌치(108) 내에 측벽 산화막(110) 및 플로팅 게이트용 제1 폴리실리콘막(112)을 증착하여 플로팅 게이트를 형성하고, 컨트롤 게이트(116)들 사이에 노출된 제1 폴리실리콘막(112)을 제거하여 제2 트렌치를 형성한 다음, 제2 트렌치 내부를 절연막으로 형성하여 소자분리막(118)을 형성함으로써 플래쉬 메모리 소자를 형성한다. 따라서, 정보 저장을 위한 전자의 이동은 제1 트렌치(108) 내부에 형성된 측벽 산화막(110)을 통하여 이루어지게 되고, 측벽을 통한 전자의 이동량이 셀의 문턱전압을 결정하게 된다. 이렇게 조절된 문턱전압에 따라서 측벽 산화막(110) 계면을 따라 흐르는 전자의 이동량이 조절되어 정보의 저장을 판별할 수 있게 된다. 또한, 플로팅 게이트 간의 간섭을 완벽하게 차단할 수 있어 간섭 현상을 극복할 수 있다.

도 4a 내지 도 4d는 본 발명의 제2 실시예에 따른 일반적인(conventional) STI를 적용한 플래쉬 메모리 소자를 설명하기 위한 공정 순서에 따른 레이아웃도이고, 도 5a 내지 도 5e는 도 4a 내지 도 4d 각각에 대응하는 단면도이다.

도 5a는 도 4a의 선D-D를 절취한 상태의 단면도이다. 도 4a 및 5a를 참조하면, 이온 주입 공정을 실시하여 반도체 기판(200) 상에 접합부(J)를 형성한 후 반도체 기판(200) 상부에 제1 산화막(202)을 형성한다. 제1 산화막(202)은 두껍게 형성하는데, 반도체 기판(200)에 이온이 주입되어 있기 때문에 적은 열 공정으로도 두꺼운 제1 산화막(202)의 형성이 가능하다. 바람직하게는 300Å 내지 500Å의 두께로 형성한다.

소자 분리 마스크를 이용한 사진 및 식각 공정으로 제1 산화막(202) 및 반도체 기판(200)을 선택적으로 식각하여 복수의 제1 트렌치(208)를 형성한다.

도 5b는 도 4b의 선D-D를 절취한 상태의 단면도이다. 도 4b 및 도 5b를 참조하면, 제1 트렌치(208) 측벽에 문턱 전압(Vt) 조절을 위한 이온 주입 공정을 실시한다. 제1 트렌치(208) 양측에 접합부(J)가 형성되어 제1 트렌치(208) 측벽을 따라 전자가 이동함으로써 제1 트렌치(208) 측벽이 소자의 채널 영역이 된다. 따라서, 채널 길이를 종래보다 길게 할 수 있다. 그런데, 채널 길이가 짧으면 셀 누설이 증가하게 되는데, 이를 방지하기 위해 많은 양의 이온을 주입하게 되고, 이로 인해, 디스터브가 증가하여 제품 특성이 저하된다. 그러나, 본 발명은 채널 길이가 길어 아주 적은 양의 이온 주입만으로도 셀 누설을 억제할 수 있으므로 셀 문턱전압(Vt)을 최소화할 수 있다. 또한, 이것은 채널 농도의 증가에 따라 악화되는 낸드 플래쉬 메모리의 디스터브 특성 향상을 의미하므로 제품 특성을 향상시킬 수 있다.

이후에, 산화 공정을 실시하여 제1 트렌치(208) 내에 측벽 산화막(210)을 형성한다. 여기서, 측벽 산화막(210)은 70Å 내지 100Å 정도의 두께로 형성하는 것이 바람직하다. 측벽 산화막(210) 형성시 제1 폴리실리콘막(204) 일부도 산화된다.

제1 트렌치(208)가 매립되도록 전체 구조 상부에 폴리실리콘막(212)을 형성하고, 제1 산화막(202) 상부가 노출될 때까지 평탄화하여, 제2 폴리실리콘막(112)을 분리시킨다. 여기서, 평탄화 공정은 화학적 기계적 연마공정(CMP; Chemical Mechanical Polishing)을 적용하는 것이 바람직하다. 이렇게 하면 제1 트렌치(208) 내에 매립된 폴리실리콘막(212)은 플로팅 게이트로서의 역할을 하게 되고, 측벽 산화막(210)은 터널 산화막으로 작용하게 된다.

도 5c는 도 4c의 선D-D를 절취한 상태의 단면도이다. 도 4c 및 도 5c를 참조하면, 산화 공정을 실시하여 폴리실리콘막(212) 상부의 일부를 산화시켜 제2 산화막(214)을 형성한다. 여기서, 제2 산화막(214)은 제1 산화막(202) 상부에서 300Å 내지 500Å의 두께로 형성하는 것이 바람직하다. 산화 공정을 실시하여 두껍게 형성된 제2 산화막(214)은 플래쉬 메모리 소자의 플로팅 게이트와 후속 공정에서 형성될 컨트롤 게이트 사이의 유전체막으로 작용하게 된다. 그리고, 전체 구조 상부에 컨트롤 게이트용 도전막(216)을 증착한 후, 패터닝하여 플로팅 게이트와 서로 교차되는 라인 형태의 컨트롤 게이트(216)를 형성한다. 여기서, 컨트롤 게이트용 도전막은 폴리실리콘 혹은 폴리실리콘 및 텅스텐 실리사이드의 적층구조, 도전성 금속막등을 이용하여 형성할 수 있다.

또한, 컨트롤 게이트용 도전막을 형성하기 전에 질화막 및 산화막을 더욱 형성하여 산화막/질화막/산화막으로 구성되는 유전체막을 형성할 수도 있다.

도 5d는 도 4d의 선E-E를 절취한 상태의 단면도로서, 소자분리막(218)이 형성된 영역을 나타내고 있다.

도 4d 및 도 5d를 참조하면, 도 5c의 공정 이후, 컨트롤 게이트(216)들 사이에 노출된 제2 산화막(214)과 폴리실리콘막(212)을 제거하여 제2 트렌치를 형성한 후 제2 트렌치 내부를 절연막으로 형성하여 소자분리막(218)을 형성한다. 여기서, 제2 트렌치를 매립하는 절연막은 HDP(High Density Plasma) 산화막을 이용하며, 또한 소자분리막(218)은 컨트롤 게이트(216) 높이까지 형성하는 것이 바람직하다.

도 5e는 도 4d의 선F-F를 절취한 상태의 단면도이다.

도 5e에 도시된 바와 같이, 본 발명에서는 제1 트렌치(208) 내에 측벽 산화막(210) 및 플로팅 게이트용 폴리실리콘막(212)을 증착하여 플로팅 게이트를 형성하고, 컨트롤 게이트(216)들 사이에 노출된 제2 산화막(214)을 제거하여 제2 트렌치를 형성한 다음, 제2 트렌치 내부를 절연막으로 형성하여 소자분리막(218)을 형성함으로써 플래쉬 메모리 소자를 형성한다. 따라서, 정보 저장을 위한 전자의 이동은 제1 트렌치(208) 내부에 형성된 측벽 산화막(210)을 통하여 이루어지게 되고, 측벽을 통한 전자의 이동량이 셀의 문턱전압을 결정하게 된다. 이렇게 조절된 문턱전압에 따라서 측벽 산화막(210) 계면을 따라 흐르는 전자의 이동량이 조절되어 정보의 저장을 판별할 수 있게 된다. 또한, 플로팅 게이트 간의 간섭을 완벽하게 차단할 수 있어 간섭 현상을 극복할 수 있다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야에서 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

### 발명의 효과

상술한 바와 같이 본 발명에 의하면, 소자 분리막을 형성하기 위해 형성된 트렌치의 일부에 매립 플로팅 게이트를 형성하고, 소자 분리막에 분리되도록 함으로써 플로팅 게이트 사이의 간섭을 완벽하게 차단할 수 있다.

또한, 스텝 커버리지(step coverage)가 좋은 폴리실리콘막으로 트렌치를 갭필함으로써 갭필 능력을 향상시킬 수 있다.

또한, 매립 플로팅 게이트가 형성된 트렌치 둘레를 소자의 채널로 이용할 수 있기 때문에 채널길이를 길게 형성할 수 있어 문턱 전압(Vt) 조절을 위한 이온 주입 공정시 적은 양의 이온 주입만으로도 셀 누설을 억제할 수 있으므로 셀 문턱 전압(Vt)을 최소화할 수 있으며, 이로 인해 디스터브 특성을 향상시킬 수 있다.

### 도면의 간단한 설명

도 1은 종래 기술에 따른 플래쉬 메모리 소자의 제조방법을 설명하기 위해 도시한 단면도이다.

도 2a 내지 도 2e는 본 발명의 제1 실시예에 따른 자기 정렬 STI를 적용한 플래쉬 메모리 소자를 설명하기 위해 도시한 레이아웃도이다.

도 3a 내지 도 3f는 도 2a 내지 도 2e 각각에 대응하는 단면도이다.

도 4a 내지 도 4d는 본 발명의 제2 실시예에 따른 일반적인(conventional) STI를 적용한 플래쉬 메모리 소자를 설명하기 위해 도시한 레이아웃도이다.

도 5a 내지 도 5e는 도 4a 내지 도 4d 각각에 대응하는 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

100, 200 : 반도체 기판 102, 202 : 제1 산화막

104 : 제1 폴리실리콘막 106 : 질화막

108, 208 : 트렌치 110, 210 : 측벽 산화막

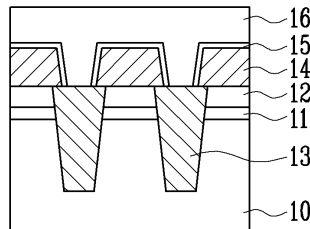
112 : 제2 폴리실리콘막 212 : 폴리실리콘막

114, 214 : 제2 산화막 116, 216 : 컨트롤 게이트

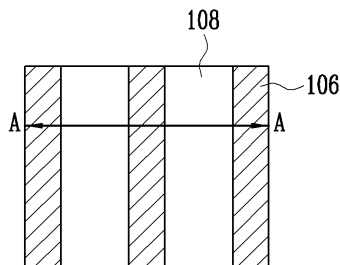
118, 218 : 소자분리막 J: 접합부

도면

도면1

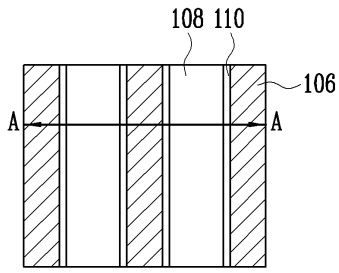


도면2a

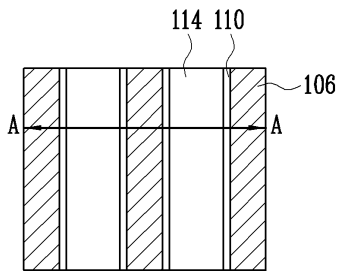




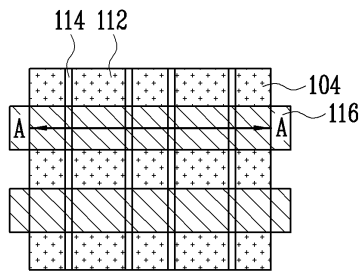
도면2b



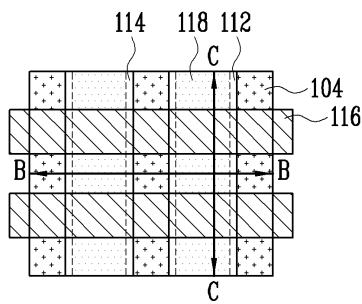
도면2c



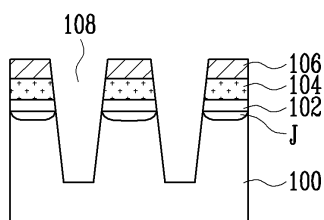
도면2d



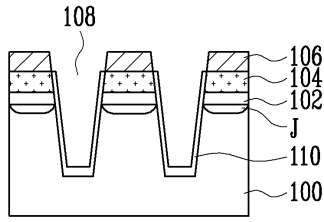
도면2e



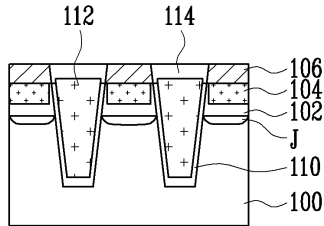
도면3a



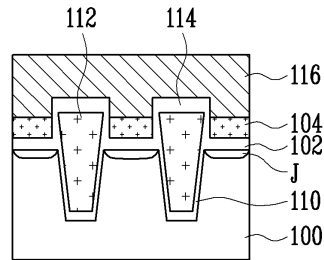
도면3b



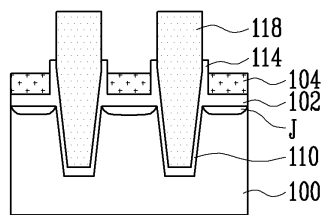
도면3c



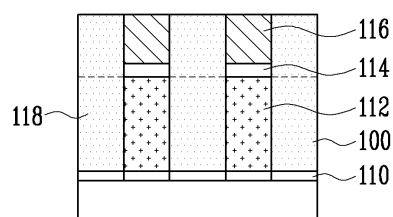
도면3d



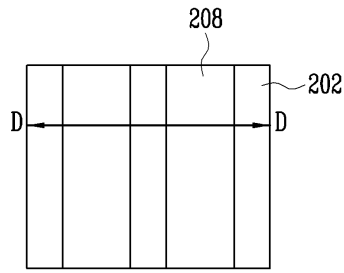
도면3e



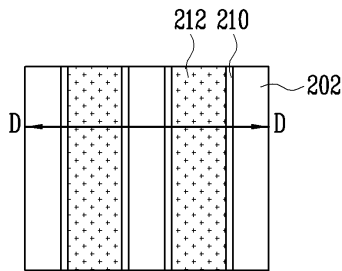
도면3f



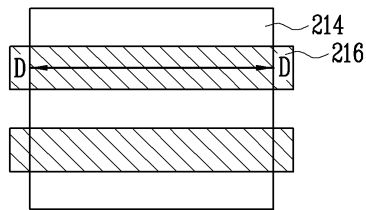
도면4a



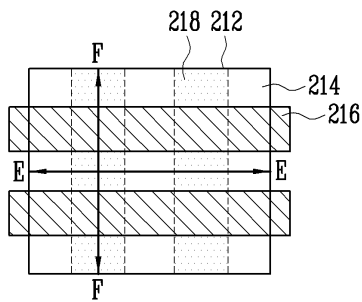
도면4b



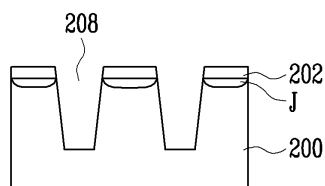
도면4c



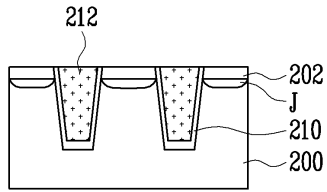
도면4d



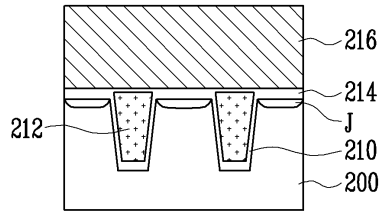
도면5a



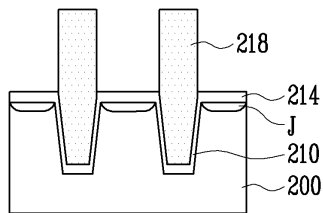
도면5b



도면5c



도면5d



도면5e

