

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7213360号  
(P7213360)

(45)発行日 令和5年1月26日(2023.1.26)

(24)登録日 令和5年1月18日(2023.1.18)

(51)国際特許分類		F I			
B 4 1 J	2/14 (2006.01)	B 4 1 J	2/14	6 1 1	
B 4 1 J	2/01 (2006.01)	B 4 1 J	2/01	4 0 1	
B 4 1 J	2/21 (2006.01)	B 4 1 J	2/01	4 5 1	
		B 4 1 J	2/21		

請求項の数 26 (全30頁)

(21)出願番号	特願2021-541203(P2021-541203)	(73)特許権者	511076424
(86)(22)出願日	令和1年7月31日(2019.7.31)		ヒューレット・パッカート デベロッ メント カンパニー エル・ピー・ Hewlett Packard De velopment Company, L.P.
(65)公表番号	特表2022-517409(P2022-517409 A)		アメリカ合衆国 テキサス州 7 7 3 8 9 スプリング エナジー ドライブ 1 0 3 0 0
(43)公表日	令和4年3月8日(2022.3.8)	(74)代理人	100087642
(86)国際出願番号	PCT/US2019/044446		弁理士 古谷 聡
(87)国際公開番号	WO2020/162969	(74)代理人	100082946
(87)国際公開日	令和2年8月13日(2020.8.13)		弁理士 大西 昭広
審査請求日	令和3年7月16日(2021.7.16)	(74)代理人	100195693
(31)優先権主張番号	PCT/US2019/016817		弁理士 細井 玲
(32)優先日	平成31年2月6日(2019.2.6)		
(33)優先権主張国・地域又は機関	米国(US)		
(31)優先権主張番号	PCT/US2019/016725		
(32)優先日	平成31年2月6日(2019.2.6)		
	最終頁に続く		最終頁に続く

(54)【発明の名称】 メモリ回路を備えた印刷コンポーネント

(57)【特許請求の範囲】

【請求項 1】

印刷コンポーネントのメモリ回路であって、

前記印刷コンポーネントに動作信号を伝達する複数の信号経路に接続するための、アナログパッドを含む複数のI/Oパッドと、

前記印刷コンポーネントに関連するメモリ値を記憶するためのメモリコンポーネントと、

メモリ読み取りを表す前記I/Oパッドを介してプリンタから前記印刷コンポーネントに伝達されている一連の動作信号に応答して、前記アナログパッドに前記プリンタへのアナログ応答信号を提供することにより、前記メモリ読み取りによって選択された前記印刷コンポーネントのメモリ要素に対応する前記メモリコンポーネントに記憶されたメモリ値を表すアナログ電気値を前記アナログパッド上に提供する制御回路と

を含む、メモリ回路。

【請求項 2】

前記制御回路は、メモリ書き込みを表す前記I/Oパッド上の一連の動作信号に応答して、前記メモリ書き込みによって識別された前記記憶されたメモリ値を更新する、請求項1に記載のメモリ回路。

【請求項 3】

前記アナログパッドにアクセスする非メモリ読み取り機能を表す前記I/Oパッドを介して前記印刷コンポーネントに伝達されている一連の動作信号に応答して、前記アナログ

パッドにアナログ応答信号を提供することにより、前記非メモリ読み取り機能に対応する記憶されたメモリ値を表すアナログ電気値を前記アナログパッド上に提供する、請求項 1 又は請求項 2 に記載のメモリ回路。

【請求項 4】

前記非メモリ読み取り機能は、少なくとも 1 つのアナログコンポーネントの読み取りを含む、請求項 3 に記載のメモリ回路。

【請求項 5】

前記少なくとも 1 つのアナログコンポーネントは、少なくとも 1 つの検知回路を含む、請求項 4 に記載のメモリ回路。

【請求項 6】

前記アナログパッドは、アナログ検知パッドである、請求項 1 ~ 5 の何れか一項に記載のメモリ回路。

【請求項 7】

前記アナログパッドは、アナログ検知回路に接続されている、請求項 1 ~ 6 の何れか一項に記載のメモリ回路。

【請求項 8】

前記メモリコンポーネントと前記制御回路は、同じ基板上にある、請求項 1 ~ 7 の何れか一項に記載のメモリ回路。

【請求項 9】

前記メモリコンポーネントは、前記メモリ値を記憶するメモリセルのアレイを含む、請求項 1 ~ 8 の何れか一項に記載のメモリ回路。

【請求項 10】

前記メモリ値は、ルックアップテーブルとして前記メモリコンポーネントに記憶されている、請求項 1 ~ 9 の何れか一項に記載のメモリ回路。

【請求項 11】

前記メモリ回路は、前記 I/O パッドを介して、前記印刷コンポーネントと並列に前記信号経路に結合されるものである、請求項 1 ~ 10 の何れか一項に記載のメモリ回路。

【請求項 12】

印刷コンポーネントであって、  
前記印刷コンポーネントの動作を制御するための動作信号を伝達するための、アナログパッドを含むいくつかの I/O パッドと、

前記 I/O パッドに結合され、流体アクチュエータのアレイを含む流体噴射回路と、  
前記 I/O パッドに結合されたメモリ回路であって、

前記印刷コンポーネントに関連するメモリ値を記憶するためのメモリコンポーネントと、

メモリ読み取りを表す前記 I/O パッドを介してプリンタから前記印刷コンポーネントに伝達されている一連の動作信号にตอบสนองして、前記メモリ読み取りによって選択された前記流体噴射回路のメモリ要素に対応する前記メモリコンポーネントに記憶されたメモリ値を表す前記プリンタへのアナログ応答信号を前記アナログパッド上に提供する制御回路と

を含むメモリ回路と

を含む、印刷コンポーネント。

【請求項 13】

前記制御回路は、メモリ書き込みを表す前記 I/O パッドによって伝達されている一連の動作信号にตอบสนองして、前記メモリ書き込みによって識別された記憶されたメモリ値を更新する、請求項 12 に記載の印刷コンポーネント。

【請求項 14】

前記制御回路は、前記アナログパッドにアクセスする非メモリ読み取り機能を表す前記 I/O パッドを介して前記印刷コンポーネントに伝達されている一連の動作信号にตอบสนองして、前記アナログパッドにアナログ応答信号を提供することにより、前記非メモリ読み取

10

20

30

40

50

り機能に対応する記憶されたメモリ値を表すアナログ電気値を前記アナログパッド上に提供する、請求項 1 2 又は請求項 1 3 に記載の印刷コンポーネント。

【請求項 1 5】

前記アナログパッドは、アナログ検知パッドである、請求項 1 2 ~ 1 4 の何れか一項に記載の印刷コンポーネント。

【請求項 1 6】

前記アナログパッドは、アナログ検知回路に接続されている、請求項 1 2 ~ 1 5 の何れか一項に記載の印刷コンポーネント。

【請求項 1 7】

前記流体噴射回路と前記メモリ回路は、別個の基板上にある、請求項 1 2 ~ 1 6 の何れか一項に記載の印刷コンポーネント。

10

【請求項 1 8】

前記メモリコンポーネントは、前記メモリ値を記憶するメモリセルのアレイを含む、請求項 1 2 ~ 1 7 の何れか一項に記載の印刷コンポーネント。

【請求項 1 9】

前記メモリ値は、ルックアップテーブルとして前記メモリコンポーネントに記憶されている、請求項 1 2 ~ 1 8 の何れか一項に記載の印刷コンポーネント。

【請求項 2 0】

前記メモリ回路は、前記流体噴射回路と並列に前記 I / O パッドに結合されている、請求項 1 2 ~ 1 9 の何れか一項に記載の印刷コンポーネント。

20

【請求項 2 1】

前記印刷コンポーネントは、プリントヘッドを含む、請求項 1 2 ~ 2 0 の何れか一項に記載の印刷コンポーネント。

【請求項 2 2】

前記印刷コンポーネントは、一体型プリントヘッドを含む、請求項 1 2 ~ 2 0 の何れか一項に記載の印刷コンポーネント。

【請求項 2 3】

印刷コンポーネントであって、

複数の流体噴射ダイであって、各ダイが、

流体アクチュエータのアレイと、

メモリ要素のアレイであって、各メモリ要素が、前記印刷コンポーネントに関連するデータを表すデータビットを記憶する、メモリ要素のアレイと、

前記印刷コンポーネントの動作を制御するための動作信号を伝達するためのいくつかの I / O パッドであって、前記流体噴射ダイの各々に並列に接続されたアナログ検知パッドを含む、いくつかの I / O パッドと、

前記 I / O パッドに結合されたメモリ回路であって、

前記印刷コンポーネントに関連するメモリ値を記憶するためのメモリコンポーネントと、

30

前記流体噴射ダイのメモリ要素のメモリ読み取りを表す前記 I / O パッドを介して プリンタから前記印刷コンポーネントに伝達されている一連の動作信号に 応答して、前記メモリ読み取りによって選択された前記メモリ要素に対応する 前記メモリコンポーネントに記憶されたメモリ値を表す前記プリンタへのアナログ応答信号を 前記アナログ検知パッド上に提供する制御回路と

40

を含むメモリ回路と

を含む、印刷コンポーネント。

【請求項 2 4】

前記複数の流体噴射ダイは、カラープリントペンを形成するように配置されている、請求項 2 3 に記載の印刷コンポーネント。

【請求項 2 5】

前記カラープリントペンは、シアン色のプリントペンを含む第 1 の流体噴射ダイ、黄色の

50

プリントペンを含む第2の流体噴射ダイ、及びマゼンタのプリントペンを含む第3の流体噴射ダイを含む、請求項24に記載の印刷コンポーネント。

【請求項26】

前記複数の流体噴射ダイのうちの第1の部分は、カラープリントペンを形成するように構成され、第2の部分は、単色プリントペンを形成するように構成されている、請求項23～25の何れか一項に記載の印刷コンポーネント。

【発明の詳細な説明】

【背景技術】

【0001】

印刷コンポーネントには、流体室及び流体アクチュエータをそれぞれ含むノズル及び/又はポンプのアレイを含むものがあり、流体アクチュエータを作動させることにより、流体室内の流体の移動を引き起こすものがある。一部の例示的流体ダイは、プリントヘッドであってもよく、流体は、インク又は印刷剤に対応する場合がある。印刷コンポーネントの例には、2D及び3D印刷システム及び/又はその他の高精度液体散布システムのためのプリントヘッドが含まれる。

10

【図面の簡単な説明】

【0002】

【図1】一例による、印刷コンポーネントのメモリ回路を示すブロック概略図である。

【図2】一例による、印刷コンポーネントのメモリ回路を示すブロック概略図である。

【図3】一例による、印刷コンポーネントのメモリ回路を示すブロック概略図である。

20

【図4】一例による、印刷コンポーネントのメモリ回路を示すブロック概略図である。

【図5】一例による、印刷コンポーネントのメモリ回路を示すブロック概略図である。

【図6A】一例による、メモリ回路を印刷コンポーネントに接続するための可撓性配線基板を示すブロック概略図である。

【図6B】一例による、メモリ回路を印刷コンポーネントに接続するための可撓性配線基板を示すブロック概略図である。

【図7】一例による、印刷コンポーネントのメモリ回路を示すブロック概略図である。

【図8】一例による、印刷コンポーネントのメモリ回路を示すブロック概略図である。

【図9】一例による、印刷コンポーネントのメモリ回路を示すブロック概略図である。

【図10】一例による、印刷コンポーネントのメモリ回路を示すブロック概略図である。

30

【図11】一例による、メモリ回路を印刷コンポーネントに接続するための可撓性配線基板を示すブロック概略図である。

【図12】一例による、印刷コンポーネントのメモリ回路を示すブロック概略図である。

【図13】一例による、印刷コンポーネントのメモリ回路を示すブロック概略図である。

【図14】一例による、メモリ回路を印刷コンポーネントに接続するための可撓性配線基板を示すブロック概略図である。

【図15】一例による、流体噴射システムを示すブロック概略図である。

【0003】

図面全体を通して、同一の参照番号は、類似しているが必ずしも同一ではない要素を示している。図は必ずしも縮尺どおりではなく、一部の部品のサイズは、図示されている例をより明確に示すために誇張されている場合がある。さらに、図面は、説明と一致する種々の例及び/又は実施形態を提供するが、説明が、図面に提供された例及び/又は実施形態に限定されることはない。

40

【発明を実施するための形態】

【0004】

[詳細な説明]

以下の詳細な説明では、本明細書の一部を形成する添付の図面が参照される。添付の図面には、本開示を実施することができる種々の特定の例が、例として示されている。本開示の範囲から逸脱することなく、他の例を利用することができ、構造的又は論理的な変更を行うことができることを理解されたい。したがって、以下の詳細な説明は、限定的な意

50

味で解釈されるべきではなく、本開示の範囲は、添付の特許請求の範囲によって定義される。本明細書に記載された様々な例の特徴は、特に断りのない限り、部分的又は全体的に互いに組み合わせられてもよいことを理解されたい。

#### 【0005】

例示する流体ダイは、流体アクチュエータ（例えば、流体を噴射及び再循環するため）を含む場合がある。流体アクチュエータの例には、熱抵抗ベースのアクチュエータ、圧電膜ベースのアクチュエータ、静電膜アクチュエータ、機械的/衝撃駆動膜アクチュエータ、磁気制限駆動アクチュエータ、あるいは、電氣的作動にตอบสนองして流体の移動を引き起こすことができる他の適当なデバイスが含まれる。本明細書に記載される流体ダイは、流体アクチュエータのアレイと呼ばれることがある複数の流体アクチュエータを含む場合がある。作動イベントとは、流体移動を引き起こすための流体ダイの流体アクチュエータの単一又は同時の作動を指す場合がある。作動イベントの例は、流体発射イベントであり、これによって流体は、ノズルを通して噴射される。

10

#### 【0006】

例示する流体ダイでは、流体アクチュエータのアレイは、流体アクチュエータの複数の組を成すように配置される場合がある。そのような各組の流体アクチュエータは、「プリミティブ」又は「発射プリミティブ」と呼ばれることがある。プリミティブ内の流体アクチュエータの数は、プリミティブのサイズと呼ばれることがある。一部の例では、各プリミティブの一群の流体アクチュエータを、同じ一群の作動アドレスを使用してアドレス指定することができ、プリミティブの各流体アクチュエータは、その一群の作動アドレスのうち異なる作動アドレスに対応している。アドレスは、アドレスバスを介して伝達される。一部の例では、作動イベントの際に、各プリミティブ内の、アドレスバス上のアドレスに対応する流体アクチュエータが、発射信号（発射パルスとも呼ばれる）にตอบสนองして、そのプリミティブに対応する選択データ（ノズルデータ又はプリミティブデータとも呼ばれることがある）の状態（例えば、選択ビット状態）に基づいて作動（例えば、発射）される。

20

#### 【0007】

場合によっては、流体ダイの電氣的及び流體的動作の制約から、作動イベントの際に同時に作動できる流体アクチュエータの数は、制限される場合がある。プリミティブによれば、そのような動作上の制約に適合するために、所与の作動イベントの際に同時に作動できる流体アクチュエータのサブセットを選択することが容易になる。

30

#### 【0008】

例として、ある流体ダイが4つのプリミティブを含み、各プリミティブが8つの流体アクチュエータを有し（例えば、各流体アクチュエータが一群のアドレス0～7のうち異なるアドレスに対応し）ており、電氣的及び流體的制約から、各プリミティブにつき1つの流体アクチュエータに作動が制限される場合、所与の作動イベントに対して、合計4つの流体アクチュエータ（各プリミティブから1つの流体アクチュエータ）を同時に作動させることができる。例えば、第1の作動イベントに対しては、アドレス「0」に対応する各プリミティブのそれぞれの流体アクチュエータが作動される場合がある。第2の作動イベントに対しては、アドレス「5」に対応する各プリミティブのそれぞれの流体アクチュエータが作動される場合がある。理解されるように、このような例は、単に例示の目的で提供されるものであり、本明細書で企図される流体ダイは、各プリミティブにつきもっと多くの又はもっと少ない数の流体アクチュエータを含む場合があり、各ダイにつきもっと多くの又はもっと少ない数のプリミティブを含む場合がある。

40

#### 【0009】

例示する流体ダイは、流体室、オリフィス、及び/又は、他の特徴を含む場合がある。特徴は、エッチング、微細加工（例えば、フォトリソグラフィー）、マイクロマシニングプロセス、若しくは他の適当なプロセス又はそれらの組み合わせにより流体ダイの基板に形成された種々の表面によって画定される場合がある。基板の例には、シリコンベースの基板、ガラスベースの基板、ガリウムヒ素ベースの基板、及び/又は、微細加工デバイス

50

及び構造のための他のそのような適当なタイプの基板が含まれる。本明細書で使用される場合、流体室は、ノズルオリフィスと流体的に連通している噴射室を含み、ノズルオリフィスを通して流体を噴射することができる場合があり、また、流体チャネルを含み、流体チャネルを通して流体を送達できる場合がある。一部の例では、流体チャネルは、マイクロ流体チャネルである場合がある。本明細書で使用されるように、マイクロ流体チャネルは、少量の流体（例えば、ピコリットルスケール、ナノリットルスケール、マイクロリットルスケール、ミリリットルスケールなど）の送達が容易になるように、十分に小さいサイズ（例えば、ナノメートルサイズのスケール、マイクロメートルサイズのスケール、ミリメートルサイズのスケールなど）のチャネルに対応する場合がある。

#### 【0010】

一部の例では、流体アクチュエータは、ノズルの一部として構成される場合がある。その場合、ノズルは、流体アクチュエータの他に、ノズルオリフィスと流体的に連通する噴射室を含む場合がある。流体アクチュエータは、流体アクチュエータの作動により流体室内の流体の移動が引き起こされ、それによって、ズルオリフィスを介した流体室からの流体滴の噴射が引き起こされるように、流体室に対して相対的に配置される。そのため、ノズルの一部として構成された流体アクチュエータは、流体噴射器又は噴射アクチュエータと呼ばれることがある。

#### 【0011】

一部の例では、流体アクチュエータは、ポンプの一部として構成される場合がある。その場合、ポンプは、流体アクチュエータの他に、流体チャネルを含む場合がある。流体アクチュエータは、流体アクチュエータの作動により流体チャネル（例えば、マイクロ流体チャネル）内に流体移動が生成され、それによって、流体ダイ内の流体が例えば流体供給源とノズルとの間で送達されるように、流体チャネルに対して相対的に配置される。ダイ内での流体の移動/ポンプ輸送は、マイクロ再循環と呼ばれることがある。流体チャネル内で流体を送達するように構成された流体アクチュエータは、非噴射アクチュエータ又はマイクロ再循環アクチュエータと呼ばれることがある。

#### 【0012】

一例によるノズルでは、流体アクチュエータは、サーマルアクチュエータを含む場合がある。その場合、流体アクチュエータの作動（「発射」と呼ばれることもある）により流体が加熱され、流体室内にガス状の駆動気泡が形成され、それによってノズルオリフィスからの流体滴の噴射が引き起こされる。上記のように、流体アクチュエータは、種々のアレイ（例えば、列）を成すように配置される場合がある。その場合、流体アクチュエータは、流体噴射器及び/又はポンプとして実施される場合があり、流体噴射器の選択的動作により、流体滴の噴射が引き起こされ、ポンプの選択的動作により、流体ダイ内の流体の移動が引き起こされる。一部の例では、流体アクチュエータのアレイは、種々のプリミティブを成すように配置される場合がある。

#### 【0013】

流体ダイによっては、データをデータパケットの形で受信するものがある。データパケットは、発射パルス群（FPG）又は発射パルス群データパケットと呼ばれることもある。一部の例では、そのようなデータパケットは、設定データや選択データを含む場合がある。例によっては、設定データは、ダイに搭載された種々の機能を設定するためのデータを含む場合があり、例えば、発射動作の一部として作動される流体アクチュエータのアドレスを表すアドレスビット、発射パルス特性を設定するための発射パルスデータ、及び、加熱や検知のような熱による動作を設定するためのサーマルデータを含む場合がある。例によっては、データパケットは、設定データを含むヘッド部分及びテール部分、並びに、選択（プリミティブ）データを含む本体部分を有するように構成される。例示する流体ダイでは、データパケットの受信にตอบสนองして、ダイ上の制御回路は、アドレスデコーダ/ドライバを使用して、アドレスをアドレスラインに提供し、作動ロジック（論理回路）を使用して、選択された流体アクチュエータを作動させ（例えば、アドレス、選択データ、及び発射パルスに基づいて）、設定ロジックを使用して、例えば設定データ及びモード信号

10

20

30

40

50

に基づいて、発射パルス構成、亀裂検知動作、及び熱による動作のようなダイ上の機能の動作を設定する。

【 0 0 1 4 】

一部の例示的流体ダイは、流体アクチュエータの他に、プリンタのような外部デバイスとの間で情報（例えば、メモリビット）を通信する、ダイに搭載されたメモリを含む場合がある。これは、例えば、流体の噴射を調整するための流体アクチュエータや他のデバイス（例えば、ヒーターや亀裂センサー）の動作といった、流体ダイの動作の制御を支援するためである。例えば、そのような情報の例には、熱的挙動、オフセット、領域情報、カラーマップ、流体レベル、及びノズルの数が含まれ得る。

【 0 0 1 5 】

メモリは通常、オーバーヘッド回路（アドレス、デコード、読み取り、書き込みモードなど）を含み、オーバーヘッド回路は、実施するのにコストがかかり、ダイ上の比較的大量のシリコン領域を使用する。ただし、一部の例示的流体ダイでは、データの選択、作動、及び流体アクチュエータのアレイへの転送に、同様の回路が使用されるため、データを選択して流体アクチュエータに転送するための制御回路の多目的部分（例えば、高速データパスの部分を含む）は、メモリアレイのメモリ要素も選択する。

【 0 0 1 6 】

マルチバスアーキテクチャに関連する空間をさらに節約し、複雑さを低減するために、一部の例示的流体ダイは、シングルレーンアナログバスを採用している。シングルレーンアナログバスは、メモリ要素と並列に通信するように接続され、共有シングルレーンアナログバス（検知バスとも呼ばれる）を介してメモリ要素との間で情報を読み書きする。一部の例では、シングルレーンバスは、メモリ要素を個別に読み書きすることができ、又はメモリ要素の異なる組み合わせを並列に読み書きすることができる。さらに、一部の例示的流体ダイは、亀裂センサー、温度センサー、及び発熱素子のようなデバイスを含む場合があり、これらも、検知や制御のために、シングルレーンアナログバスに接続される場合がある。

【 0 0 1 7 】

ダイに搭載されたメモリを有する例示的流体ダイでは、データパケットは、流体作動動作の一部として作動させる流体アクチュエータを選択するための選択データを伝達する他に、メモリアクセス動作（例えば、読み取り / 書き込み動作）の一部としてアクセスされるメモリ要素を選択するための選択データを伝達する場合がある。流体作動モードとメモリアクセスモードのような異なる動作モード間を区別するために、例示的流体ダイは、異なる動作モードに対して異なる動作プロトコルを使用することができる。例えば、流体ダイは、データパッド（DATA）を介して受信したデータ（例えば、データパケット）、クロックパッド（CLK）を介して受信したクロック信号、モードパッド（MODE）を介して受信したモード信号、及び発射パッド（FIRE）を介して受信した発射信号のような、あるプロトコルの一連の動作信号を使用して、流体アクチュエータの動作を識別し、別の一連のそのような信号を使用して、メモリアクセス動作（例えば、読み取りや書き込み）を識別する場合がある。

【 0 0 1 8 】

例示的流体ダイにおいて、ダイに搭載されるメモリ要素は、ワンタイムプログラマブル（OTP）要素であってもよい。製造時に、情報は、例えば、流体ダイがプリントヘッド又はペンの一部として構成された後のような製造プロセス中の遅い時期に、メモリ要素に書き込まれる場合がある。メモリに欠陥があることが判明した場合（例えば、正しくプログラムされない1つ以上の故障したビットがある場合）、流体ダイは、正しく機能しない可能性があり、したがって、流体ダイ、プリントヘッド、及びペンにも欠陥がある可能性がある。また、メモリのオーバーヘッド回路が流体アクチュエータの選択作動回路と共有されている場合であっても、ダイに搭載されたメモリ要素を有することで、シリコン領域は消費され、流体ダイの寸法は大きくなる。

【 0 0 1 9 】

10

20

30

40

50

本明細書でさらに詳しく説明されるように、本開示は、例えば、流体アクチュエータのアレイを有する流体ダイを含む、プリントヘッド又はプリントペンのような印刷コンポーネントを提供する。流体ダイは、流体アクチュエータの噴射動作のような流体ダイの動作を制御するための動作信号を伝達するいくつかの入出力（I/O）端子に結合される。I/O端子は、アナログ検知端子を含む。印刷コンポーネントは、流体ダイとは別の、I/O端子に結合されたメモリダイを含む。メモリダイは、印刷コンポーネントに関連するメモリ値を記憶しており、例えば、製造データ、熱的挙動、オフセット、領域情報、カラーマップ、ノズルの数、及び流体の種類などに関連するメモリ値を記憶している。一例によれば、メモリダイは、記憶されたメモリ値のメモリアクセスシーケンスを表す動作信号をI/O端子上で検出することに対応して、そのメモリアクセスシーケンスに対応する記憶されたメモリ値に基づいて、アナログ信号を検知端子に提供する。

10

#### 【0020】

本明細書でさらに詳しく説明されるように、一例として、メモリダイは、流体ダイ上の欠陥のあるメモリアレイを置き換え、又はその代わりとなり、それによって流体ダイ、及び流体ダイを使用する印刷コンポーネント（例えば、プリントペン）を使用可能な状態に維持する。別の例では、流体ダイ上のメモリアレイの代わりにメモリダイを使用することより、流体ダイ、及び流体ダイを使用するプリントヘッドを小型化することができる。別の例では、流体ダイを使用して、流体ダイ上のメモリアレイを補助することができる（例えば、メモリ容量を拡張するために）。

#### 【0021】

20

図1は、本開示の一例による、印刷コンポーネント10のような印刷コンポーネントのメモリ回路30を概略的に示すブロック概略図である。メモリ回路30は、制御回路32と、印刷コンポーネント10の動作に関連するいくつかのメモリ値36を記憶するメモリコンポーネント34とを含む。メモリコンポーネント34は、例えば、EPROM、EEPROM、フラッシュ、NVRAM、ヒューズのような任意数の不揮発性メモリ（NVM）を含む、任意の適当な記憶要素を含む場合がある。一例において、メモリ値36は、ルックアップテーブルとして記憶された値であってもよい。そのようなルックアップテーブルは、索引データのアレイであってもよく、各メモリ値は、対応するアドレス又は索引を有する場合がある。種々の例において、各メモリ値36は、「0」又は「1」のビット状態を有するデータビットを表し、又は、「0」及び「1」に対応するアナログ値（例えば、電圧又は電流）を表している。種々の例において、回路30は、ダイである。

30

#### 【0022】

メモリ回路30は、動作信号を印刷コンポーネント10に伝達する複数の信号経路41に接続するためのいくつかの入出力（I/O）パッド40を含む。一例において、複数のI/Oパッド40は、CLKパッド42、データパッド44、発射パッド46、モードパッド48、及びアナログパッド50を含む。これらについては、以下でさらに詳しく説明される。種々の例において、制御回路32は、I/Oパッド40を介して印刷コンポーネント10に伝達される動作信号を監視する。一例において、制御回路32は、メモリ読み取り（例えば、「読み取り」プロトコル）を表す一連の動作信号を検出すると、アナログ電気信号をアナログパッド50に提供することにより、そのメモリ読み取りによって選択された記憶されたメモリ値36を表すアナログ電気値をアナログパッド50上に提供する。種々の例において、アナログパッド50に提供されるアナログ電気信号は、アナログ電圧信号とアナログ電流信号のうち的一方であってもよく、アナログ電気信号は、電圧レベルと電流レベルのうち的一方であってもよい。種々の例において、アナログパッド50は、アナログ検知回路に接続されたアナログ検知パッドであってもよい。アナログパッド50は、本明細書では、検知パッド50と呼ばれることもある。

40

#### 【0023】

一例において、制御回路32は、メモリ書き込み（「書き込み」プロトコル）を表す一連の動作信号を検出すると、記憶されたメモリ値の値を調節する。

#### 【0024】

50

図 2 は、一例による、印刷コンポーネント 10 のメモリダイ 30 を概略的に示すブロック概略図である。印刷コンポーネント 10 は、プリントペン、プリントカートリッジ、又はプリントヘッドであってもよく、あるいは、いくつかのプリントヘッドを含む場合がある。種々の例において、印刷コンポーネント 10 は、印刷システムにおいて取り外し可能及び交換可能であってもよい。印刷コンポーネントは、詰め替え可能なデバイスであってもよく、インクのような流体を入れるためのタンク、チャンバー、又は容器を含む場合がある。印刷コンポーネントは、流体を入れるための交換可能な容器を含む場合がある。

#### 【 0 0 2 5 】

一例において、印刷コンポーネント 10 は、流体噴射回路 20、メモリ回路 30、及びいくつかの入出力 ( I / O ) パッド 40 を含む。流体噴射回路 20 は、流体アクチュエータ 26 のアレイ 24 を含む。種々の例において、流体アクチュエータ 26 は、いくつかのプリミティブを形成するように構成される場合があり、各プリミティブが、いくつかの流体アクチュエータ 26 を含む場合がある。流体アクチュエータ 26 の一部は、流体噴射用ノズルの一部として構成される場合があり、別の部分は、流体循環用ポンプの一部として構成される場合がある。一例において、流体噴射回路 20 は、ダイを含む。

#### 【 0 0 2 6 】

一例において、メモリ回路 30 の I / O パッド 40 は、CLK パッド 42、データパッド 44、発射パッド 46、モードパッド 48、及びアナログパッド 50 を含む。これらのパッドは、印刷コンポーネント 10 とプリンタ 60 のような別個のデバイスとの間で流体噴射回路 20 を動作させるためのいくつかのデジタル及びアナログ動作信号を伝達する複数の信号経路に接続するためのものである。CLK パッド 42 は、クロック信号を伝達することができる。データパッド 44 は、設定データ及び選択データを含むデータ (例えば、発射パルス群 ( F P G ) データパケットの形のデータ) を伝達することができる。発射パッドは、流体噴射回路 20 の動作 (例えば、選択された流体アクチュエータ 24 の動作など) を開始するための発射パルスのような発射信号を伝達することができる。モードパッド 48 は、流体噴射回路 20 の様々な動作モードを知らせる (示す) ことができる。そして、検知パッド 50 は、流体噴射回路 20 の検知要素 (例えば、亀裂センサー、温度センサー、ヒーターなど) 及び流体噴射回路 20 の記憶要素 (例えば、以下でさらに詳しく説明される) の検知及び動作のためのアナログ電気信号を伝達することができる。

#### 【 0 0 2 7 】

一例において、メモリ回路 30 のメモリコンポーネント 34 のメモリ値 36 は、印刷コンポーネント 10 に関連するメモリ値であり、例えば、ノズルの数、インクレベル、動作温度、製造情報のような流体噴射回路 20 の動作に関連するメモリ値を含む。種々の例において、制御回路 32 は、上記と同様に、メモリ読み取り (例えば、「読み取り」プロトコル) を表す一連の動作信号を検出すると、アナログ電気信号をアナログパッド 50 に提供することにより、メモリ読み取りによって選択された記憶されたメモリ値 36 を表すアナログ電気値をアナログパッド 50 上に提供する。

#### 【 0 0 2 8 】

流体噴射回路 20 が流体ダイとして実施される例では、メモリ回路 30 を流体噴射回路 20 とは別個に配置することにより、そのような流体ダイを、より小さな寸法で作製することができる。したがって、流体ダイ 20 を含むプリントヘッドは、より小さな寸法を有することができる。

#### 【 0 0 2 9 】

一例において、流体噴射回路 20 は、印刷コンポーネント 10 及び流体噴射回路 20 の動作に関連する種々のメモリ値を記憶するいくつかのメモリ要素 29 を含むメモリアレイ 28 を含む場合がある。一例において、メモリアレイ 28 が欠陥のあるメモリ要素 29 を含む場合、メモリ回路 30 は、メモリ要素 29 に記憶された値を記憶されたメモリ値 36 で置き換える、メモリアレイ 28 の代替メモリ (置換メモリ) としての働きをする場合がある。別の例において、メモリ回路 30 は、メモリアレイ 28 を補助する (流体噴射回路 20 に関連する記憶容量を増加させる) 場合がある。以下でさらに詳しく説明されるよう

10

20

30

40

50

に、一例において、例えばダイに搭載された欠陥のあるメモリアレイ 28 を交換又は置き換えるために使用される場合、メモリ回路 30 は、オーバーレイ配線基板（例えば、可撓性オーバーレイ）を介して印刷コンポーネント 10 に接続される場合があり、メモリ回路 30 は、いくつかの I/O パッド 40 の上に重なり、それらの I/O パッド 40 と接触するパッドを含む場合がある。

#### 【0030】

図 3 は、本開示の一例による、メモリアレイ 28 を有する流体噴射回路 20 を含む印刷コンポーネント 10 に接続されたメモリ回路 30、及びメモリ回路 30（例えば、メモリダイ）を概略的に示すブロック概略図である。一例において、以下でさらに詳しく説明されるように、例えば、メモリアレイ 28 に欠陥がある場合、メモリ回路 30 は、流体噴射回路 20 のメモリアレイ 28 を置き換える。

10

#### 【0031】

流体噴射回路 20 は、流体アクチュエータ 26 のアレイ 24、及びメモリ要素 29 のアレイ 28 を含む。一例において、流体アクチュエータ 26 のアレイ 24 及びメモリ要素 29 のアレイ 28 はそれぞれ、列を形成するように配列され、各列は、プリミティブと呼ばれる種々のグループを成すように構成される。各プリミティブ  $P_0 \sim P_M$  は、流体アクチュエータ  $F_0 \sim F_N$  として示されているいくつかの流体アクチュエータと、メモリ要素  $M_0 \sim M_N$  として示されているいくつかのメモリ要素とを含む。各プリミティブ  $P_0 \sim P_M$  は、アドレス  $A_0 \sim A_N$  として示されている同じ組のアドレスを使用する。一例において、各流体アクチュエータ 26 は、同じアドレスによってアドレス指定可能な対応するメモリ要素 29 を有する。例えば、プリミティブ  $P_0$  の流体アクチュエータ  $F_0$  とメモリ要素  $M_0$  はそれぞれ、アドレス  $A_0$  に対応するといった具合である。

20

#### 【0032】

一例において、各流体アクチュエータ 26 は、破線のメモリ要素 29 によって示されるように、2つの対応するメモリ要素 29 のような2つ以上の対応するメモリ要素 29 を有する場合がある。この場合、メモリ要素 29 のアレイ 28 は、列 28<sub>1</sub> と列 28<sub>2</sub> のようなメモリ要素 29 の2つの列を形成するように構成されている。他のメモリ要素はそれぞれ、対応するアドレスを共有する。他の例では、各流体アクチュエータ 26 は、3つ以上の対応するメモリ要素 29 を有する場合がある。この場合、他のメモリ要素 29 はそれぞれ、メモリアレイ 28 のメモリ要素 29 の追加の列の一部として配置される。一例によれば、以下でさらに詳しく説明されるように、メモリ要素 29 の2つ以上の列が使用され、2つ以上のメモリ要素 29 が同じアドレスを共有している場合、発射パルス群データパケット内の列ビットを使用して、メモリ要素 29 の各列を個別にアドレス指定（すなわち、アクセス）することにより、アクセスされる列を識別することができる。

30

#### 【0033】

一例において、流体噴射回路 20 は、流体噴射回路 30 の状態を検知するために、例えば、温度センサー及び亀裂センサーのような、センサー  $S_0 \sim S_x$  として示されているいくつかのセンサー 70 を含む場合がある。一例において、メモリ要素 29 及びセンサー 70 は、以下でさらに詳しく説明されるように、プリンタ 60 などによるアクセスのために、例えば検知ライン 52 を介して、検知パッド 50 に選択的に結合される場合がある。一例において、流体噴射回路 20 の種々の領域における亀裂や温度の測定結果のような情報のプリンタ 60 への伝達、及びメモリ要素 29 に記憶された情報（例えば、熱的挙動、オフセット、カラーマッピング、ノズルの数など）によれば、検出された状況に応じた、流体噴射回路 20 の動作（流体噴射を含む）のための命令の計算及び調節が可能になる。

40

#### 【0034】

一例において、流体噴射回路 20 は、流体アクチュエータ 26 のアレイ 24、メモリ要素 29 のアレイ 28、及びセンサー 70 の動作を制御するための制御回路 80 を含む。一例において、制御回路 80 は、アドレスデコーダ/ドライバ 82、作動/選択ロジック 84、設定レジスタ 86、メモリ設定レジスタ 88、及び書き込み回路 89 を含む。アドレスデコーダ/ドライバ 82 及び作動/選択ロジック 84 は、流体アクチュエータ 26 のア

50

レイ 24 へのアクセスの制御とメモリ要素 29 のアレイ 28 へのアクセスの制御に共用される。

【0035】

一例において、流体作動イベントの際に、制御ロジック 80 は、プリンタ 60 などから、データパッド 44 を介して発射パルス群 (FPG) データパケットを受信する。一例において、FPG データパケットは、アドレスデータのような設定データを含むヘッド部分と、アクチュエータ選択データを含む本体部分とを含む。各選択データビットは、選択状態 (例えば、「1」又は「0」) を有し、各選択データビットは、プリミティブ  $P_0 \sim P_M$  のうちの異なる 1 つに対応している。アドレスデコーダ/ドライバ 82 は、例えばアドレスバス上のデータパケットアドレスデータに対応するアドレスをデコードし、提供する。一例において、作動ロジック 84 は、(プリンタ 60 などから) 発射パッド 46 を介して発射パルスを受信することに対応して、対応する選択ビットがセットされている場合 (例えば、「1」の状態である場合)、各プリミティブ  $P_0 \sim P_M$  において、アドレスデコーダ/ドライバから提供されたアドレスに対応する流体アクチュエータを発射する (作動させる)。

10

【0036】

同様に、種々の例によれば、メモリアクセス動作の際に、制御ロジック 80 は、プリンタ 60 などから、データパッド 44 を介して発射パルス群 (FPG) データパケットを受信する。ただし、メモリアクセス動作の際には、FPG データパケットの本体部分は、アクチュエータ選択データを含む代わりに、メモリ選択データを含む。各選択データビットは、選択状態 (例えば、「0」又は「1」) を有し、プリミティブ  $P_0 \sim P_M$  のうちの異なる 1 つに対応している。一例において、作動ロジック 84 は、発射パッド 46 を介して発射パルスを受信することに対応して、対応する選択ビットがセットされている場合 (例えば、「1」の状態である場合)、各プリミティブ  $P_0 \sim P_M$  において、アドレスデコーダ/ドライバ 82 から提供されたアドレスに対応するメモリ要素 29 を検知ライン 52 に接続する。

20

【0037】

メモリアクセス動作が「読み取り」動作である場合、プリンタ 60 などから検知パッド 50 を介して検知ライン 52 上に提供されたアナログ検知信号 (例えば、検知電流信号又は検知電圧信号) に対する、検知ライン 52 に接続されたメモリ要素 29 (複数可) のアナログ応答は、メモリ要素 29 (複数可) の状態を示している。メモリアクセス動作が「書き込み」動作である場合、検知ライン 52 に接続された種々のメモリ要素 29 は、プリンタ 60 などから検知パッド 50 を介して検知ライン 52 に提供されたアナログプログラム信号によって、又は流体噴射回路 20 と一体化された書き込み回路 89 によって、セット状態に (例えば、「0」から「1」に) プログラムされる場合がある。

30

【0038】

読み取り動作の際には、単一のメモリ要素 29 を検知ライン 52 に接続して読み取ってもよいし、又は、複数のメモリ要素 29 の組み合わせ (すなわち、サブセット) を検知ライン 52 に並列に接続して、アナログ検知信号に対する予想アナログ応答に基づいてそれらを同時に読み取ってもよい。種々の例において、各メモリ要素 29 は、プログラムされた状態 (例えば、「1」の値に設定される) 及びプログラムされていない状態 (例えば、「0」の値を有する) にあるとき、既知の電気特性を有する場合がある。例えば、一例として、メモリ要素 29 は、プログラムされていないときは比較的高い抵抗を有し、プログラムされているときは比較的低い抵抗を有する、フローティングゲート金属酸化膜半導体電界効果トランジスタ (MOSTFET) であってもよい。そのような電気特性により、既知の検知信号に対する既知の応答から、読み取り動作中のメモリ要素 29 (複数可) のメモリ状態を知ることができる。

40

【0039】

例えば、固定検知電流を検知ライン 52 に印加する場合、選択されたメモリ要素 29 (複数可) のメモリ状態を示す電圧応答を測定することができる。2 つ以上のメモリ要素 2

50

9が検知ライン52に並列に接続されている場合、追加のメモリ要素ごとに抵抗が減少し、その結果、検知パッド50における検知電圧応答は、予測可能な量だけ減少することになる。したがって、選択されたメモリ要素29の組み合わせに関する情報（例えば、プログラム状態）を、測定された検知電圧に基づいて判定することができる。種々の例では、流体噴射回路20の内部の電流源を使用して、検知電流を印加する場合がある。他の例では、流体噴射回路20の外部の電流源を（例えば、検知パッド50を介してプリンタ60を）使用してもよい。

#### 【0040】

同様の方法で、固定検知電圧を印加する場合、選択されたメモリ要素29（複数可）のメモリ状態を示す電流応答を測定することができる。2つ以上のメモリ要素29が検知ライン52に並列に接続されている場合、追加のメモリ要素29ごとに抵抗が減少し、その結果、検知パッド50における検知電流は、予測可能な量だけ増加することになる。したがって、選択されたメモリ要素29の組み合わせに関する情報（例えば、プログラム状態）を、測定された検知電流に基づいて判定することができる。種々の例では、流体噴射回路20の内部の電圧源を使用して、検知電圧を印加する場合がある。他の例では、流体噴射回路20の外部の電圧源を（例えば、検知パッド50を介してプリンタ60を）使用してもよい。

#### 【0041】

一例では、流体噴射回路20がメモリアクセス動作を識別できるようにし、流体作動動作のような他の動作中に情報がメモリアレイ29に意図せず書き込まれないようにするために、I/Oパッド40を介して受信される特定の一連の動作信号を含む一意のメモリアクセスプロトコルが使用される。一例において、メモリアクセスプロトコルは、データパッド44が引き上げられる（例えば、比較的高い電圧に引き上げられる）ことから開始される。データパッド44が引き上げられた状態のまま、モードパッド48が引き上げられる（例えば、モードパッド48上にモード信号が生成される）。データパッド44とモードパッド48が引き上げられた状態になると、制御ロジック80は、設定レジスタ86のアクセスを行うべきことを認識する。次に、CLKパッド42のクロック信号とともに、いくつかのデータビットがデータパッド44から設定レジスタ86へとシフトされる。一例において、設定レジスタ86は、例えば11ビットのような、いくつかのビットを保持している。他の例では、設定レジスタ86は、11ビットよりも多いビット又は少ないビットを含む場合がある。一例において、制御レジスタ86内のビットの1つは、メモリアクセスビットである。

#### 【0042】

次に、FPGデータパケットが、データパッド44を介して受信される。データパケットの本体部分にある選択ビットは、メモリ要素29の選択ビットを表している。一例において、FPGデータパケットは、例えば、（データパケットのヘッド部分又はテール部分に）設定ビットをさらに含む。設定ビットがセットされている場合、設定ビットは、そのFPGがメモリアクセスFPGであることを示す。制御ロジック80は、設定レジスタ86内のメモリーネーブルビットと受信したFPGパケット内のメモリアクセス設定データビットとの両方が「セット」されていることを認識すると、（上記のように）設定レジスタ86がデータビットを受信したのと同様の態様で、メモリ設定レジスタ（MCR）88がデータパッド44を介してデータを受信できるようにする。一例によれば、設定レジスタ86内のメモリーネーブルビットと受信したFPGパケット内のメモリアクセス設定データビットとの両方が「セット」されていることが認識されると、いくつかのデータビットが、データパッド44からメモリ設定レジスタ88へとシフトされる。これには、メモリビットの列28へのアクセスを可能にする列イネーブルビットや、メモリアクセスが読み取りアクセスであるかそれとも書き込みアクセスであるかを示す読み取り/書き込みイネーブルビット（例えば、「0」がメモリ読み取りを示し、「1」がメモリ書き込みを示す）が含まれる。一例において、流体噴射回路20が、列28<sub>1</sub>及び列28<sub>2</sub>のようなメモリ要素29の複数の列を有するメモリアレイ28を含む場合、メモリ選択データを伝達

10

20

30

40

50

するFPGデータパケットの設定データは、データ要素のどの列28がアクセスされることになるかを識別するための列選択ビットを含む。メモリ設定レジスタ88の列イネーブルビットとFPGデータパケットの列選択ビットの両方により、選択された列28をメモリ動作のためにアクセスすることが可能になる。

#### 【0043】

データがメモリ設定レジスタ88にロードされた後、発射パッド44上に発射パルスが生成され、FPGのヘッダ部に表現されたアドレスに対応する各メモリ要素29であって、FPGの本体部分にある対応するメモリ選択ビットがセットされている（例えば、「1」の値を有する）各メモリ要素29は、メモリ設定レジスタの読み取り/書き込みビットで示された状態にしたがって、読み取り又は書き込みアクセスのために検知バス52に接続される。

10

#### 【0044】

一例において、流体噴射回路20の亀裂センサー70の読み取り動作は、メモリ要素29の読み取り動作の Protokol と同様の Protokol を有する。データパッド44が引き上げられ、続いてモードパッド48上にモード信号が生成される。次に、いくつかのデータビットが、設定レジスタ86へとシフトされる。ただし、メモリ要素29の読み取り動作に対応する設定データビットが設定レジスタ86にセットされる代わりに、亀裂センサー70の読み取り動作に対応する設定データビットがセットされる。データが設定レジスタ86内にシフトされた後、FPGが、制御ロジック80によって受信される。ここで、FPGの本体部分のすべてのデータビットは、非選択値（例えば、「0」の値）を有している。次に、発射パッド46上に発射パルス信号が生成され、亀裂センサー70が、検知ライン52に接続される。検知ライン52上のアナログ検知信号に対する亀裂センサー70のアナログ応答は、亀裂センサー70が亀裂を検出しているか否かを示している（例えば、アナログ電圧検知信号は、アナログ応答電流信号を生成し、アナログ電流検知信号は、アナログ応答電圧信号を生成する）。

20

#### 【0045】

一例において、温度センサー70の読み取り動作は、流体噴射動作中に実行される。一例では、特定の温度センサーに対応する設定データビットは、FPGデータパケットのヘッド部分又はテール部分にセットされる一方、FPGの本体部分は、各プリミティブP<sub>0</sub>～P<sub>M</sub>について1つのアクチュエータ選択データビットを含み、アクチュエータ選択データビットの状態は、どの流体アクチュエータ26が作動されるかを示している。発射パッド46上に発射パルス信号が生成されると、選択された流体アクチュエータ26は発射され、選択された温度センサー（例えば、サーマルダイオード）が、検知ライン52に接続される。検知ライン52を介してアナログ検知信号が選択された温度センサーに印加されると、その温度センサーの温度を示すアナログ応答信号が、検知ライン52上に得られる。

30

#### 【0046】

一例において、流体噴射回路20のメモリアレイ28が誤ったメモリ値を記憶した欠陥のあるメモリ要素29を含んでいる可能性がある場合、メモリ回路30は、流体噴射回路20と並列にI/O端子40に接続される場合がある。この場合、メモリコンポーネント34のメモリ値36は、メモリアレイ28の代替メモリとして機能し、正しいメモリ値を記憶する。一例において、制御回路32は、I/Oパッド40を介して受信された動作信号を監視する。一例において、制御回路32は、上記のように、メモリアクセスシーケンスを認識すると、データパッド44を介してメモリ設定レジスタ88に提供された読み取り/書き込みビットの状態をチェックする。

40

#### 【0047】

一例において、メモリアクセスが「書き込み」動作である場合、制御回路32は、データパッド44を介して受信したFPGの本体部分にあるメモリ選択ビットの状態をチェックして、どのメモリ要素29がプログラムされている（例えば、対応する選択ビットが、セットされている（例えば、「1」の値を有する））かを判定する。次に、制御回路32は、メモリコンポーネント34の対応するメモリ値36を更新することにより、書き込み

50

動作によるメモリ値 3 6 の変化を反映する。

【 0 0 4 8 】

一例において、メモリアクセスが「読み取り」動作である場合、制御回路 3 2 は、データパッド 4 4 を介して受信した F P G の本体部分にあるメモリ選択ビットの状態をチェックして、どのメモリ要素 2 9 がプログラムされているかを判定する。次に、制御回路 3 2 は、メモリコンポーネント 3 4 内の対応するメモリ値 3 6 をチェックして、検知パッド 5 0 に存在するアナログ検知信号のタイプを判定する。一例において、制御回路 3 2 は、検出されたアナログ検知信号に応答して、及び、読み取られるメモリ値に基づいて、検知ライン 5 2 及び検知パッド 5 0 上に、メモリ値 3 6 の値を示すアナログ応答信号を生成する。

【 0 0 4 9 】

例えば、プリンタ 6 0 などから検知パッド 5 0 を介して検知ライン 5 2 にアナログ検知電流が供給され、単一のメモリ値が読み取られる場合、制御回路は、読み取られる単一のメモリ値の値を示すアナログ電圧応答を検知ライン 5 2 に提供する。例えば、単一のメモリ値が読み取られる場合、制御回路 3 2 から検知ライン 5 2 に提供されるアナログ電圧応答は、プログラムされていないメモリ値である場合は、比較的高い電圧であってもよく、プログラムされたメモリ値である場合は、比較的低い電圧であってもよい。一例において、制御回路 3 2 は、メモリ要素 2 9 の既知の特性、並列に読み取られるメモリ要素 2 9 の数、及びアナログ検知を考慮して、予想応答に等しい値を有するアナログ電圧応答信号を検知ライン 5 2 に提供する。

【 0 0 5 0 】

I / O パッド 4 0 上の動作信号を監視し、メモリアクセス動作（例えば、読み取り / 書き込み動作）を識別して、メモリ値 3 6 を維持及び更新するとともに、メモリ読み取り動作に応答して予想アナログ応答信号を検知ライン 5 2 に提供することによって、プリンタ 6 0 のような印刷コンポーネント 1 0 にアクセスするデバイスにとって、メモリ回路 3 0 は、流体噴射回路 2 0 のメモリアレイ 2 8 と区別できないものになる。

【 0 0 5 1 】

図 4 は、一例による、印刷コンポーネント 1 0 に接続されたメモリ回路 3 0 を示すブロック概略図である。図 4 の例では、印刷コンポーネント 1 0 は、流体噴射回路 2 0<sub>0</sub>、2 0<sub>1</sub>、2 0<sub>2</sub> 及び 2 0<sub>3</sub> として示されたいくつかの流体噴射回路 2 0 を含む。これらの流体噴射回路は、アクチュエータアレイ 2 4<sub>0</sub>、2 4<sub>1</sub>、2 4<sub>2</sub> 及び 2 4<sub>3</sub> として示された流体アクチュエータのアレイ 2 4 をそれぞれ含み、メモリアレイ 2 8<sub>0</sub>、2 8<sub>1</sub>、2 8<sub>2</sub> 及び 2 8<sub>3</sub> として示されたメモリアレイ 2 8 をそれぞれ含む。一例において、各流体噴射回路 2 0 は、別個の流体噴射ダイからなり、各ダイが、異なる色のインクを提供する。例えば、流体噴射ダイ 2 0<sub>0</sub> は、シアンダイであってもよく、流体噴射ダイ 2 0<sub>1</sub> は、マゼンタダイであってもよく、流体噴射ダイ 2 0<sub>2</sub> は、黄色のダイであってもよく、流体噴射ダイ 2 0<sub>3</sub> は、黒色のダイであってもよい。例えば、流体噴射ダイ 2 0<sub>0</sub>、2 0<sub>1</sub>、及び 2 0<sub>2</sub> は、カラープリントペン 9 0 の一部として構成され、流体噴射ダイ 2 0<sub>3</sub> は、単色プリントペン 9 2 の一部として構成される場合がある。

【 0 0 5 2 】

一例において、各流体噴射ダイ 2 0<sub>0</sub> ~ 2 0<sub>3</sub> は、データパッド 4 4<sub>0</sub> ~ 4 4<sub>3</sub> のうちの対応する 1 つからデータを受信する。また、各流体噴射ダイ 2 0<sub>0</sub> ~ 2 0<sub>3</sub> は、C L K パッド 4 2、発射パッド 4 6、モードパッド 4 8、及び検知パッド 5 0 を共用する。種々の例において、メモリアレイ 2 8<sub>0</sub>、2 8<sub>1</sub>、2 8<sub>2</sub> 及び 2 8<sub>3</sub> の各々が、メモリアクセス動作中に、別々にアクセスされる場合がある。他の例では、メモリアレイ 2 8<sub>0</sub>、2 8<sub>1</sub>、2 8<sub>2</sub> 及び 2 8<sub>3</sub> の任意の組み合わせが、メモリアクセス動作中に同時にアクセスされる場合がある。例えば、メモリアレイ 2 8<sub>0</sub>、2 8<sub>1</sub>、2 8<sub>2</sub> 及び 2 8<sub>3</sub> の各々からのメモリ要素は、プリンタ 6 0 などから、検知ライン 5 2 を介して同時にアクセス（例えば、読み取り動作）される場合がある。

【 0 0 5 3 】

メモリ回路 3 0 は、C L K パッド 4 2、発射パッド 4 6、モードパッド 4 8、及び検知

10

20

30

40

50

パッド50に接続され、また、データパッド44<sub>0</sub>~44<sub>3</sub>の各々にも接続され、それによって各流体噴射ダイ20<sub>0</sub>、20<sub>1</sub>、20<sub>2</sub>及び20<sub>3</sub>と並列に接続されている。種々の例において、メモリ回路30は、メモリアレイ28<sub>0</sub>、28<sub>1</sub>、28<sub>2</sub>及び28<sub>3</sub>の任意の組み合わせに対し、代替メモリとしての働きをすることができる。例えば、ある例では、メモリ回路30は、メモリアレイ28<sub>1</sub>に対する代替メモリとしての働きをする場合があり、別の例では、メモリ回路30は、メモリアレイ28<sub>0</sub>、28<sub>1</sub>、28<sub>2</sub>及び28<sub>3</sub>の各々に対する代替としての働きをする場合がある。

#### 【0054】

一例において、メモリ回路30は、流体噴射回路20の補助メモリとしての働きをする場合がある。このような場合、メモリアクセス動作のときに、流体噴射回路20のメモリ要素29とメモリ回路30のメモリ値36は、FPGデータパケットの設定データ内にあるメモリ選択データを伝達する列選択ビットを使用して、別々に識別される場合がある。例えば、単色プリントペン92の流体噴射回路20<sub>3</sub>は、メモリ要素29のいくつかの列（例えば、3列）を有するメモリアレイ28<sub>3</sub>を含む場合がある。このような場合、流体噴射回路20<sub>3</sub>のメモリ要素の列は、FPGデータパケットの設定データの列選択ビットによって列1~3として識別される場合があり、補助メモリとしての働きをするメモリコンポーネント34のメモリ値36の他の列は、列4から始まる追加の列として識別される場合がある。

10

#### 【0055】

一例において、メモリ回路30は、図3に関して上で説明したものと同様に、いくつかのI/Oパッド40上の動作信号を監視することにより、メモリ回路30が代替メモリとしての働きをする対象となるメモリアレイ28<sub>0</sub>、28<sub>1</sub>、28<sub>2</sub>及び28<sub>3</sub>の何れかのメモリアクセスシーケンスを検出する。

20

#### 【0056】

一例において、メモリ回路30が、印刷コンポーネント10の流体噴射ダイ20<sub>0</sub>、20<sub>1</sub>、20<sub>2</sub>及び20<sub>3</sub>のうち全部よりも少ない数に対して代替メモリとしての働きをする場合、メモリ回路30が代替メモリとしての働きをしない流体噴射ダイ20のメモリ要素29を、メモリ回路30が代替メモリとしての働きをする流体噴射ダイ20のメモリ要素と並列に読み取ることはできない。

#### 【0057】

図5は、一例による、印刷コンポーネント10に接続されたメモリ回路30を概略的に示すブロック概略図である。印刷コンポーネント10の一部も示されている。以下でさらに詳しく説明されるように、図5の例によれば、メモリアクセス動作の際、メモリ回路30は、流体噴射装置20と並列に検知パッド50に接続される。例えば、図5の例によれば、メモリ回路30は、流体噴射回路20のメモリ要素29のアレイ28に対し、代替メモリとしての働きをすることができる（1つ以上のメモリ要素29が欠陥である可能性がある）。

30

#### 【0058】

一例において、流体噴射回路20の作動ロジック84は、読み取りイネーブルスイッチ100、ANDゲート103を介して制御される列作動スイッチ102、及びANDゲート106を介して制御されるメモリ要素選択スイッチ104を含む。一例によれば、上記のように、読み取り動作の際、流体噴射回路20は、設定データ（例えば、ヘッド部分及び/又はテール部分にある）及びメモリ選択データ（例えば、本体部分にある）を含む発射パルス群を受信する。一例において、設定データは、列選択ビット及びアドレスデータを含む。列選択ビットは、メモリアレイ28が図3の列28<sub>1</sub>及び列28<sub>2</sub>のように、メモリ要素の2つ以上の列を含む場合に、アクセスされるメモリ要素29の特定の列を示している。アドレスデータは、アドレスデコーダ82によってデコードされ、作動回路84に提供される。一例において、メモリ選択データは、いくつかのメモリ選択ビットを含み、各選択データビットが、その列のメモリ要素29の異なるプリミティブ（P<sub>0</sub>~P<sub>M</sub>）に対応しており、選択ビットをセットする（例えば、「1」の値を有する）ことで、列2

40

50

8の種々のメモリ要素29を読み取り(又は書き込み)のためにアクセスすることができる。

【0059】

さらに、読み取り動作プロトコルの一部として、メモリ設定レジスタ88には、列イネーブルビット及び読み取りイネーブルビットがロードされる。メモリ設定レジスタ88の読み取りイネーブルビットは、読み取りイネーブルスイッチ100をオンにする。発射信号が生成されると、設定レジスタ88の列イネーブルビットは、発射パルス群の設定データの列選択ビットと協同して、ANDゲート103に、選択された列の列作動スイッチ102をオンにさせ、また、発射パルス群の選択データ及びアドレス(アドレスデコーダ86により提供される)は、発射信号と協同して、ANDゲート106に、メモリ要素選択スイッチ104をオンにさせる。これによってメモリ要素29は、検知ライン52に接続される。なお、例によっては、流体噴射回路20がメモリ要素の単一の列しか含まない場合、列選択ビットは、発射パルス群設定データの一部として含まれない場合もあることに留意されたい。

【0060】

メモリ要素29は、検知ライン52に接続されると、検知ライン52上のアナログ検知信号に応答してアナログ出力信号を提供する。このアナログ出力信号の値は、メモリ要素のプログラム状態に依存する(プログラム状態に欠陥がある場合)。一例において、上記のように、メモリ要素29は、プログラムされた状態(例えば、「1」の値)であるときよりも、プログラムされていない状態(例えば、「0」の値)であるときの方が、高い電気抵抗を有する場合がある。したがって、アナログ検知信号が固定アナログ電流である(いわゆる「強制電流モード」である)場合、メモリ要素29によって提供されるアナログ出力電圧は、メモリ要素29がプログラムされていない状態であるときに比較的高い電圧レベルになり、メモリ要素29がプログラムされた状態であるときに比較的低い電圧レベルになる。同様に、アナログ検知信号が固定電圧である(いわゆる「強制電圧モード」である)場合、メモリ要素29によって提供されるアナログ出力電流は、メモリ要素29がプログラムされていない状態であるときに比較的低い電流レベルになり、メモリ要素29がプログラムされた状態であるときに比較的高い電流レベルになる。

【0061】

書き込み動作中は、読み取りイネーブルスイッチ100が開位置に維持され、メモリ要素29を検知ライン52から切断する一方、列イネーブルスイッチ102とメモリ要素選択スイッチ104は、閉じられていることに留意されたい。メモリ設定レジスタの書き込みイネーブルビットは、電圧レギュレータ90をメモリ要素29に接続し、そこにプログラム電圧を印加する。

【0062】

一例によれば、メモリ回路30の制御回路32は、制御ロジック120と、ノード128への電流供給源として動作する第1の電圧制御電流源122と、ノード128からの電流シンクとして動作する第2の電圧制御電流源とを含む。ノード128は、制御ライン129を介して、第2の検知パッド50<sub>1</sub>において検知ライン52に接続されている。図4の例では、メモリアクセス動作中、メモリ回路20は、第2の検知パッド50<sub>1</sub>において、流体噴射回路20と並列に検知ライン152に接続されている。

【0063】

一例において、メモリ回路30は、オーバーレイ配線基板160を介して、流体噴射回路20と並列にI/Oパッド40に接続される。これについては、以下でさらに詳しく説明される(例えば、図6Aを参照)。一例において、配線基板160は、各信号経路について一对のI/Oパッドを含む。信号経路は、一对のI/Oパッドのうちの第1のI/Oパッドから一对のI/Oパッドのうちの第2のI/Oへとオーバーレイ配線基板160を通過して、印刷コンポーネント10までのびている。例えば、配線基板160は、一对のCLKパッド42及び42<sub>1</sub>、一对のデータパッド44及び44<sub>1</sub>、一对の発射パッド46及び46<sub>1</sub>、一对のモードパッド48及び48<sub>1</sub>、及び一对の検知パッド50及び50<sub>1</sub>を

含む。一例では、これらの各々について、一对のパッドのうちの第1のパッドが、入力信号ラインに接続され、一对のパッドのうちの第2のパッドが、出力信号ラインを印刷コンポーネント10に接続する。

【0064】

一例において、オーバーレイ配線基板160は、検知ライン52と直列に接続された検知抵抗器150をさらに含む。制御ロジック120は、検知抵抗器150の高圧側端子152及び低圧側端子154の電圧を監視する。他の例では、検知抵抗器150は、制御回路32の一部として構成される場合がある（例えば、図10を参照）。

【0065】

配線基板160を介して信号経路及び印刷コンポーネント10に接続されることが図示されているが、そのような接続を得るために、任意数の他の実施形態が使用されてもよい。例えば、一例において、配線基板160の種々の機能は、メモリ回路30内に組み込まれてもよい。

10

【0066】

メモリコンポーネント34は、いくつかのメモリ値36を含む。一例において、各メモリ値36は、流体噴射回路20のメモリ要素29のうちの異なる1つに対応している。ただし、流体噴射回路20の1以上のメモリ要素29に欠陥があり、誤った値を記憶している場合であっても、メモリコンポーネント34の各メモリ値36は、正しいメモリ値を表している。種々の例において、メモリコンポーネント34は、メモリ要素29に対応するメモリ値36の他にも、メモリ値36を含む場合があることに留意されたい。

20

【0067】

一例において、制御回路32は、プリンタ60などから流体噴射回路20のI/Oパッド40に伝達される動作信号を監視する。一例において、メモリ要素29の読み取り動作を示すメモリアクセスシーケンスを表す動作信号を検出すると、制御ロジック120は、検知抵抗器150の高圧側端子152（又は低圧側端子154）の電圧を監視することにより、読み取り動作が、強制電流モード又は強制電圧モードのどちらで実行されているかを判定する。強制電流モードが使用されている場合、検知ライン52が充電されるのに伴い、発射パッド46が引き上げられた後、ある期間にわたって、高圧側端子152の電圧レベルは引き上げられる（例えば、線形上昇）。強制電圧モードが使用されている場合、高圧側端子152の電圧は、入力検知信号の固定電圧レベルで比較的安定した状態に維持される。

30

【0068】

一例において、制御ロジック120は、読み取り動作を検出すると、読み取り動作によってアクセスされていると識別されたメモリ要素29に対応するメモリ値36を読み取る。制御ロジック120は、このメモリ値36に基づいて、検知抵抗器150を用いて形成されたフィードバックループにより、強制電流モードの読み取り動作中に検知パッド50に存在するはずの予想出力応答電圧レベル、及び、強制電圧モードの読み取り動作中に検知パッド50に存在するはずの予想出力応答電流レベルを判定することができる。

【0069】

メモリ回路30は、流体噴射回路20と並列に検知ライン52に接続されているので、読み取り動作の際、アナログ検知信号が検知ライン52に強制送達されることに応答して、メモリ要素29からのアナログ出力応答信号（例えば、電圧又は電流）が、第2の検知パッド50<sub>1</sub>に提示される。一例において、制御ロジック120は、流体噴射回路20のメモリ要素29からの出力応答と、第2の検知パッド50<sub>1</sub>における制御回路32の出力応答との結合から予想アナログ出力応答レベル（電圧又は電流）が検知パッド50に生成されるように、電圧制御電流源122及び124を調節することにより、第2の検知パッド50<sub>1</sub>に電流を供給し、又は、第2の検知パッド50<sub>1</sub>から電流を引き出す。

40

【0070】

一例において、強制電流モードにあるとき、制御ロジック120は、検知抵抗器150の高圧側端子152の電圧を監視し、メモリ回路30と流体噴射回路20との結合応答が

50

ら予想出力応答電圧レベルが検知パッド50で得られるように、電圧制御電流源122及び124を調節することにより、第2の検知パッド50<sub>1</sub>に提供される電流の量を調節する(第2の検知パッド50<sub>1</sub>に電流を供給し、又は、第2の検知パッド50<sub>1</sub>から電流を引き出す)。

#### 【0071】

同様に、一例において、強制電圧モードにあるとき、制御ロジックは、高圧側端子152及び低圧側端子154を介してセンサー抵抗器150の両端の電圧を監視し、検知パッド50における出力応答電流レベルを判定する。次に、制御回路120は、メモリ回路30と流体噴射回路20の結合応答から予想出力応答電流レベルが検知パッド50で得られるように、電圧制御電流源122及び124を調節することにより、第2の検知パッド50<sub>1</sub>に提供される電流の量を調節する(第2の検知パッド50<sub>1</sub>に電流を供給し、又は、第2の検知パッド50<sub>1</sub>から電流を引き出す)。

10

#### 【0072】

メモリコンポーネント34にメモリ値36として記憶された流体噴射回路20の正しいメモリ値に基づいて、予想アナログ出力応答値が検知パッド50で得られるように電圧制御電流源122及び124を制御することによって、メモリ回路30は、流体噴射回路20上の欠陥のあるメモリアレイ28を代替することができ、その結果、印刷コンポーネント10は動作を継続することができ、それによって、製造時の欠陥のある印刷コンポーネントの数を減らすことができる。さらに、メモリ回路30を流体噴射回路と並列にI/Oパッド40に接続することにより、流体噴射回路20のセンサー70を、プリンタ60などによる検知パッド50を介した監視に備えて、常にアクセス可能な状態にしておくことができる。

20

#### 【0073】

図6Aは、メモリ回路20をI/O端子40に接続するためのオーバーレイ配線基板160の一部を示す断面図である。特に、図6Aは、図5の検知パッド50を通して延びる断面図を表している。メモリ回路30は、流体噴射回路20と並列に検知パッド50に結合されている。一例において、オーバーレイ配線基板160は、第1の表面163及び対向する第2の表面164を有する可撓性基板162を含む。メモリ回路30及び検知パッド50は、第1の表面163に配置されており、検知パッド50は、検知ライン52に相当する導電性トレースによって、メモリ回路30に接続されている。一例において、図示のように、検知抵抗器150は、検知パッド50とメモリ回路30との間の検知ライン52と直列に配置されている。一例において、導電性バイア166は、第1の表面163の検知ライン52から可撓性基板162を通して第2の表面164の第2の検知パッド50<sub>1</sub>まで延びている。

30

#### 【0074】

印刷コンポーネント10は、流体噴射回路20が取り付けられた基板168を含み、検知ライン52<sub>1</sub>によって流体噴射回路20に結合された検知パッド50<sub>2</sub>を含む。方向矢印169で示されるように、可撓性配線基板162が印刷コンポーネント10に結合されると、第2の検知パッド50<sub>1</sub>は、検知パッド50<sub>2</sub>と整列し、検知抵抗器150とメモリ回路30との間において、検知ライン52を検知パッド50<sub>2</sub>に接続する。

40

#### 【0075】

図6Bは、例えばモードパッド48のような、検知パッド50以外のI/Oパッド40の接続を示すオーバーレイ配線基板160の断面図を概略的に示すブロック図である。図示のように、モードパッド48は、基板162の上面163に配置されている。バイア167は、基板162を通して延在し、第1のモードパッド48を第2の表面164の第2のモードパッド48<sub>1</sub>に接続する。可撓性配線基板162が印刷コンポーネント10に結合されると、モードパッド48<sub>1</sub>は、モードパッド48<sub>2</sub>と整列し、モードパッド48を流体噴射回路20に接続する。

#### 【0076】

図7は、一例による、メモリ回路30を概略的に示すブロック概略図である。印刷コン

50

ポーネント 10 の一部も、概略的に示されている。図 7 の例は、図 5 の例と同様であり、メモリアクセス動作の際、メモリ回路 30 は、流体噴射装置 20 と並列に検知パッド 50 に接続される。ただし、図 7 の例では、メモリ回路 30 の制御回路 32 は、電圧制御電流源 122 及び 124 の代わりに、オペアンプ 170 及び制御可能な電圧源 172 を含む。

【0077】

オペアンプ 170 の第 1 の入力は、制御可能な電圧源 172 を介して基準電位（例えば、グラウンド）に接続されている。オペアンプ 170 の第 2 の入力及び出力は、ノード 128 に接続されており、ノード 128 は、ライン 129 を介して検知パッド 50<sub>1</sub> に接続されている。

【0078】

一例において、メモリ読み取り動作の際、強制電流モードにあるとき、制御ロジック 120 は、検知抵抗器 150 の高圧側端子 152 の電圧を監視し、メモリ回路 30 と流体噴射回路 20 の結合応答から予想出力応答電圧レベルが検知パッド 50 で得られるように、制御可能な電圧源 172 の電圧レベルを調節することにより、オペアンプ 170 の出力電圧を調節して（出力電圧が制御可能な電圧源 172 の出力電圧にほぼしたがっている場合）、第 2 の検知パッド 50<sub>1</sub> に提供される電流の量を調節する（第 2 の検知パッド 50<sub>1</sub> に電流を供給し、又は、第 2 の検知パッド 50<sub>1</sub> から電流を引き出す）。

【0079】

同様に、一例において、強制電圧モードにあるとき、制御ロジックは、高圧側端子 152 及び低圧側端子 154 を介してセンサー抵抗器 150 の両端の電圧を監視し、検知パッド 50 における出力応答電流レベルを判定する。次に、制御回路 120 は、メモリ回路 30 と流体噴射回路 20 の結合応答から予想出力応答電流レベルが検知パッド 50 で得られるように、制御可能な電圧源 172 の電圧レベルを調節することにより、オペアンプ 170 の出力電圧を調節して（出力電圧が制御可能な電圧源 172 の電圧レベルにほぼしたがっている場合）、第 2 の検知パッド 50<sub>1</sub> に提供される電流の量を調節する（第 2 の検知パッド 50<sub>1</sub> に電流を供給し、又は、第 2 の検知パッド 50<sub>1</sub> から電流を引き出す）。

【0080】

図 8 は、一例による、印刷コンポーネント 10 のメモリ回路 30 のブロック概略図である。図 8 の例は、図 5 の例と同様であり、メモリアクセス動作の際、メモリ回路 30 は、流体噴射装置 20 と並列に検知パッド 50 に接続される。ただし、図 8 の例では、メモリ回路 30 の制御回路 32 は、電圧制御電流源 122 及び 124 の代わりに、いくつかの抵抗器 180 ~ 183 を含む。抵抗器 180 ~ 183 は、電圧源 VCC と基準電圧（例えば、グラウンド）との間に、調整可能な分圧器を形成するように接続される場合がある。

【0081】

例えば、ソース抵抗器 180 は、電圧源 VCC とノード 128 との間に接続されている。シンク抵抗器 181 ~ 183 は、スイッチ 184 ~ 186 をそれぞれ介して、ノード 128 と基準電圧（例えば、グラウンド）との間に、互いに並列に接続されている。図 8 に示したものは異なるいくつかの抵抗器が、制御回路 32 によって使用されてもよいことに留意されたい。

【0082】

一例において、メモリ読み取り動作の際、強制電流モードにあるとき、制御ロジック 120 は、検知抵抗器 150 の高圧側端子 152 の電圧を監視し、メモリ回路 30 と流体噴射回路 20 の結合応答から予想出力応答電圧レベルが検知パッド 50 で得られるように、スイッチ 184 ~ 186 を制御することにより、ノード 128 とグラウンドとの間に接続されるシンク抵抗器 181 ~ 183 の数を調節して、第 2 の検知パッド 50<sub>1</sub> に提供される電流の量を調節する。

【0083】

同様に、一例において、強制電圧モードにあるとき、制御ロジックは、高圧側端子 152 及び低圧側端子 154 を介してセンサー抵抗器 150 の両端の電圧を監視し、検知パッド 50 における出力応答電流レベルを判定する。次に、制御回路 120 は、メモリ回路 3

10

20

30

40

50

0と流体噴射回路20の結合応答から予想出力応答電流レベルが検知パッド50で得られるように、スイッチ184～186を制御することにより、ノード128とグラウンドとの間に接続されるシンク抵抗器181～183の数を調節して、第2の検知パッド50<sub>1</sub>に提供される電流の量を調整する(第2の検知パッド50<sub>1</sub>に電流を供給し、又は、第2の検知パッド50<sub>1</sub>から電流を引き出す)。

#### 【0084】

図9は、一例による、メモリ回路30を概略的に示すブロック概略図である。メモリ回路30は、種々の動作信号を印刷コンポーネント10に伝達する複数の信号経路41に接続するための、アナログパッド50を含む複数のI/Oパッド40を含む。一例において、制御可能なセクタ190は、I/Oパッド40を介して信号経路41の1つと一列になるように接続されており、制御可能なセクタ190は、対応する信号ラインを印刷コンポーネント10に対して開く(印刷コンポーネント10に対する接続を中断又は遮断する)ように制御可能である。一例において、制御回路32は、I/Oパッド40によって受信されたメモリ読み取りを表す一連の動作信号に応答して、制御可能なセクタ190を開き、印刷コンポーネント10への信号経路を遮断することにより、印刷コンポーネント10のメモリ読み取りをブロックする。また、アナログ信号をアナログパッド50に提供することにより、そのメモリ読み取りによって選択された記憶されたメモリ値36を表すアナログ電気値をアナログパッド50上に提供する。メモリ読み取り中に信号経路を遮断することにより、印刷コンポーネント10は、メモリ読み取り動作中に、アナログ信号をアナログパッド50に提供することができない。種々の例において、印刷コンポーネント10は、アナログコンポーネントの読み取りのようなアナログパッド50にアクセスするメモリ読み取り以外の機能の実行中に、アナログ信号パッド50を提供することができる。種々の例において、そのようなアナログコンポーネントは、検知回路(例えば、温度センサー)である場合がある。

#### 【0085】

図10は、本開示の一例による、メモリ回路30を示すブロック概略図である。ここでは、制御可能なセクタ190は、制御可能なスイッチ190である。図10の例では、I/Oパッド40は、アナログ信号ライン52に接続された第1のアナログパッド50及び第2のアナログパッド50<sub>1</sub>を含み、制御可能なスイッチ190は、アナログパッド50とアナログパッド50<sub>1</sub>との間に接続され、アナログ信号ライン52と一列になるように接続されている。一例において、制御回路32は、図示のように、第1のアナログパッド50に接続された第2の制御可能なスイッチ192をさらに含む。図10の例は、図5の例と同様であるが、制御回路32は、制御可能なセクタスイッチ190及び192によって、メモリ回路30及び流体噴射回路20を選択ライン52から選択的に結合及び分離することができ、したがって、一例において、メモリ回路30は、メモリアクセス動作の際に、流体噴射回路20と並列に結合されない場合がある。さらに、一例によれば、高圧側端子152及び低圧側端子154を備えた検知抵抗器150が、メモリ回路32内に配置される。

#### 【0086】

一例において、制御ロジック120は、非メモリアクセス動作を識別すると、制御可能なセクタスイッチ190を開き、電圧制御電流源122及び124を検知ライン52から切断し、セクタスイッチ192を閉じて、流体噴射回路20を検知ライン52に接続する。これによって、制御回路32によるセンサー70の出力信号への干渉の可能性なしに、プリンタ60などからセンサー70(図3を参照)を監視することが可能になる。

#### 【0087】

一例において、制御ロジック120は、メモリアクセス動作を識別すると、セクタスイッチ192を閉じて、ノード128及び電圧制御電流源122及び124を検知ライン52に接続し、セクタスイッチ190を開いて、流体噴射回路20を検知ライン52から切断することができる。その結果、流体噴射回路20は、制御回路32と並列に第2の検知パッド50<sub>1</sub>に接続されなくなり、流体噴射回路20がメモリ読み取り動作に応答す

10

20

30

40

50

ることは、ブロックされる。次に、制御回路 3 2 は、図 5 に関して上述したように、予想アナログ電圧応答が検知パッド 5 0 で得られるように、電圧制御電流源 1 2 2 及び 1 2 4 を調節する。ただし、流体噴射回路 2 0 からのアナログ出力応答信号の影響はない。メモリアクセス動作中に流体噴射回路 2 0 を検知ライン 5 2 から切断することにより、検知パッド 5 0 におけるアナログ出力応答信号に対する欠陥のあるメモリ要素 2 9 からの潜在的な混入を排除することができる。

#### 【 0 0 8 8 】

他の例では、制御可能なセレクトスイッチ 1 9 0 が、発射パッドを介して、発射信号経路と一列になるように同様の形で接続される場合があり、その結果、メモリ読み取り動作中に発射信号が流体噴射回路 2 0 から遮断され、流体噴射回路 2 0 は、そのようなメモリ読み取り動作に  
10  
応答できない場合がある。別の例では、制御可能なセクタ 1 9 0 は、検知ライン 5 2 (又はアナログ信号経路 5 2) と一列になるように結合されたマルチプレクサであってもよく、制御回路 3 2 は、メモリ読み取りの際に、検知ライン 5 2 を流体噴射回路 2 0 から切断するようにマルチプレクサを操作し、アナログ検知パッド 5 0 及び検知ライン 5 2 にアクセスする非メモリ読み取り動作のようなそれ以外の場合は、検知ライン 5 2 を流体噴射回路 2 0 に接続するように操作する場合がある。

#### 【 0 0 8 9 】

なお、図 6 及び図 7 で説明した制御回路 3 2 の構成、及び任意数の他の適当な制御構成が、図 1 0 の例示的印刷コンポーネント 1 0 において使用されてもよいことに留意されたい。  
20

#### 【 0 0 9 0 】

図 1 1 は、図 1 0 に示したようにメモリ回路 3 0 を I / O 端子 4 0 に接続するための、一例によるオーバーレイ配線基板 1 6 0 の一部を示す断面図である。特に、図 1 1 は、検知パッド 5 0 を通って延びる断面図を表している。一例において、メモリ回路 3 0 及び検知パッド 5 0 は、可撓性基板 1 6 2 の第 1 の表面 1 6 3 に配置されており、検知パッド 5 0 は、検知ライン 5 2 に相当する導電性トレースによって、メモリ回路 3 0 に接続されている。一例によれば、検知抵抗器 1 5 0 及びセレクトスイッチ 1 9 0 及び 1 9 2 は、メモリ回路 3 0 の内部に配置される。導電性バイア 1 6 7 は、可撓性基板 1 6 2 を通って延在している。メモリ回路 3 0 は、導電性トレース 5 2 2 及び 5 2 3 (検知ライン 5 2 の一部に相当する) により、バイア 1 6 7 を介して、可撓性基板 1 6 2 の第 2 の表面 1 6 4 の検知パッド 5 0 2 に電氣的に接続されている。矢印 1 6 9 で示されるように、可撓性配線基板 1 6 2 が印刷コンポーネント 1 0 に結合されると、検知パッド 5 0 2 は、検知パッド 5 0 1 と整列し、検知パッド 5 0 は、メモリ回路 3 0 内のセレクトスイッチ 1 9 2 を介して、流体噴射回路 2 0 に結合される。  
30

#### 【 0 0 9 1 】

図 1 2 は、一例による、メモリ回路 3 0 を概略的に示すブロック概略図である。メモリ回路 3 0 は、アナログパッド 5 0 及び 5 0 1 に接続されたアナログ信号経路 5 2 を含む複数の信号経路 4 1 を印刷コンポーネント 1 0 に接続するために、5 0 及び 5 0 1 で示された第 1 及び第 2 のアナログパッド 1 及び 2 を含む複数の I / O パッド 4 0 を含む。一例において、第 1 のアナログパッド 5 0 は、印刷コンポーネント 1 0 へのアナログ信号経路を遮断するように第 2 のアナログパッド 5 0 1 から電氣的に絶縁されている。制御回路 3 2 は、I / O パッド 4 0 上のメモリ読み取りを表す一連の動作信号に  
40  
応答して、アナログ信号を第 1 のアナログパッド 5 0 に提供することにより、そのメモリ読み取りによって選択された記憶されたメモリ値 3 6 を表すアナログ電気値を第 1 のアナログパッド 5 0 上に提供する。

#### 【 0 0 9 2 】

メモリ読み取り中にアナログ信号経路 5 2 を遮断することにより、印刷コンポーネント 1 0 は、メモリ読み取り動作中にアナログ信号経路 5 2 から切断される。以下でさらに詳しく説明されるように、印刷コンポーネント 1 0 のメモリ要素に対応するメモリ値 3 6 を提供する他に、メモリ値 3 6 は、例えば、センサー読み取りコマンド (温度センサーを  
50

み取るためのもの)のような、アナログ信号経路 5 2 を介して印刷コンポーネント 1 0 にアクセスする他の機能についての値を表す場合がある。

【 0 0 9 3 】

図 1 3 は、一例によるメモリ回路 3 0 のブロック概略図であり、印刷コンポーネント 1 0 の一部を概略的に示している。図 1 3 の例は、図 1 0 の例と同様であるが、流体噴射回路 3 0 の検知ライン 5 2 との接続を選択的に制御するためのセレクトスイッチ (例えば、セレクトスイッチ 1 9 2 ) を含む代わりに、流体噴射回路 2 0 が、検知ライン 5 2 から物理的に切り離されている。一例において、図 1 4 を参照すると、オーバーレイ配線基板 1 6 0 は、メモリ回路 3 0 を検知ライン 5 2 に接続し、メモリ回路 3 0 を流体噴射回路 2 0 と並列に I / O パッド 4 2 ~ 4 8 に接続するとともに、流体噴射回路 2 0 を検知パッド 5 0 から切断するように構成されている。

10

【 0 0 9 4 】

一例において、制御ロジックは、I / O パッド 4 0 上で流体噴射回路 2 0 のメモリアクセス動作を識別すると、図 4 及び図 8 により上で説明したように動作し、書き込み動作の場合、メモリ値 3 6 を更新し、読み取りコマンドの場合、予想アナログ出力応答を検知パッド 5 0 に提供する。

【 0 0 9 5 】

ただし、前述のように、検知ライン 5 2 を介して検知パッド 5 0 も、例えば、温度センサーや亀裂センサーのようなセンサー 7 0 (図 3 を参照) を読み取るために使用される。これらのセンサーは、流体噴射回路 2 0 のメモリ要素 2 9 と同様の形で読み取られる。アナログ検知信号がセンサーに印加されると、温度センサーの場合、アナログ応答信号は、検知温度を示し、亀裂センサーの場合、アナログ応答信号は、亀裂の有無を示す。一例において、温度センサーの場合、指定された動作温度範囲内の検知温度を表すアナログ出力信号は、流体噴射回路 2 0 の適当な動作を示す一方、指定された動作温度範囲外の検知温度は、流体噴射回路 2 0 の不適当な動作 (例えば、オーバーヒート) を示す。同様に、亀裂センサーの場合、指定された閾値未満の検知抵抗を表すアナログ信号は、流体噴射回路 2 0 に亀裂がないことを示す場合がある一方、指定された閾値を超える検知抵抗は、流体噴射回路 2 0 に亀裂があることを示す場合がある。

20

【 0 0 9 6 】

上記を考慮すると、一例において、メモリコンポーネント 3 4 は、流体噴射回路 2 0 のメモリ要素 2 9 に対応するメモリ値 3 6 を含む他に、流体噴射回路 2 0 のセンサー 7 0 のそれぞれに対応するメモリ値 3 6 を含む場合がある。一例において、メモリ値 3 6 は、メモリ回路 3 0 によって I / O パッド 4 0 上で認識されたメモリ値 3 6 に対応するセンサー 7 0 の読み取り動作に回答して、制御回路 3 2 により検知パッド 5 0 に提供されるアナログ出力信号の値を表している。一例において、制御ロジック 1 2 0 は、電圧制御電流源 1 2 2 及び 1 2 4 を制御して、対応するメモリ値 3 6 にしたがって、アナログ出力信号を検知パッド 5 0 に提供する。

30

【 0 0 9 7 】

上記を考慮すると、上記のように、メモリ回路 3 0 は、検知パッド 5 0 が流体噴射回路 2 0 から物理的に切り離された状態で、メモリコンポーネント 3 4 によって記憶されたメモリ値 3 6 に基づいて、流体噴射回路 2 0 のメモリ要素 2 9 及びセンサー 7 0 についてのアナログ出力信号応答をエミュレートする。一例によれば、図 1 3 のメモリ回路 3 0 は、可撓性配線基板 1 6 2 を介して印刷コンポーネント 1 0 に取り付けられ、欠陥のあるメモリ要素 2 9 及び欠陥のあるセンサー 7 0 を代替して、印刷コンポーネント 1 0 の動作を維持することができる。

40

【 0 0 9 8 】

一例において、図 1 3 のメモリ回路 3 0 は、可撓性配線基板 1 6 2 を介して印刷コンポーネント 1 0 に一時的に取り付けられ、流体噴射回路 2 0 における種々のシミュレート条件に対し、プリンタ 6 0 のような外部回路への応答をテストするための診断回路としての働きをする場合がある。例えば、温度センサーを含むセンサー 7 0 に対応するメモリ値 3

50

6は、そのような条件に対するプリンタ60の応答をテストするために、所望の動作温度値範囲外の温度値に対応する値を有する場合がある。他の例では、亀裂センサーを含むセンサー70に対応するメモリ値は、そのような条件に対するプリンタ60の応答をテストするために、亀裂の存在を示す閾値を超える抵抗値に対応する値を有する場合がある。任意数の他の条件がメモリ回路30によってシミュレートされてもよく、それにより、検知ライン52を介して流体噴射回路20にアクセスすることなく、シミュレートされる種々の動作条件に対するプリンタ60の応答をテストすることができる。一例において、診断が完了した後、メモリ回路30及び可撓性配線回路162は、印刷コンポーネント10から取り外されてもよい。

#### 【0099】

図14は、図13に示したようにメモリ回路30をI/O端子40に接続するための、一例によるオーバーレイ配線基板160の一部を示す断面図である。特に、図14は、検知パッド50を通して延びる断面図を表している。一例において、メモリ回路30及び検知パッド50は、可撓性基板162の第1の表面163に配置されており、検知パッド50は、検知ライン52に相当する導電性トレースによって、メモリ回路30に接続されている。第2の検知パッド50<sub>1</sub>は、基板162の第2の表面164に配置されており、検知パッド50、検知ライン52、及びメモリ回路30から電氣的に絶縁されている。検知パッド50<sub>2</sub>は、印刷コンポーネントの基板168上に配置されており、導電性トレース52<sub>1</sub>によって流体噴射回路20に接続されている。可撓性配線基板160が印刷コンポーネント10に取り付けられると(方向矢印169で示されるように)、検知パッド50<sub>1</sub>は、検知パッド50<sub>2</sub>と整列し、検知パッド50<sub>2</sub>と接触する。検知パッド50<sub>1</sub>は、検知パッド50から電氣的に絶縁されているので、検知パッド50と下にあるパッド50<sub>1</sub>との間に電氣的接触は発生せず、その結果、流体噴射回路20と検知パッド50との間の接続は、切断される。

#### 【0100】

図15は、流体噴射システム200の一例を示すブロック図である。流体噴射システム200は、プリントヘッドアセンブリ204のような流体噴射アセンブリ、及びインク供給アセンブリ216のような流体供給アセンブリを含む。図示の例では、流体噴射システム200は、サービスステーションアセンブリ208、キャリッジアセンブリ222、印刷媒体搬送アセンブリ226、及び電子制御装置230をさらに含む。以下の説明は、インクに関する流体処理のためのシステム及びアセンブリの例を提供するが、開示されたシステム及びアセンブリは、インク以外の流体の処理にも適用可能である。

#### 【0101】

プリントヘッドアセンブリ204は、複数のオリフィス又はノズル214を通してインク又は流体の液滴を噴射する少なくとも1つのプリントヘッド212を含む。一例において、プリントヘッド212は、例えば図3によって本明細書で前述したように、ノズル214として実施される流体アクチュエータ(FA)26を有する流体噴射回路20として実施される場合がある。一例において、液滴は、印刷媒体232に印刷するために、印刷媒体232のような媒体に向けられる。一例において、印刷媒体232は、紙、カードストック、OHPフィルム、マイラー、布のような任意のタイプの適当なシート材料を含む。別の例では、印刷媒体232は、粉末床のような3次元(3D)印刷用の媒体、又は、リザーバ若しくは容器のようなバイオプリンティング及び/又は新薬発見試験用の媒体を含む。一例において、ノズル214は、少なくとも1つの列又はアレイを成して配置され、プリントヘッドアセンブリ204と印刷媒体232が互いに相対的に移動されるときに、ノズル214からのインクの適当に順序付けられた噴射により、文字、記号、及び/又は他のグラフィックス又は画像が、印刷媒体232に印刷される。

#### 【0102】

インク供給アセンブリ216は、プリントヘッドアセンブリ204にインクを供給し、インクを貯蔵するためのリザーバ218を含む。したがって、一例において、インクは、リザーバ218からプリントヘッドアセンブリ204へと流れる。一例において、プリン

10

20

30

40

50

トヘッドアセンブリ 204 及びインク供給アセンブリ 216 は、インクジェット又は流体ジェットプリントカートリッジ又はペンと一緒に収容されている。別の例では、インク供給アセンブリ 216 は、プリントヘッドアセンブリ 204 から分離されており、供給チューブ及び/又はバルブのようなインターフェース接続 220 を介して、プリントヘッドアセンブリ 204 にインクを供給する。

【0103】

キャリッジアセンブリ 222 は、プリントヘッドアセンブリ 204 を印刷媒体搬送アセンブリ 226 に対して相対的に位置決めし、印刷媒体搬送アセンブリ 226 は、印刷媒体 232 をプリントヘッドアセンブリ 204 に対して相対的に位置決めする。したがって、プリントヘッドアセンブリ 204 と印刷媒体 232 との間の領域に、ノズル 214 に隣接して印刷ゾーン 234 が定義される。一例において、プリントヘッドアセンブリ 204 は、走査型プリントヘッドアセンブリであり、キャリッジアセンブリ 222 は、プリントヘッドアセンブリ 204 を印刷媒体搬送アセンブリ 226 に対して相対的に移動させる。別の例では、プリントヘッドアセンブリ 204 は、非走査型プリントヘッドアセンブリであり、キャリッジアセンブリ 222 は、プリントヘッドアセンブリ 204 を印刷媒体搬送アセンブリ 226 に対して所定の位置に固定する。

10

【0104】

サービスステーションアセンブリ 208 は、プリントヘッドアセンブリ 204、より具体的には、ノズル 214 の機能を維持するために、プリントヘッドアセンブリ 204 のスピitting (吹き返し)、拭き取り、キャッピング、及び/又はブライミングを提供する。例えば、サービスステーションアセンブリ 208 は、余分なインクを拭き取り、ノズル 214 をクリーニングするために、定期的にプリントヘッドアセンブリ 204 上を通過するゴムブレード又はワイパーを含む場合がある。さらに、サービスステーションアセンブリ 208 は、不使用期間中にノズル 214 が乾燥するのを防ぐために、プリントヘッドアセンブリ 204 を覆うキャップを含む場合がある。さらに、サービスステーションアセンブリ 208 は、スピトゥーン (廃インクトレイ) を含む場合があり、プリントヘッドアセンブリ 204 は、その中にインクを噴射することで、リザーバ 218 が適当なレベルの圧力及び流動性を維持することを保証し、ノズル 214 が詰まったりノズル 214 からインクが垂れたりしないことを保証する場合がある。サービスステーションアセンブリ 208 の機能には、サービスステーションアセンブリ 208 とプリントヘッドアセンブリ 204 との間の相対運動も含まれる場合がある。

20

30

【0105】

電子制御装置 230 は、通信経路 206 を介してプリントヘッドアセンブリ 204 と通信し、通信経路 210 を介してサービスステーションアセンブリ 208 と通信し、通信経路 224 を介してキャリッジアセンブリ 222 と通信し、通信経路 228 を介して印刷媒体搬送アセンブリ 226 と通信する。一例において、プリントヘッドアセンブリ 204 がキャリッジアセンブリ 222 に取り付けられている場合、電子制御装置 230 とプリントヘッドアセンブリ 204 は、通信経路 202 を介してキャリッジアセンブリ 222 経由で通信することができる。一実施形態において、電子制御装置 230 はさらに、新しい (又は使用済みの) インク供給源を検出することができるように、インク供給アセンブリ 216 と通信する場合がある。

40

【0106】

電子制御装置 230 は、コンピュータのようなホストシステムからデータ 236 を受信し、データ 236 を一時的に記憶するためのメモリを含む場合がある。データ 236 は、電子的、赤外線、光学的、又は他の情報転送経路に沿って流体噴射システム 200 に送信される場合がある。データ 236 は、例えば、印刷される文書及び/又はファイルに相当する。したがって、データ 236 は、流体噴射システム 200 の印刷ジョブを形成し、少なくとも 1 つの印刷ジョブコマンド及び/又はコマンドパラメータを含む。

【0107】

一例において、電子制御装置 230 は、ノズル 214 からのインク滴の噴射のためのタ

50

イミング制御を含む、プリントヘッドアセンブリ 204 の制御を提供する。したがって、電子制御装置 230 は、印刷媒体 232 上に文字、記号、及び / 又は他のグラフィックス又は画像を形成する、噴射されたインク滴のパターンを定義する。タイミング制御、したがって噴射されるインク滴のパターンは、印刷ジョブコマンド及び / 又はコマンドパラメータによって決定される。一例において、電子制御装置 230 の一部を形成するロジック及び駆動回路は、プリントヘッドアセンブリ 204 上に配置される。別の例では、電子制御装置 230 の一部を形成するロジック及び駆動回路は、プリントヘッドアセンブリ 204 以外の場所に配置される。一例において、電子制御装置 230 は、図 1 に示されるように、I/O パッド 40 を介して種々の動作信号を印刷コンポーネント 10 に提供することができる。

10

**【0108】**

特定の例が本明細書で図示説明されているが、本開示の範囲から逸脱することなく、図示説明された特定の例の代わりに、様々な代替及び / 又は均等の実施形態が使用されてもよい。この出願は、本明細書で説明した特定の例の如何なる改変や又は変形もカバーすることを意図している。したがって、本開示は、特許請求の範囲及びその均等によってのみ制限されることが意図されている。

20

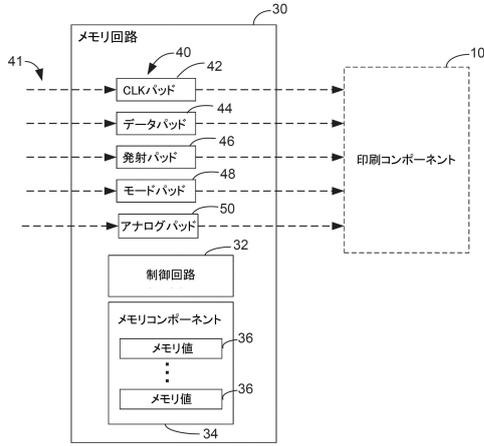
30

40

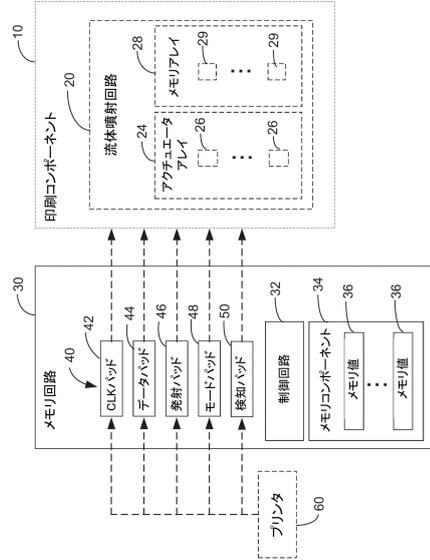
50

【図面】

【図 1】



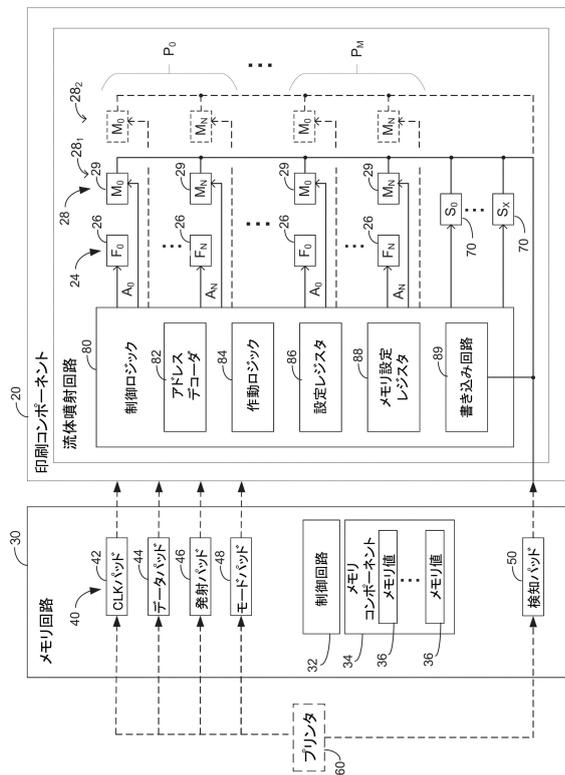
【図 2】



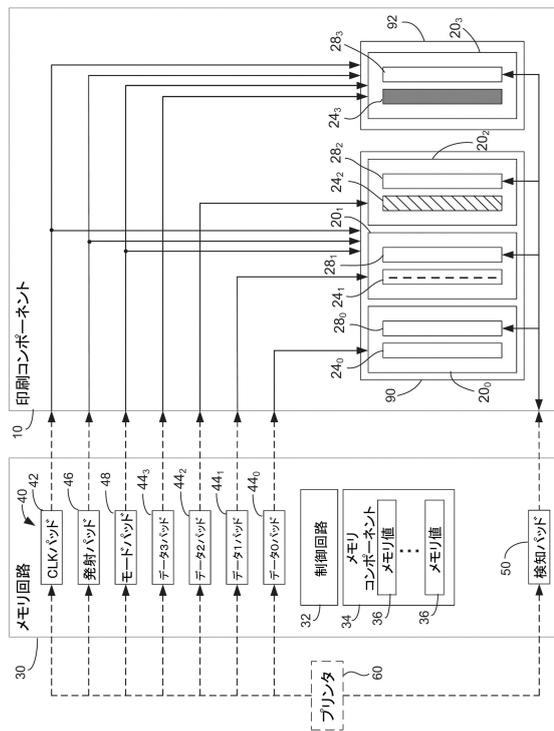
10

20

【図 3】



【図 4】



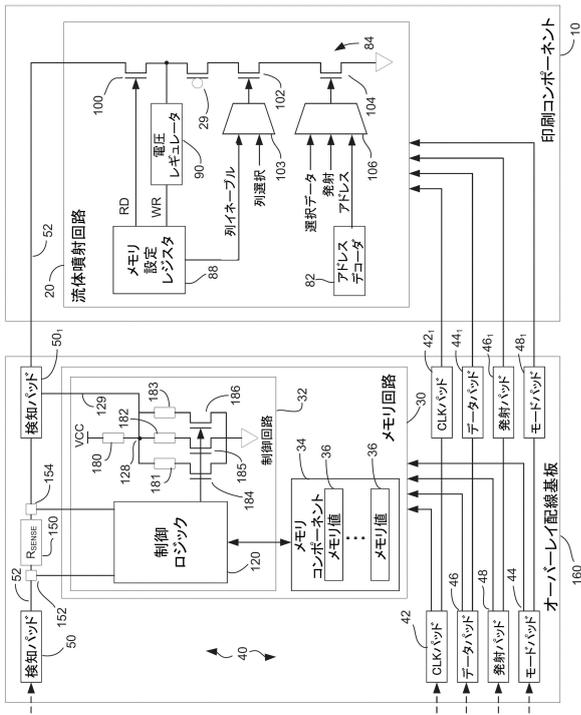
30

40

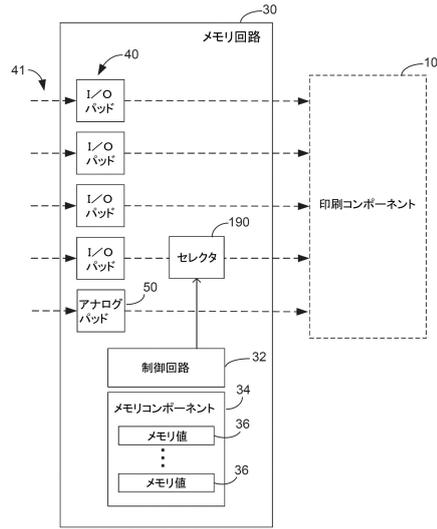
50



【図 8】



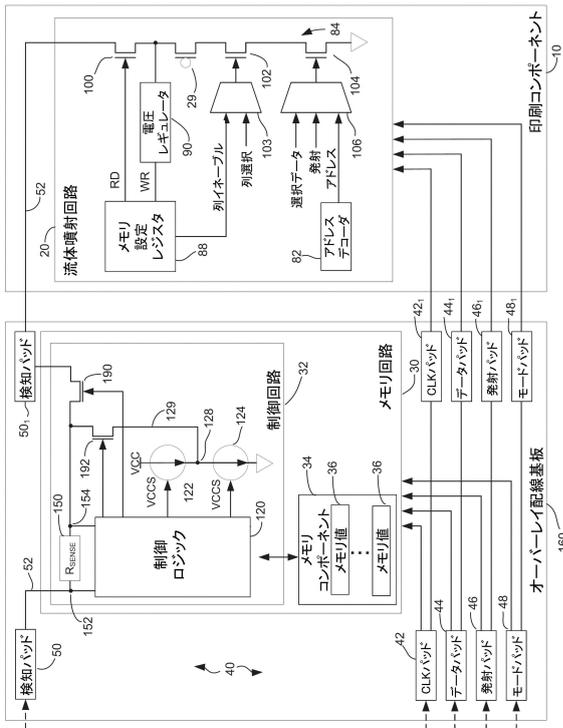
【図 9】



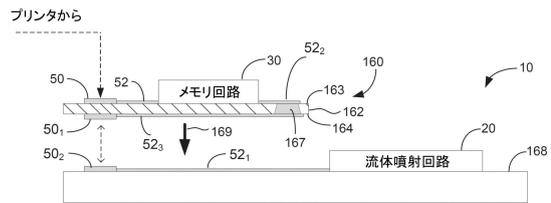
10

20

【図 10】



【図 11】

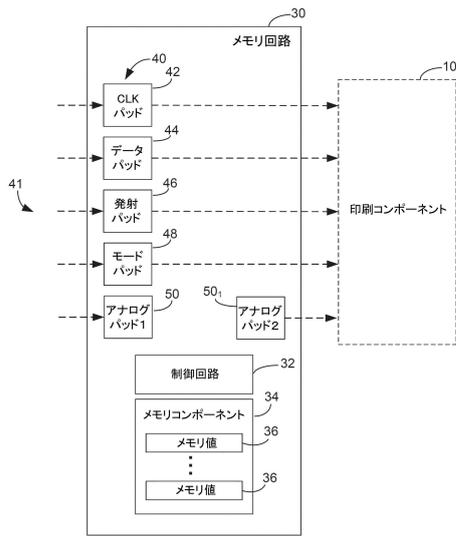


30

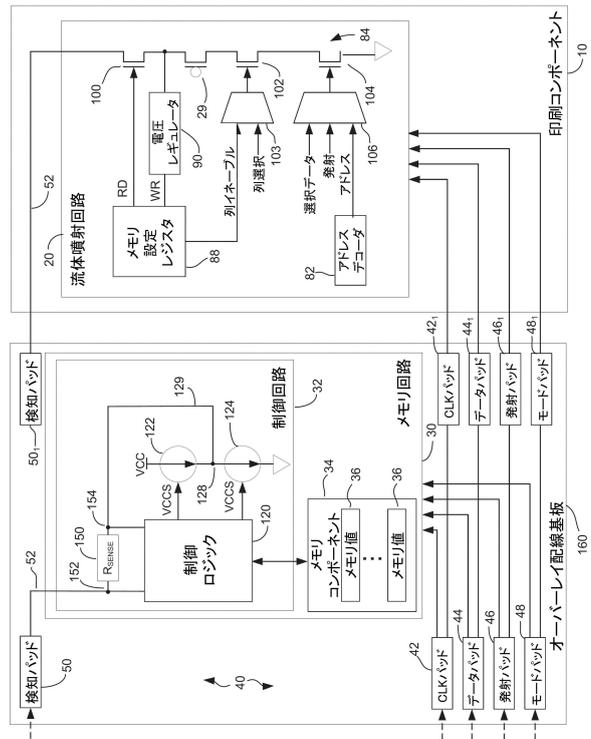
40

50

【図 1 2】



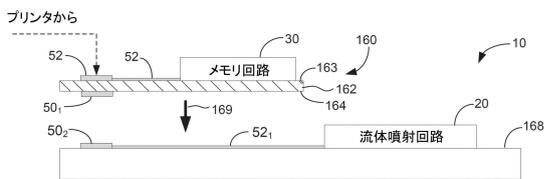
【図 1 3】



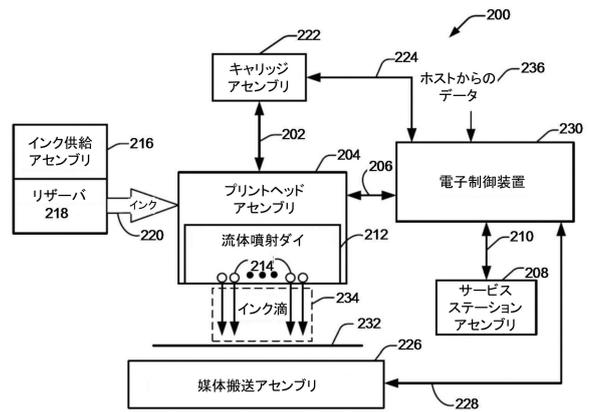
10

20

【図 1 4】



【図 1 5】



30

40

50

## フロントページの続き

(33)優先権主張国・地域又は機関

米国(US)

## 前置審査

(72)発明者 ガードナー, ジェイムズ, マイケル

アメリカ合衆国オレゴン州97330-4241, コーバリス, ノースイースト・サークル・ブルバード・1070

(72)発明者 ング, ブーン, ビン

アメリカ合衆国ワシントン州98683, バンクーバー, スイート・210, コロンビア・センター, コロンビア・テック・センター, スイート・210, サウスイースト・ワンハンドレッドシックスティフォース・アベニュー・1115

審査官 上田 正樹

(56)参考文献 特開平08-127162(JP, A)

特表2002-519808(JP, A)

米国特許出願公開第2018/0086122(US, A1)

国際公開第2019/009904(WO, A1)

(58)調査した分野 (Int.Cl., DB名)

B41J 2/14

B41J 2/01

B41J 2/21