

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-253315

(P2006-253315A)

(43) 公開日 平成18年9月21日(2006.9.21)

(51) Int. Cl.

H01L 23/12 (2006.01)

F I

H01L 23/12 501B

テーマコード (参考)

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願2005-65884 (P2005-65884)
 (22) 出願日 平成17年3月9日(2005.3.9)

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100077931
 弁理士 前田 弘
 (74) 代理人 100094134
 弁理士 小山 廣毅
 (74) 代理人 100110939
 弁理士 竹内 宏
 (74) 代理人 100110940
 弁理士 嶋田 高久
 (74) 代理人 100113262
 弁理士 竹内 祐二
 (74) 代理人 100115059
 弁理士 今江 克実

最終頁に続く

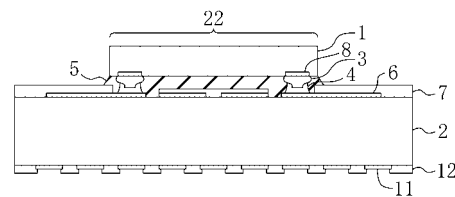
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】半導体チップとインターポーザ基板との隙間にアンダーフィル材の未充填領域が発生することを防止し、半導体チップがインターポーザ基板から剥離することがない、信頼性が高い半導体装置を実現できるようにする。

【解決手段】複数の表層配線6が形成されたインターポーザ基板2の表面には、複数の金属バンプ3が設けられた半導体チップ1がフェイスダウンで保持されている。各金属バンプ3は所定の表層配線6とそれぞれ導電接着材4により電氣的に接続されている。表層配線6は、金属バンプ3が接続された部分を除いてコーティング層7に覆われており、半導体チップ1の下側においてコーティング層7の厚さは他の領域よりも薄くなっている。インターポーザ基板2と半導体チップ1との隙間には、アンダーフィル材5が注入され、インターポーザ基板2と半導体チップ1との隙間は封止されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

一の面の上に形成された複数の配線及び前記一の面の上に前記複数の配線を覆うように形成され且つ前記複数の配線を保護するコーティング層を有するインターポーザ基板と、前記インターポーザ基板の前記一の面の上に、素子形成面を対向させて保持され且つ前記複数の配線と電氣的に接続された半導体チップと、

前記インターポーザ基板と前記半導体チップとの隙間を封止するアンダーフィル材とを備え、

前記コーティング層は、前記一の面の上における前記半導体チップが保持される領域である半導体チップ保持領域における厚さが、前記半導体チップ保持領域を除く領域における厚さよりも薄いことを特徴とする半導体装置。

10

【請求項 2】

前記コーティング層は、前記半導体チップ保持領域における厚さが、前記半導体チップ保持領域を除く領域における厚さの 4 分の 1 以上且つ 2 分の 1 以下であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記コーティング層は、前記半導体チップ保持領域における厚さが、5 μm 以上且つ 10 μm 以下であることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記半導体チップ保持領域は平面四角形状であり、

20

前記コーティング層は、前記半導体チップ保持領域の周辺部のうち前記半導体チップ保持領域の一辺と面した領域における厚さが、前記半導体チップ保持領域における厚さと同じであることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記コーティング層は、前記半導体チップ保持領域の周辺部における厚さが、前記半導体チップ保持領域における厚さと同じであることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の半導体装置。

【請求項 6】

複数の外部接続端子を有する半導体素子が形成された半導体チップを準備する工程と、

前記各外部接続端子に金属バンプをそれぞれ取り付ける工程と、

30

一の面の上に前記半導体チップを保持する半導体チップ保持領域を有し、前記一の面の上に複数の配線及び該複数の配線を覆うと共に前記半導体チップ保持領域における厚さが前記半導体チップ保持領域を除く領域における厚さよりも薄いコーティング層が形成されたインターポーザ基板を準備する工程と、

前記各金属バンプと前記各配線とがそれぞれ電氣的に接続されるように前記半導体チップを前記半導体チップ保持領域に保持する工程と、

前記半導体チップと前記インターポーザ基板との隙間に未硬化のアンダーフィル材を注入した後、注入したアンダーフィル材を硬化させることにより、前記半導体チップと前記インターポーザ基板との隙間を封止する工程とを備えていることを特徴とする半導体装置の製造方法。

40

【請求項 7】

前記半導体チップ保持領域は平面四角形状であり、

前記コーティング層は、前記半導体チップ保持領域の周辺部のうち前記半導体チップ保持領域の一辺に面した領域における厚さが、前記半導体チップ保持領域における厚さと同じであることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

前記コーティング層は、前記半導体チップ保持領域の周辺部における厚さが、前記半導体チップ保持領域における厚さと同じであることを特徴とする請求項 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は半導体チップとインターポーザ基板との隙間がアンダーフィル材により封止されたフリップチップ型の半導体装置に関する。

【背景技術】

【0002】

従来は、クワッドフラットパッケージ（以下はQFPと略す）と呼ばれる半導体装置が広く用いられていた。

【0003】

QFPは、外観四角形状の半導体装置であり、各側面に一定ピッチでガルウイング状のリード端子が配列された構造となっている。QFPにおいては、リードフレームのダイパッド上に半導体チップが熱硬化性の接着材を用いて保持され、その半導体チップが有する電極は、リードフレームの外部端子が繋がっているリード端子と金属細線により電氣的に接続されている。ダイパッド、半導体素子、金属細線及びリード端子を含む領域は、封止樹脂によりフルモールドされており、外部端子は封止樹脂から突出した構成となっている。

10

【0004】

QFPの製造方法は、ダイパッド上に半導体素子を保持する工程と、外部端子に繋がっているリード端子と半導体素子の電極を金属細線により電氣的に接続する工程と、ダイパッドとそれを囲む領域を封止樹脂によりフルモールドする工程と、封止樹脂から突出した外部端子をガルウイング状に形成し、リードフレームから分離する工程とから構成されている。

20

【0005】

しかし近年、電子機器、特に携帯機器に使用される半導体装置に対する薄型化、小型化、高密度化及び多ピン化等の要望が更に強くなっている。

【0006】

そこで、裏面にエリア状に配置された外部端子を有し、半導体チップと半導体基板との間を中継するためのインターポーザ基板の表面に半導体チップを保持するエリアレイパッケージが主流になりつつある。またエリアレイパッケージは、インターポーザ基板に半導体チップを上向きに保持するフェイスアップ方式と、インターポーザ基板に半導体素子を下向きで保持するフェイスダウン方式とに分類される。しかし、フェイスアップ方式の場合には、半導体チップとインターポーザ基板とを電氣的に接続するためにワイヤボンドを用いるため、インターポーザ基板の上に保持されている半導体チップの周辺部にワイヤを結線する配線領域を設ける必要があり、半導体装置を小型化することが困難である。

30

【0007】

一方、フェイスダウン方式の場合には、半導体チップとインターポーザ基板との電氣的接続を金属バンプにより行うため、半導体チップの周辺に配線領域を設ける必要がなく小型化が容易である。フェイスダウン方式の半導体装置は、半導体チップと、インターポーザ基板と、半導体チップとインターポーザ基板とを電氣的に接続する金属バンプと、半導体チップとインターポーザ基板との間を封止するアンダーフィル材とにより構成されている。インターポーザ基板の表面における半導体チップが保持された領域の周辺には半導体チップと電氣的に接続された表層配線が存在しており、表層配線を外的汚染から保護するためコーティング層がインターポーザ基板の表面全体に設けられている（例えば、特許文献1を参照。）。

40

【0008】

フェイスダウン方式での半導体装置の製造方法は、半導体チップが有する電極に金属バンプを付設する工程と、金属バンプを付設した半導体チップをインターポーザ基板に保持する工程と、半導体素子とインターポーザ基板の間に未硬化のアンダーフィル材を注入した後、熱処理によりアンダーフィル材を硬化させる工程とから構成されている。

【特許文献1】特開2004-63703号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、従来の技術には次のような問題がある。半導体チップが有する電極が千鳥配列の場合、半導体チップの周辺領域のみではなく半導体チップの下側にも表層配線を設けなければならない。従って、半導体チップの下側に設けられた表層配線を外的汚染から保護するために半導体チップの下側にもコーティング層を設けなければならない。しかし半導体チップの下にコーティング層を設けることにより、半導体チップとインターポーザ基板との隙間が狭くなり、半導体チップとインターポーザ基板との隙間を未硬化のアンダーフィル材が流れにくくなる。その結果、アンダーフィル材の未充填領域が発生し、インターポーザ基板から半導体チップが剥離したり、半導体チップとインターポーザ基板との接続抵抗が高くなったりするという問題が生じる。

10

【0010】

本発明は、前記従来の問題を解決し、半導体チップとインターポーザ基板との隙間にアンダーフィル材の未充填領域が発生することを防止し、半導体チップがインターポーザ基板から剥離することがない、信頼性が高い半導体装置及びその製造方法を実現できるようにすることを目的とする。

【課題を解決するための手段】

【0011】

前記の目的を達成するため、本発明はインターポーザ基板の表層配線を保護するコーティング層を、半導体チップの下側の領域において他の領域よりも厚さが薄い構成とする。

20

【0012】

具体的に、本発明の半導体装置は、一の面の上に形成された複数の配線及び一の面の上を覆い且つ複数の配線を保護するコーティング層を有するインターポーザ基板と、インターポーザ基板の一の面の上に素子形成面を対向させて保持され且つ複数の配線と電気的に接続された半導体チップと、インターポーザ基板と半導体チップとの隙間を封止するアンダーフィル材とを備え、コーティング層は、半導体チップが保持される領域である半導体チップ保持領域における厚さが、半導体チップ保持領域を除く領域における厚さよりも薄いことを特徴とする。

【0013】

本発明の半導体装置によれば、コーティング層は、半導体チップ保持領域における厚さが、半導体チップ保持領域を除く領域における厚さよりも薄いため、半導体チップとインターポーザ基板との間の隙間を十分に確保することができるので、未硬化のアンダーフィル材を半導体チップとインターポーザ基板との間に均一に充填することが可能である。その結果、金属バンプに応力が集中することがなく、インターポーザ基板から半導体チップが剥離することがない信頼性の高い半導体装置が得られる。また、半導体チップの下側における表層配線もコーティング層に覆われているため、表層配線の汚染による信頼性の低下も防止することができる。

30

【0014】

本発明の半導体装置において、コーティング層は、半導体チップ保持領域における厚さが、半導体チップ保持領域を除く領域における厚さの4分の1以上且つ2分の1以下であることが好ましい。また、コーティング層は、半導体チップ保持領域における厚さが5 μ m以上且つ10 μ m以下であることが好ましい。このような構成とすることにより、半導体チップとインターポーザ基板との間の隙間を確実に確保することが可能となる。

40

【0015】

本発明の半導体装置において、半導体チップ保持領域は平面四角形状であり、コーティング層は、半導体チップ保持領域の周辺部のうち半導体チップ保持領域の一辺と面した領域における厚さが、半導体チップ保持領域における厚さと同じであることが好ましい。このような構成とすることにより、未硬化のアンダーフィル材の注入が容易となる。

【0016】

50

本発明の半導体装置において、コーティング層は、半導体チップ保持領域の周辺部における厚さが、半導体チップ保持領域における厚さと同じであることが好ましい。このような構成とすることにより、未硬化のアンダーフィル材を注入する際に、アンダーフィル材が半導体チップ保持領域の外に流れ出しやすくなるため、アンダーフィル材の充填の可否を外観により判定することが可能となる。

【0017】

本発明の半導体装置の製造方法は、複数の外部接続端子を有する半導体素子が形成された半導体チップを準備する工程と、各外部接続端子に金属バンプをそれぞれ取り付ける工程と、一の面の上に半導体チップを保持する半導体チップ保持領域を有し、一の面の上に複数の配線及び該複数の配線を覆うと共に半導体チップ保持領域における厚さが半導体チップ保持領域を除く領域における厚さよりも薄いコーティング層が形成されたインターポーザ基板を準備する工程と、各金属バンプと各配線とがそれぞれ電氣的に接続されるように半導体チップを半導体チップ保持領域に保持する工程と、半導体チップとインターポーザ基板との隙間に未硬化のアンダーフィル材を注入した後、注入したアンダーフィル材を硬化させることにより、半導体チップとインターポーザ基板との隙間を封止する工程とを備えていることを特徴とする。

10

【0018】

本発明の半導体装置の製造方法によれば、半導体チップ保持領域における厚さが半導体チップ保持領域を除く領域における厚さよりも薄いコーティング層が形成されたインターポーザ基板を準備する工程と、半導体チップとインターポーザ基板との隙間に未硬化のアンダーフィル材を注入した後、注入したアンダーフィル材を硬化させることにより、半導体チップとインターポーザ基板との隙間を封止する工程とを備えているため、半導体チップとインターポーザ基板との隙間にアンダーフィル材を均一に充填することが可能となるので、半導体チップがインターポーザ基板から剥離しにくい、信頼性が高い半導体装置を実現することができる。

20

【0019】

本発明の半導体装置の製造方法は、半導体チップ保持領域は平面四角形状であり、コーティング層は、半導体チップ保持領域の周辺部のうち半導体チップ保持領域の一辺に面した領域における厚さが、半導体チップ保持領域における厚さと同じであることが好ましい。

30

【0020】

本発明の半導体装置の製造方法は、コーティング層は、半導体チップ保持領域の周辺部における厚さが、半導体チップ保持領域における厚さと同じであることが好ましい。

【発明の効果】

【0021】

本発明の半導体装置及びその製造方法によれば、半導体チップとインターポーザ基板との隙間にアンダーフィル材の未充填領域が発生することを防止し、半導体チップがインターポーザ基板から剥離することがない、信頼性が高い半導体装置を実現できる。

【発明を実施するための最良の形態】

【0022】

40

(一実施形態)

本発明の一実施形態に係る半導体装置及びその製造方法について図面を用いて説明する。図1は本実施形態の半導体装置の断面構成を示している。図1に示すようにインターポーザ基板2の裏面には、複数の裏面端子11がエリア状に配置されており、裏面端子11を覆う保護膜12が設けられている。

【0023】

インターポーザ基板2の表面には、複数の表層配線6が形成されており、各表層配線6はそれぞれ所定の外部端子21と、インターポーザ基板の内部に設けられたビア及び層内配線(図示せず)を介在させて電氣的に接続されている。

【0024】

50

インターポーザ基板 2 の表面に設けられた半導体チップ保持領域 2 2 には、半導体チップ 1 がフェイスダウン方式により保持されている。半導体チップ 1 の表面には複数の外部接続端子 8 が設けられており、各外部接続端子 8 には金からなる金属バンプ 3 が取り付けられている。各金属バンプ 3 は、所定の表層配線 6 と導電性ペースト等の導電性接着材 4 によりそれぞれ電氣的に接続された状態で接着されている。

【0025】

表層配線 6 は、金属バンプ 3 が接続された部分を除いてコーティング層 7 に覆われている。コーティング層 7 は、表層配線 6 が環境中の有機物や無機物によって汚染されることを防止する保護膜である。コーティング層 7 は、半導体チップ 1 に覆われた半導体チップ保持領域 2 2 において、他の領域よりも厚さが薄くなるように形成されている。

10

【0026】

インターポーザ基板 2 と半導体チップ 1 との隙間には、フェノール樹脂等からなるアンダーフィル材 5 が充填されており、インターポーザ基板 2 と半導体チップ 1 との隙間は封止されている。これにより、熱ストレス等による応力が金属バンプ 3 に集中することを緩和し、半導体チップ 1 がインターポーザ基板 2 から剥離したり、半導体チップ 1 と表層配線 6 との間の抵抗値が上昇したりすることを防止している。

【0027】

半導体チップ 1 の剥離を防止し、信頼性が高い半導体装置を得るためには、アンダーフィル材 5 が半導体チップ 1 とインターポーザ基板 2 との隙間を均一に埋めており、未充填部分が生じないようにすることが必要である。半導体チップ 1 とインターポーザ基板 2 との隙間の封止は、未硬化のアンダーフィル材 5 を半導体チップ 1 とインターポーザ基板 2 との隙間に注入した後、硬化させることにより行う。未硬化のアンダーフィル材 5 は、高粘度の液体であるため、半導体チップ 1 とインターポーザ基板 2 との隙間が狭い場合には、半導体チップ 1 とインターポーザ基板 2 との隙間に未硬化のアンダーフィル材 5 を均一に充填することは困難であり、未充填部分が発生してしまう。しかし、本実施形態の半導体装置においては、半導体チップ 1 の下側において表層配線 6 表面を覆うコーティング層 7 の厚さが薄くなっている。従って、半導体チップ 1 とインターポーザ基板 2 との隙間を広く確保することが可能であり、アンダーフィル材 5 を均一に充填して、金属バンプ 3 に応力が集中することを防止できる。

20

【0028】

半導体チップ 1 とインターポーザ基板 2 との間隔は、金属バンプ 3 の高さでコーティング層 7 の厚さによって決まる。金属バンプ 3 の高さは、強度や取り扱い等を考えるとあまり高くすることができない。超音波接合法により金属バンプ 3 を外部接続端子に取り付ける場合には、高さが 40 μm 程度のものが通常用いられる。また導電性接着材 4 の高さは 5 μm 程度である。一方、表層配線 6 の上を覆うコーティング層 7 の厚さは 20 μm 程度である。コーティング層 7 を薄くしすぎると形成が困難となり、厚くしすぎるとインターポーザ基板 2 に歪みが生じる等の影響があるので、10 μm ~ 30 μm 程度の厚さとすることが適当である。

30

【0029】

このため、バンプの高さが 40 μm 、導電性接着剤の高さが 5 μm 、コーティング層 7 の厚さを 20 μm とすると、インターポーザ基板 2 と半導体チップ 1 との間隔は 25 μm 程度しか確保できず、アンダーフィル材 5 を均一に充填することは困難である。しかし、本実施形態においては、半導体チップ 1 の下側に隠れる半導体チップ保持領域 2 2 において、表層配線 6 の上を覆うコーティング層 7 の厚さを他の領域と比べて 2 分の 1 である 10 μm としている。これにより、半導体チップ 1 とインターポーザ基板 2 との間隔を十分に確保することができるので、未硬化のアンダーフィル材 5 を半導体チップ 1 とインターポーザ基板 2 との間に均一に注入することが可能となる。

40

【0030】

半導体チップ保持領域 2 2 において、表層配線 6 の上を覆うコーティング層 7 の厚さは、未硬化のアンダーフィル材 5 を注入するためには薄い方がよいが、表層配線 6 の保護効

50

果及び形成のしやすさを考えると、厚さの下限は他の領域と比べて4分の1となる5 μ m程度である。

【0031】

以下に、本実施形態の半導体装置の製造方法について図面を用いて説明する。図2は本実施形態の半導体装置の製造方法について工程毎に断面構成を示している。

【0032】

まず、図2(a)に示すように半導体素子が形成された基板をダイシングして半導体チップ1を切り出した後、半導体チップ1に設けられた各外部接続端子8に金属パンプ3をそれぞれ接合する。金属パンプ3と外部接続端子8との接合は、超音波接合法等の既知の方法により行えばよい。

10

【0033】

次に、図2(b)に示すように半導体チップ保持領域22において、表層配線6を覆うコーティング層7の厚さが他の領域よりも薄いインターポーザ基板2を用意し、所定の金属パンプ3と表層配線6とがそれぞれ電氣的に接続されるように導電性接着材4を用いて接着することにより、インターポーザ基板2の上に半導体チップ1を保持する。導電性接着材4には銀を含むペースト等既知のものを用いればよい。半導体チップ保持領域22におけるコーティング層7の厚さを他の領域よりも薄くするには、例えば、表層配線6のうち金属パンプ3と接続する部分をマスクして薄いコーティングを行った後、半導体チップ保持領域22をマスクして再度コーティングを行えばよい。また、インターポーザ基板2の表面を均一にコーティングした後、半導体チップ保持領域22を選択的にエッチングして薄膜化してもよい。

20

【0034】

次に、図2(c)に示すように半導体チップ1とインターポーザ基板2との隙間にフェノール樹脂からなる液状で未硬化のアンダーフィル材5を注入した後、150 ~ 180の温度で3.5時間~5時間の熱処理を行い、アンダーフィル材5を硬化させる。

【0035】

本実施形態の半導体装置の製造方法においては、表層配線6の上を覆うコーティング層7の厚さが、半導体チップ1に覆われる半導体チップ保持領域22において、他の領域よりも薄くなっている。従って、アンダーフィル材5を均一に充填することが可能であり、金属パンプ3へ応力が集中しない、信頼性の高い半導体素子を製造することができる。

30

【0036】

なお、本実施形態において、インターポーザ基板2は、樹脂等を用いた有機基板であっても、セラミックス等を用いた無機基板であってもよい。また、コーティング層7には、アルミナ又はレジスト等を用いることができ、アンダーフィル材5にはエポキシ樹脂等を用いてもよい。

【0037】

(第1変形例)

以下に、本発明の一実施形態の第1変形例に係る半導体装置について図面を用いて説明する。図3は第1変形例の半導体装置の断面構成を示している。図3において図1と同一の構成要素には同一の符号を附すことにより説明を省略する。

40

【0038】

図3に示すように第1の変形例に係る半導体装置においてはコーティング層7の厚さが、半導体チップ保持領域22の周辺部のうちの一辺と面した領域においても、半導体チップ保持領域22と同様に他の領域よりも薄くなっている。これにより、未硬化のアンダーフィル材5を半導体チップ1とインターポーザ基板2との隙間に注入する際に、狭窄した部分を通らせる必要がなくなるので、アンダーフィル材5の注入が容易となる。

【0039】

(第2変形例)

以下に、本発明の一実施形態の第2変形例に係る半導体装置について図面を用いて説明する。図4は第2変形例の半導体装置の断面構成を示している。図4において図1と同一

50

の構成要素には同一の符号を附すことにより説明を省略する。

【0040】

図4に示すように第1の変形例に係る半導体措置においてはコーティング層7の厚さが、半導体チップ保持領域22の外周領域の全体において、半導体チップ保持領域22と同様に他の領域よりも薄くなっている。これにより、未硬化のアンダーフィル材5の注入が容易となるだけでなく、未硬化のアンダーフィル材5が半導体チップ保持領域22の外側に流れ出しやすくなるため、アンダーフィル材5の充填の可否を外観検査により判定することが可能となる。その結果、不具合品を確実に排除して製品の品質を向上させることができる。

【0041】

また、半導体チップ保持領域22を中心に対称性を有するようにコーティング層7を形成することが可能となるので、インターポーザ基板2が局所的に歪むことを防止できるという効果も得られる。

【産業上の利用可能性】

【0042】

本発明の半導体装置は、半導体チップとインターポーザ基板との隙間にアンダーフィル材の未充填領域が発生することを防止し、半導体チップがインターポーザ基板から剥離することがない、信頼性が高い半導体装置を実現できるという効果を有し、半導体チップとインターポーザ基板との隙間がアンダーフィル材により封止されたフリップチップ型の半導体装置等として有用である。

【図面の簡単な説明】

【0043】

【図1】本発明の一実施形態に係る半導体装置を示す断面図である。

【図2】本発明の一実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図3】本発明の一実施形態の第1変形例に係る半導体装置を示す断面図である。

【図4】本発明の一実施形態の第2変形例に係る半導体装置を示す断面図である。

【符号の説明】

【0044】

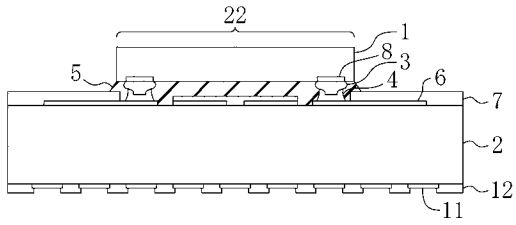
- 1 半導体チップ
- 2 インターポーザ基板
- 3 金属バンプ
- 4 導電性接着材
- 5 アンダーフィル材
- 6 表層配線
- 7 表層コーティング層
- 8 外部接続端子
- 11 裏面端子
- 12 保護膜
- 22 半導体チップ保持領域

10

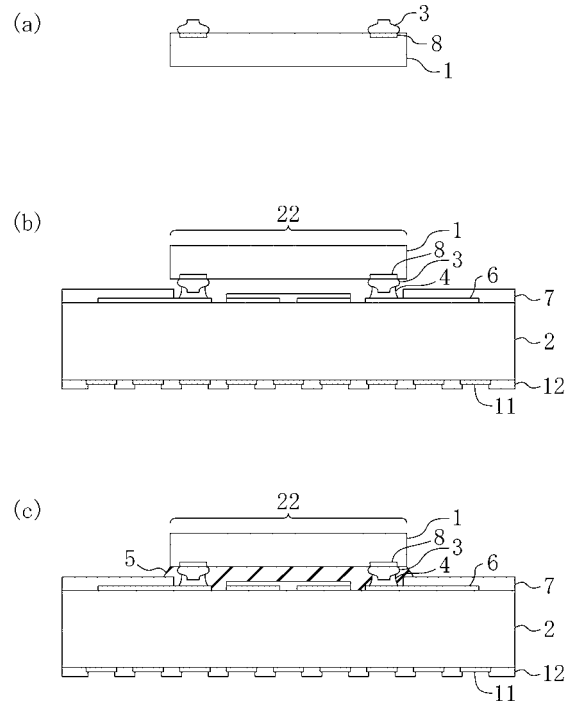
20

30

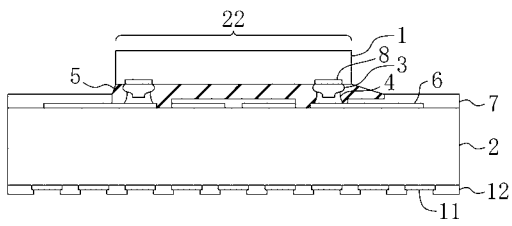
【 図 1 】



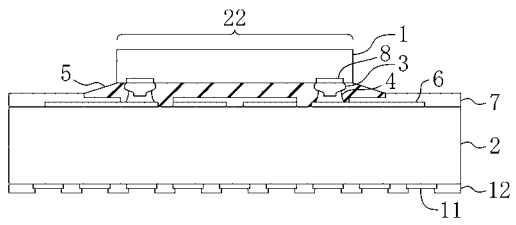
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

- (74)代理人 100115691
弁理士 藤田 篤史
- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (72)発明者 船越 正司
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 野々山 茂
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 上田 直人
大阪府門真市大字門真1006番地 松下電器産業株式会社内