



# [12] 发明专利申请公开说明书

[21] 申请号 02828519.0

[43] 公开日 2005年6月1日

[11] 公开号 CN 1623206A

[22] 申请日 2002.12.16 [21] 申请号 02828519.0

[30] 优先权

[32] 2002.1.18 [33] US [31] 10/052,924

[86] 国际申请 PCT/US2002/040204 2002.12.16

[87] 国际公布 WO2003/063171 英 2003.7.31

[85] 进入国家阶段日期 2004.9.10

[71] 申请人 桑迪士克股份有限公司

地址 美国加利福尼亚州

[72] 发明人 尼玛·莫克莱斯

丹尼尔·C·古特曼

杰弗里·S·冈沃尔

[74] 专利代理机构 北京律盟知识产权代理有限责任  
公司

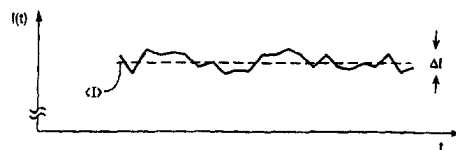
代理人 刘国伟

权利要求书5页 说明书23页 附图9页

[54] 发明名称 晶体管的减少噪声技术和使用插话式激励的小型装置

[57] 摘要

本发明提供了多种用于减少非易失性存储器件的读取中所固有的噪声量的方法，该方法通过将一个插话式激励(例如，一个时间变化电压)施加到单元的某个端子或某些端子作为读取过程的一部分来减少噪声。本发明的各个方面也可扩展到非易失性存储器以外的器件。根据本发明的一个方面，除了将正常的电压电平施加到该单元作为读取过程的一部分之外，还将一个时间变化电压施加到该单元上。一组实施例是仅在读取过程的信号积分时间之前或在积分时间期间将单组或多组交变电压施加到一个浮动栅存储单元的一个或多个端子上。在其它实施例中，可使用其它可再生的外部或内部激励，这些激励是可重复的，其平均影响(从一个积分时间到下一个积分时间)保持充分的恒定以使其具有净的减少噪声的效果。



1. 一种读取一个非易失性存储器存储单元中的数据内容的方法，该方法包括：  
在一个读取时段期间，将一组读取电压波形施加到该存储器存储单元的该等端子上；

在该读取时段期间测量一个与该存储器存储单元的该数据内容相关的参数值，其中该参数的测量值包括噪声分量的成分；

在该读取时段期间将一个插话式激励施加到该存储器存储单元上，其中该激励的电平影响该参数值并因此减少噪声分量的成分。

2. 如权利要求 1 所述的方法，其中该参数是电流。

3. 如权利要求 1 所述的方法，其中该参数是电压。

4. 如权利要求 1 所述的方法，其中该参数是时间。

5. 如权利要求 1 所述的方法，其中该参数是频率。

6. 如权利要求 1 所述的方法，其中该存储器存储单元是一个浮动栅晶体管而该测量一个参数值的步骤包括将一个非周期性的电压施加到该晶体管的一个第一控制栅上，且其中在该晶体管的一个第一与一个第二源极/漏极区域之间测量该参数。

7. 如权利要求 6 所述的方法，其中该插话式激励是一个周期性的电压波形。

8. 如权利要求 7 所述的方法，其中该浮动晶体管进一步包括一个选择栅，并将该插话式激励施加到该选择栅。

9. 如权利要求 7 所述的方法，其中将该插话式激励施加到该晶体管的第一控制栅。

10. 如权利要求 7 所述的方法，其中将该插话式激励施加到该晶体管的衬底。

11. 如权利要求 10 所述的方法，其中该浮动栅晶体管具有双浮动栅，该第一控制栅位于该双浮动栅的一个第一浮动栅上，且进一步包括位于该双浮动栅的第二浮动栅上的一个第二控制栅，其中该选择栅位于该等两个控制栅之间。

12. 如权利要求 7 所述的方法，其中该周期性电压具有正弦波波形。

13. 如权利要求 7 所述的方法，其中该周期性电压具有方波波形。

14. 如权利要求 7 所述的方法，其中该周期性电压具有梯形波波形。

15. 如权利要求 6 所述的方法，其中该参数是在该浮动栅晶体管的一个沟道区域中流动的电流。

16. 如权利要求 6 所述的方法，其中该参数是形成预定电流所需的一个电压。

17. 如权利要求 6 所述的方法, 其中该插话式激励是单个电压脉冲。

18. 如权利要求 6 所述的方法, 其中该读取时段包括一个第一阶段和随后的一个第二阶段, 其中在该第二阶段期间执行该测量一个参数的步骤, 并且在该第一阶段期间开始施加一组感测电压波形。

19. 如权利要求 18 所述的方法, 其中该插话式激励是多个电压脉冲。

20. 如权利要求 18 所述的方法, 其中在该第二阶段期间施加该插话式激励。

21. 如权利要求 18 所述的方法, 其中在该第一阶段期间施加该插话式激励。

22. 如权利要求 1 所述的方法, 其中该存储器存储单元是一个磁性存储单元, 而该插话式激励是一个磁场。

23. 如权利要求 1 所述的方法, 其中该存储器存储单元是一个分子晶体管存储器存储单元。

24. 如权利要求 1 所述的方法, 其中该存储器存储单元是一个单电子晶体管存储器存储单元。

25. 如权利要求 1 所述的方法, 其中该存储器存储单元是一个纳米晶体管存储器存储单元。

26. 如权利要求 1 所述的方法, 其中响应于一个错误控制编码的结果来调用所述施加一个插话式激励的步骤。

27. 如权利要求 1 所述的方法, 其中所述的读取时段包括一个第一部分和随后的一个第二部分, 其中所述施加一组读取电压波形的步骤包括:

在该读取时段的第一部分期间将第一组感测电压波形施加到该存储器存储单元的该等端子上; 及

在该读取时段的第二部分期间将第二组感测电压波形施加到该存储器存储单元的该等端子上;

其中所述测量该参数值的步骤包括:

在该读取时段的第一部分期间测量与该存储器存储单元的数据内容相关的该参数值;

在该读取时段的第二部分期间测量与该存储器存储单元的数据内容相关的一个参数值; 及

其中响应于所述在该读取时段的第一部分期间测量与该存储器存储单元的数据内容相关的该参数值的步骤, 在该读取时段的第二部分期间执行所述施加一个插话式激励的步骤。

28. 如权利要求 27 所述的方法, 其中响应于一个错误控制编码的结果来调用所述施加一个插话式激励的步骤。

29. 一种操作一个非易失性存储器的方法, 该方法包括:

在一个时段期间将一组电压施加到该非易失性存储器的一个存储单元上;

响应于该组电压判定该存储单元的导电特征, 其中该组电压包括一个插话式激励分量。

30. 如权利要求 29 所述的方法, 其中该判定该导电特征的步骤包括测量电流。

31. 如权利要求 29 所述的方法, 其中该判定该导电特征的步骤包括测量电压。

32. 如权利要求 29 所述的方法, 其中该判定该导电特征的步骤包括测量时间。

33. 如权利要求 29 所述的方法, 其中该判定该导电特征的步骤包括测量频率。

34. 如权利要求 29 所述的方法, 其中该存储器存储单元是一个浮动单晶体管, 而该组电压进一步包括将一个非周期性电压施加到该晶体管的一个第一控制栅, 其中判定该导电特征的步骤包括在一个读取时段期间在该晶体管的一个第一和一个第二源极/漏极区域之间测量一个参数。

35. 如权利要求 34 所述的方法, 其中将该插话式激励施加到该晶体的控制栅。

36. 如权利要求 34 所述的方法, 其中将该插话式激励施加到该晶体的衬底。

37. 如权利要求 34 所述的方法, 其中该浮动栅晶体管进一步包括一个选择栅, 且将该插话式激励施加到该选择栅。

38. 如权利要求 37 所述的方法, 其中该浮动栅晶体管具有双浮动栅, 该第一控制栅位于该等双浮动栅的第一浮动栅上, 且进一步包括位于该等双浮动栅的第二浮动栅上的一个第二控制栅, 其中该选择栅位于该等两个控制栅之间。

39. 如权利要求 34 所述的方法, 其中该参数是在该浮动栅晶体管的一个沟道区域中流动的电流。

40. 如权利要求 34 所述的方法, 其中该参数是形成预定电流所需的一个电压。

41. 如权利要求 34 所述的方法, 其中该读取时段包括一个第一阶段和随后的一个第二阶段, 其中在该第二阶段期间执行该测量一个参数的步骤, 并且在该第一阶段期间开始施加一组感测电压波形。

42. 如权利要求 41 所述的方法, 其中在该第二阶段期间施加该插话式激励。

43. 如权利要求 41 所述的方法, 其中在该第一阶段期间施加该插话式激励。

44. 如权利要求 29 所述的方法, 其中该插话式激励是一个具有正弦波波形的电压。

45. 如权利要求 29 所述的方法, 其中该插话式激励是一个具有方波波形的电压。

46. 如权利要求 29 所述的方法，其中该插话式激励是一个具有梯形波波形的电压。

47. 如权利要求 29 所述的方法，其中该存储器存储单元是一个磁性存储单元，而该插话式激励是一个磁场。

48. 如权利要求 29 所述的方法，其中该存储器存储单元是一个分子晶体管存储器存储单元。

49. 如权利要求 29 所述的方法，其中该存储器存储单元是一个单电子晶体管存储器存储单元。

50. 如权利要求 29 所述的方法，其中该存储器存储单元是一个纳米晶体管存储器存储单元。

51. 如权利要求 29 所述的方法，其中所述的判定该存储单元的导电特征的步骤包括：响应于该组电压第一次判定该存储单元的导电特征；及

随后响应于该组电压第二次判定该存储单元的导电特征，其中仅在所述第二次判定期间施加该插话式激励分量。

52. 如权利要求 51 所述的方法，其中所述随后第二次判定该存储单元的导电特征的步骤是响应于错误控制编码结果。

用于将该组读取电压施加到该存储器存储单元的组件，该组读出电压包括：

一个感测电压条件；和

53. 一种非易失性存储器，包括：

一个存储器存储单元；

一个感测放大器，该感测放大器连接到该存储器存储单元用于响应于一组读取电压判定该存储器存储单元的状态；和

连接到该存储器存储单元的多个驱动器

一个插话式激励电压条件。

54. 如权利要求 53 所述的存储器，其中该感测放大器通过感测一个电流来操作。

55. 如权利要求 53 所述的存储器，其中该感测放大器通过感测一个电压来操作。

56. 如权利要求 53 所述的存储器，其中该存储器存储单元是一个浮动栅晶体管，而该感测电压条件包括将一个电压施加到该晶体管的一个第一控制栅上，其中该感测放大器在该晶体管的一个第一和一个第二源极/漏极区域之间测量一个参数。

57. 如权利要求 56 所述的存储器，其中该插话式激励电压条件被施加到该晶体管的一个控制栅。

58. 如权利要求 56 所述的存储器，其中该插话式激励电压条件被施加到该晶体管

的衬底。

59. 如权利要求 56 所述的存储器，其中该浮动栅晶体管进一步包括一个选择栅，而且将该插话式激励电压条件施加到该晶体管的该选择栅。

60. 如权利要求 59 所述的存储器，其中该浮动栅晶体管具有双浮动栅，该第一控制栅位于该等双浮动栅的一个第一浮动栅上，且进一步包括位于该等双浮动栅的该第二浮动栅上的一个第二控制栅，其中该选择栅位于该等两个控制栅之间。

61. 如权利要求 56 所述的存储器，其中该参数是在该浮动栅晶体管的一个沟道区域流动的电流。

62. 如权利要求 56 所述的存储器，其中该参数是形成预定电流所需的一个电压。

63. 如权利要求 53 所述的存储器，其中该插话式激励电压条件是一个具有方波波形的周期性电压。

64. 如权利要求 53 所述的存储器，其中该插话式激励电压条件是一个具有梯形波波形的周期性电压。

65. 如权利要求 53 所述的存储器，进一步包括：

一个耦接到该感测放大器和多个驱动器的错误控制编码部分，其中所述的多个驱动器响应于一个来自该错误控制编码部分的控制信号施加该插话式激励电压条件。

66. 如权利要求 53 所述的存储器，其中该存储器存储单元是一个磁性存储单元，而该插话式激励是一个磁场。

67. 如权利要求 53 所述的存储器，其中该存储器存储单元是一个分子晶体管存储器存储单元。

68. 如权利要求 53 所述的存储器，其中该存储器存储单元是一个单电子晶体管存储器存储单元。

69. 如权利要求 53 所述的存储器，其中该存储器存储单元是一个纳米晶体管存储器存储单元。

70. 如权利要求 53 所述的存储器，其中该非易失性存储器包括一个存储单元阵列，其所述存储器存储单元是一个元件，进一步包括：

一条连接到所述的多个驱动器中的一个与包括所述存储器存储单元的阵列的一部分之间的增压线，借此施加所述插话式激励电压条件。

## 晶体管的减少噪声技术和使用插话式激励的小型装置

### 技术领域

本发明大体上涉及晶体管和含有计算机可读存储器件的小型电子装置，该计算机可读存储器件能被静态读取（如在已知的静态 RAM 读取方案中），也能被动态读取（如在使用紧接着有信号形成的预先充电的动态 RAM 中），更具体的说，本发明涉及在读取它们的信息内容时减少噪声的方法。

### 背景技术

在如 EEPROM 或闪速存储器的非易失性半导体存储器中，增加每个存储单元所存储的数据量以增加存储密度。与此同时，降低这种器件的工作电压以减小功耗。这导致在较小的电压或电流值范围内存储更多的状态。随着数据状态之间的电压或电流间隔减小，噪声的影响在这些单元的中变得更加显著。例如，在工作于 5 伏的二进制存储 EEPROM 单元中可接受的阈值变化，在工作于 3 伏的每个单元具有 4 个读取或 4 个以上可存储位的器件中是不可接受的。在美国专利第 6,044,019 号中描述了噪声在非易失性存储器中的一些后果以及用于处理该噪声的方法，其内容以引用的方式并入本文中。

传统上将物理上较大的晶体管用于敏感的模拟应用中，而使用工作于二进制模式下的物理上较小的数字晶体管的数字电路对于存在的低噪声电平不敏感。即使 4 级存储非易失性存储器（2 位/单元）也具有足够大的感测余量，从而在多数情况下通常不受此种噪声的影响。然而，随着存储器器件的尺寸持续减小，如单个电子或量子效应的非宏观影响已越来越显著，并且已经加剧了该噪声问题。

在下面的参考文献中讨论了此种小尺寸器件的操作的各个方面，它们以引用的方式并入本文中：

【1】 "Random Telegraph Noise in Deep-Submicrometer MOSFETS", 作者 K. K. Huang 等, *IEEE Electron Device Letters*, Vol. 11, No. 2, 1990 年 2 月;

【2】的 "Effects of oxide traps, interface traps, and border traps on metal-oxide-semiconductor devices". 作者 D. M. Fleetwood 等, *J. Appl. Phys.*,

Vol. 73, No. 10, 1993年3月15日;

【3】 "Quantum Effects on the Extraction of MOS Oxide Traps by 1/f Noise Measurements". 作者 Andrea Pacelli 等, *IEEE Transactions on Electron Devices*, Vol. 46, No. 5, 1999年5月, 第1029页;

【4】 "In Depth Exploration of Si-SiO<sub>2</sub> Interface Traps in MOS Transistors Using the Charge Pumping Technique", 作者 Daniel Bauza 等, *IEEE Transactions on Electron Devices*, Vol. 44, No. 12, 1997年12月, 第2262页;

【5】 "Critical Discussion on Unified 1/f Noise Models for MOSFETs" 作者 Ewout P. Vandamme 等, *IEEE Transactions on Electron Devices*, Vol. 47, No. 11 2000年11月, 第2146页;

【6】 "A Solution for Current-Voltage Characteristics of Multiple Coupled Mesoscopic Tunnel Junctions", 作者 N. Makhlesi 等, *Superlattices and Microstructures*, vol. 21, no. 1, 第.15-19页 (1997年);

【7】 "Capacitive nature of atomic-sized structures", 作者 G. J. Iafrate 等, *Physical Review B* VOL. 52, Number 15, 第10733页, 1995年-I, 10月15日;

【8】 "1/f noise reduction of metal-oxide-semiconductor transistors by cycling from inversion to accumulation", 作者 I. Bloom 等, *Applied Physics Letters* 58 (15) 1991年4月15日;

【9】 "The decrease of "random telegraph signal" noise in metal-oxide-semiconductor field effect transistors when cycled from inversion to accumulation", 作者 B. Dierickx 等, *Journal of Applied Physics*, 71 (4) 1992年2月15日;

【10】 "MOSFET 1/f Noise Measurement Under Switched Bias Conditions", 作者 A. P. van der Wel 等, *IEEE Electron Device Letters*, Vol. 21, No. 1, 2000年1月;

【11】 "Reducing MOSFET 1/f Noise and Power Consumption by Switched Biasing", 作者 Eric A. M. Klumperink 等, *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 7, 2000年7月,

然而在这些文献中没有提供用于在存储器系统中的减少噪声的具体、实用的技术的。

尽管噪声的后果可以使用如在上面以引用方式并入本文中的第6,044,019号专利的



技术得以降低，或者使用纠错码（ECC）或如美国专利第 5, 418, 752 号中所述的其它相等的错误管理得以处理，其内容以引用的方式并入本文中，然而存储器可受益于多种方法，以减少由处于宏观与微观范围之间的中尺度（mesoscopic）区域引起的噪声。

## 发明内容

本发明提供了多种用于进一步减少非易失性存储器件的读取中固有的噪声量的方法，该方法是通过将一个插话式激励（例如，一个时间变化电压）施加到单元的某个端子或某些端子作为读取过程的一部分来减少噪声。本发明的各个方面也可扩展到非易失性存储器以外的器件。根据本发明的一个方面，除了将正常的电压电平施加到该单元作为读取过程的一部分之外，还将一个时间变化电压施加到该单元。一组实施例是仅在读取过程的信号积分时间之前或在积分时间期间将单组或多组交变电压施加到一个浮动栅存储器单元的一个或多个端子。在其它实施例中，可使用其它可再生的外部或内部激励，这些激励是可重复的，其平均影响（从一个积分时间到下一个积分时间）保持充分恒定以使其具有适用的净的减少噪声效果。其它可能具有净的减少噪声效果的激励包括外部或内部产生的光子、声子和磁场。

本发明的其它方面、特征和优点包括于下面的具体典型实施例的描述中，该描述应结合附图。

## 附图说明

图 1A-D 展示了一个存储器单元的经测量的电流中的噪声反应。

图 2A-C 是一个浮动栅存储器单元的一个界面状态陷阱的示意图。

图 3 展示了本发明的一个简化实施例。

图 4A-D 展示了一个存储器单元结构的一个具体实施例。

图 5A-C 描述了两个具体的读取过程。

图 6 展示了一个存储器单元结构的另一个实施例。

图 7A-C 描述了对图 6 的结构读取过程。

## 具体实施方式

通过减小包含存储单元的电路的各个部件的物理尺寸以及通过增加可在单个存储单元中存储的数据量来增加非易失性半导体存储器的存储容量。例如，如美国专利第

5,712,180 号和第 6,103,573 号以及在 2000 年 2 月 17 日提交的美国专利申请案第 09/505,555 号和在 2000 年 9 月 22 日提交的美国专利申请案第 09/667,344 号中所述的器件可以在每个物理浮动栅存储晶体管中存储 4 个或 4 个以上的逻辑位, 该等专利和专利申请案全部转让给 SanDisk 公司并全部以引用方式并入本文中。在 4 个逻辑位的情况下, 此存储将需要每个浮动栅能够被编码在 16 个可能的存储器状态之一中。每个存储器状态对应于该浮动栅上所存储电荷的一个唯一值, 或者更加精确地说是一个窄范围的值, 该值与相邻状态的电荷存储值范围充分地分离, 以使该状态与相邻状态以及所有其它状态清楚地区别开来。这对于正常读取操作以及作为编程操作的一部分的校验读取来说是正确的。

在 2000 年 9 月 27 日提交的美国专利申请案第 09/671,793 号以及在 2001 年 11 月 20 日提交的 Shahzad Khalid 的标题为 “Sense Amplifier for Multilevel Non-Volatile Integrated Memory Devices” 美国专利申请案中描述了多种用于读取存储单元的技术, 这两个申请案被转让给 SanDisk 公司并以引用的方式并入本文中。这些申请案的第一个描述了读取用于 4 位存储中具有 7 位或更高的分辨率的存储单元的内容。当在一个 3V 工作电压窗口中包含此数目的级别时, 如同在低压器件中所见的那样, 这导致要求分辨能力大约为 25mV 和以及状态与状态的间隔为 200mV。对于该范围, 以前可接受的噪声级别现在可导致用一个或多个状态级别的错误来读取该单元的状态。

图 1A-D 展示说明了存储单元读取中噪声波动的例子。图 1A 展示了表示该存储单元状态的一些参数的值, 在这种情况下, 电流  $I(t)$  在某个平均值  $\langle I \rangle$  附近波动。在这种情况下, 如果信号形成时间比该等波动的典型时间标度长几倍, 则可以判定该单元状态的相对无噪值。信号形成时间是指示该单元正在形成的状态的可测量的时间间隔。该可测量的值可以是单元驱动电流值、单元阈值电压、在固定时间量内产生的位线电压降或产生一固定的位线电压降量所需的时间量。在美国专利第 No. 6,044,019 中描述了一些用于确定单元状态的相对精确的的方法, 图 1A 选自该专利, 并且该专利在上文中以引用的方式并入本文中。

在 Carlos J. Gonzalez 和 Daniel C. Guterman 的标题为 “Sense Amplifier for Multilevel Non-Volatile Integrated Memory Devices” 的共同代决的美国专利中描述了可进一步与这些其它技术相结合的额外读取技术, 该专利与本申请案同时提交并以引用的方式并入本文中。由于这些其它技术能处理具有不同特征的噪声分量, 所以应将它们视为彼此的补充和对本发明的补充。

在一些情况下, 已经发现噪声在幅度上并非正态分布在单个平均值附近, 而是看上

去具有双峰 (bimodal) 特征, 如在图 1B、1C 和 1D 所展示的和在背景技术部分中引用的参考文献【1】中讨论的那样。图 1B 和 1C 展示了来自存储器单元的经测量的电流的例子, 其中该电流在例如  $1\ \mu\text{A}$  的值附近波动, 但具有多个近似等幅度的尖峰, 例如  $0.10\ \mu\text{A}$ 。在图 1B 中, 该等尖峰位于高于一个基础值的电流处, 在图 1C 中该等尖峰位于较低电流处, 而在图 1D 中由噪声源支配的较高和较低的导电级别 (conduction level) 具有相当的时间特征。在所有的三种情况下, 它们的持续时间随机地变化。在尖峰时间期间以及尖峰之间的时间中均存在着在图 1A 中所见类型的额外类型的噪声。随着存储器器件的尺寸持续减小, 如单个电子或量子效应的非宏观影响已经变得越来越显著, 并且由引入这些在中尺度 (mesoscopic) 区域中产生的瞬间尖峰已经加剧了噪声问题。该等尖峰的幅度和持续时间的范围取决于它们产生的具体机理。

如果该等尖峰的寿命与如在美国专利第 6, 044, 019 号中所述的读取过程的积分周期 (即, 信号形成时间) 相比足够短或者该等尖峰足够频繁以使在每一积分时段期间存在统计上大致相等数目的噪声尖峰那么该积分时段的时间平均影响可以是这样的: 噪声的影响变得可以忽略。然而, 已经发现在一些情况下, 一个存储器单元可具有带有特征时间常数的噪声, 该特征时间常数可与实际的积分周期可跨越的时间相当或与实质上更长。在这样的情况下, 噪声能对由此得到的感测产生不可接受的巨大影响。例如, 参照图 1D, 如果积分周期与发生明显的噪声事件 (例如, 导致较高电流) 的典型时间相当或比该时间短, 那么通常将有是两个不同的感测值, 这取决于该感测发生在什么时间。这可能大大限制能读取单元的数据内容的分辨率。

例如, 考虑闪速存储器单元环境中的一组申请案。在观察关于各种尺寸和类型的晶体管 (不同代的闪速存储器以及 NMOS 晶体管) 的晶体管噪声中, 已经观察到 (例如, 见背景技术的参考文献【1】) 噪声的幅度与晶体管的宽度相反, 而又可能与晶体管的长度相近, 以致于噪声随着晶体管的尺寸比例增加。可多次读取晶体管的阈值电压  $V_{\text{TH}}$ , 并且通过每次测量各个  $V_{\text{TH}}$  值来获得测量值可研究晶体管噪声的结果。为了使用半导体参数分析仪来测量  $V_{\text{TH}}$ , 可扫描栅/控制栅电压  $V_g$  以搜索  $V_g$  的值, 其导致预定量的漏极到源极的电流 (例如  $1\ \mu\text{A}$ )。当重复多次  $V_{\text{TH}}$  测量时, 可发现每次测量的  $V_{\text{TH}}$  值有稍微的不同。也可观察到使用较长的积分时间和/或使用较小的增量扫描  $V_g$  未必减少噪声或不能大大减少噪声。另一选择为, 可将固定的电压施加给所有的晶体管端子, 以执行多次 (例如几千次) 的重复直流 (DC) 电流测量。总体上说来, 电流保持大致恒定。然而, 当在精细分辨率标度上观察时, 在模拟器件和多级非易失性存储器单元中能检测到通常是不能接受的噪声级别的变化, 特别是存储级别的数目是 8 或更高时 (即, 每个单元三位或

更多位)。发现一个存储器阵列中的一小部分存储器单元是无噪声的。这是在器件测量的一个大样本中的噪声源总体的结果，其通常服从具有特征标准差的正态分布。在具有如图 1B 和 1C 所示的特性的器件中，晶体管将表现出正态分布的噪声加上一些电流值，该等电流值对应于窄噪声尖峰而偏离正态分布；在具有如图 1D 所示的特性的器件中，噪声将具有双峰分布而不是正态分布。很多晶体管在一些电流值（对应于具体的栅电流值）处是相对无噪声的，而在其它电流值处是有噪声的。一些晶体管在大多数电流值处是有噪声的。

在闪存单元的例子中，此种噪声的至少一个来源可能是界面状态陷阱 IST (interface state trap)。尽管可在很多不同系统中应用本发明的多种方法以减少来自很多来源的噪声，然而为了显示这些方法如何能减少由具体机理产生的噪声，将详细讨论 IST 的情形。

基于在大部分现有技术（例如，见背景技术中的参考文献【2】）中采用的命名传统，继续宽松地使用术语界面状态陷阱。严格地讲，此处指的是不仅包括正好位于 Si/SiO<sub>2</sub> 界面的界面状态，而且包括存在于氧化物中的且位于 30 埃至 40 埃的界面中的边界陷阱。从电学上讲，边界状态和界面状态（用严格的专业术语）是转换状态 (switching state)，然而深氧化物陷阱是固定状态。转换状态可能有时被电子占用，而其它时间是空的，然而固定状态具有在正常的操作温度下长时段内保持它们状态的倾向。在标准的 CMOS 处理和 EEPROM 单元的处理中，通常使晶圆经历氢退火 (hydrogen anneal) 处理。氢退火处理的结果是，在衬底与浮动栅氧化物之间的界面处的界面状态陷阱密度可能降低为  $1 \times 10^{10} \text{ cm}^2/\text{eV}$ 。由于硅的带隙约为 1eV，此技术的低密度值的界面状态陷阱 (IST) 的此种状态等于位于每个晶体管的栅之下的一个 IST 的平均数，栅的长度为  $0.1 \mu\text{m}$ ，宽度为  $0.1 \mu\text{m}$ 。这意味着有效通道尺寸通常稍微大于  $0.1 \mu\text{m}$  的闪存存储器单元将具有一个或多个 IST。因此，对应于  $V_{\text{TH}}$  的定义，无论源极/漏极电流的预定值是多少（通常在 400pA 到  $2 \mu\text{A}$  的宽度范围内），总是趋于有一些晶体管在任一选定的电流值处表现出 IST 驱动噪声。

本发明描述的此类噪声源通常是微观的（例如单个原子缺陷、界面陷阱和悬空键 (dangling bond) ——参见背景技术部分中的参考文献【2】，第 5060 页）。这些微观缺陷影响的区域在感测中是中尺度的，发出带电陷阱 (charged trap) 部位的电场线在中尺度距离上延伸（例如，数百埃——参见背景技术部分中的参考文献【3】，图 4，第 1032 页）。随着电子器件缩小到亚微米尺寸，由于器件的尺寸变得与这些随机微观现象影响的区域的中尺度尺寸相当，随机俘获/反俘获事件的影响将变得越来越显著。

通过本发明的技术减少噪声的一个原因可能如下：通过施加一变化的信号，与直流（DC）感测相比较短的间隔使存储器单元变得更加稳定。在较高的激励值期间形成感测信号，在这些较短的间隔期间通过将单元驱动进入强反转使存储器单元变得更加稳定。强反转的沟道电荷密度较高。这意味着反转层电荷能在  $\text{SiO}_2/\text{Si}$  界面处或在  $\text{SiO}_2/\text{Si}$  界面附近更加有效地屏蔽来自带电陷阱的电场线。并且反转越强，反转层越厚，从界面流进更深区域的漏极至源极电流的分量就越大。这些较深的电流被屏蔽以从表面处的随机俘获/反俘获事件延伸得更多。

图 2A 和 2B 是一个普通浮动栅晶体管的一个界面状态陷阱的简单示意图。这些图在图 2A 中从侧面并在图 2B 中从顶面展示了一个浮动栅存储器。这些图展示了放置在浮动栅 203 上面的控制栅 CG201，浮动栅 203 按顺序放置在衬底 205 的沟道之上。当偏置源极 S 和漏极 D，并将电压施加到控制栅时，一个电流在源极和漏极流动，由存储在浮动栅上的电荷量确定该电流的幅度。当从上面看时，位于一对栅下的沟道区域的宽度为 W，长度为 L。

浮动栅 FG 203 和衬底 205 之间的区域被浮动栅电介质（dielectric）占用。电介质和衬底之间的界面导致界面每一侧上的结构不连续，这可能导致一个界面状态陷阱部位。已经发现这些陷阱在垂直于该表面的方向上的密度分布大致为高斯（Gaussian）分布并以该界面为中心（参见背景技术部分的参考文献【4】，图 2）。这样的部位如图 2A 和 2B 中的 211 所示。

当一个部位被电子占用时，由于延伸进沟道的电子之间的斥力，这导致一个库仑屏障（Coulombic barrier）。结果，有效沟道宽度减少了一个量  $\Delta W$ 。例如，在图 1B 中的随机尖峰中，尖峰对应于电子的反俘获状态，而基础电流级别对应于俘获状态。一个陷阱的寿命与该陷阱部位到最近导体的距离有关（参见参考文献【1】，公式 5）。在目前的文献中仍存在一些对于电流中的变化源是由俘获还是反俘获事件产生这一问题的争论。该变化可被调制（model）成一种有效移动中的变化，一种反转层载子浓度中的变化或这两种变化（参见参考文献【1】和【5】）。某人还可能将电流中的变化调制成是由有效宽度、长度和/或电场中的变化所导致的。更精确的模型将解决处于目前尺度级别的一个复杂三维器件，它受到单个陷阱的占用状态的显著影响。陷阱的电荷状态能影响器件电流的公式（例如，参考文献【5】公式 1:  $ID = W\mu_{eff}qN_{inv}E_x$ ）中发生的每个术语。即使电流公式对于无缺陷的小型器件是有效的，对于同样的小型器件如果其具有能调制该器件电流的状态的陷阱，该公式将不再有效。通常用于调制器件电流的公式假定器件结构的一个或多个尺寸是相同的。如果缺陷的影响范围与器件的有效尺寸相当，那么有

效的假定和公式可能变为无效。对于具有多个陷阱的单元，每一部位的影响将被强加到基础级别上。

一个给定陷阱的特性将取决于用于读取单元的偏压条件。如在图 2C 中所示，将陷阱 211 电容性地耦合到源极 (S)、漏极 (D)、衬底 (Sub) 和栅 (G)，其中控制栅一般通过一个中间浮动栅耦合到该陷阱。通过改变这些端子中的任意一个上的电平能影响陷阱使其达到可变范围。可将该陷阱的很多影响调制成导电微区 (conducting island)，如更多地在参考文献【6】中讨论的，其内容在背景技术中以引用的方式并入本文中。

一个示范性实施例是仅在读取处理的信号形成时间 (积分时间) 之前或读取处理的信号形成时间 (积分时间) 期间将交流电压施加到器件的一个或多个端子。在其它实施例中可以使用其它可重复的并且平均影响 (从一个积分时间到下一个积分时间) 保持恒定的外部激励。众所周知的量子隧穿现象是造成进入较深的边界陷阱的俘获/反俘获行为的机理，该等边界陷阱与最近的导体的联络足够微弱以保证电荷局部化效应。对于隧穿电阻，这意味着隧穿电阻必须大于电阻量  $R_0 = h/(2e^2) = 12.9k\Omega$ ，它的屏障比 4 纳米还要薄，主要的隧穿机理是直接隧穿，如进入和离开局部化的边界陷阱的俘获/反俘获的情形那样。很多的较深的氧化物陷阱距离最近的导体或半导体界面也不到 4 纳米。最近的导体/半导体界面的一些例子是沟道、浮动栅底部或选择栅底部。如果一个时间变化激励信号通过激励信号的每个循环中的一些  $K_B T$  能够使各个陷阱/缺陷/杂质的离散能量状态与最近的导体的联络点的准费米级 (Quasi-Fermi level) ( $F_n, p$ ) 不重合，那么该时间变化激励信号可能减少噪声，其中  $K_B$  是玻尔兹曼 (Boltzman) 常数， $T$  是温度。这是因为：如果使电子转移穿过屏障所需的能量比  $K_B T$  要小，那么这样的陷阱将具有很短的时间常数，在任意给定的积分时间期间使状态转换多次，并且因此不会产生大量噪声。这是基于后面将要详细描述的中心限制定理的原则。最近导体的联络点是足够接近陷阱的沟道、浮动栅、选择栅或控制栅中的点，以使电子隧穿能在陷阱和该点之间发生。在大多数的应用中， $\pm 3K_B T$  的能量不重合应该足够了。

如果屏障不够厚或能量屏障不够高 (即，如果电阻小于  $R_0$ )，那么隧穿可能不是缺陷与最近的电极进行电子联络的机理。这可能是界面陷阱很接近界面的情形或界面陷阱位于界面的半导体侧的那些情形。还应注意：对于这样的陷阱，即使可能不存在提供高电阻的物理屏障，能量屏障也可能是把电荷限制到原子尺寸的电压阱 (well) 所需的能量的结果。换言之，在缺陷和附近的电极之间可能不存在绝缘原子层；但是即使在这样的环境中，也可能需要能量来将电子放置进缺陷部位或从缺陷部位移走电子。在一个给

定系统中，这种所需能量可能是两种不同现象，即尺寸量化和电荷量化的一个或两个的结果。当电压阱的尺寸变得与该阱中的电子的 Fermi 波长相当时，尺寸量化变得显著。当缺陷的电容变得如此之小以致于库仑阻断阈值能量  $= (e^2/2C) =$  在将一个电子加到  $N$  粒子系统中的过程中要克服的最小电容能量（参考文献【7】，公式 10）变得比  $k_B T$  要大时，电子量化变得显著，其中  $C$  是陷阱到外部世界的总电容。尽管电容的概念一般是用作归因于宏观系统的集中参数，然而在微观区域中可将电容向下运用到如在参考文献【7】描述的原子级。在微观的限制下，可将电容界定为产生固定量的电荷  $\Delta Q$  所需的每单位电荷功量  $\Delta V$ ，这来自于所讨论系统的真空级别，如参考文献【7】所述。

通常，电子隧穿现象需要由一个薄绝缘体分离的两个导体。引起噪声的隧穿路径的两侧是陷阱/缺陷自身和一些其它导体或半导体，如其它陷阱、晶体管的沟道、漏极、源极、栅或者绝缘体/半导体界面的导电侧（例如，如一个浅沟绝缘区域的侧壁）。沿着晶体管沟道的界面陷阱和边界陷阱，特别是那些更接近于电流瓶颈的陷阱是产生晶体管噪声的主要成分。取决于晶体管的类型，电流的瓶颈可沿着靠近源极侧的沟道或者在图 4A-D 中的实施例的情形下位于浮动栅和选择栅之间的间隙中。在室温下， $6k_B T$  是 156mV。为了用 156mV 使隧穿路径两侧的准费米级不重合，需要在某个临近的电极上有高得多的电压偏移。在闪速存储器单元的情况下，控制栅可以是用于选择施加激励交流（AC）信号的电极。认为施加到控制栅上的幅度为 1V 的 AC 信号。此 1V 中，只有 0.5V 的幅度分配给浮动栅（假定控制栅与浮动栅的耦接率为 50%）。对于一个在氧化物中的深度为（例如）1 纳米并且距离浮动栅 7.5 纳米的界面陷阱（假定沟道氧化物的厚度为 9.5 纳米），浮动栅与被调制为 5 埃的球形导体的陷阱之间的电容耦接率为 10.4%。这个结果是由一个由 Avanti 公司发布的名为“raphael”的使用 3 维泊松（Poisson）方程的解算器得到的。陷阱到沟道的电容被计算为  $2.56 \times 10^{-19}$  法（F），陷阱到浮动栅的电容被计算为  $2.96 \times 10^{-20}$  法，而陷阱的总电容被计算为  $2.85 \times 10^{-19}$  法。陷阱的半径 5 埃只是根据经验作出的猜测。并且，在下面的感测中，假定氧化物的相对介电常数为定值 3.9 可能是无效的：陷阱和沟道之间的一些原子层可能由  $SiO_x$ （相对于  $SiO_2$ ）组成。 $SiO_x$  具有的氧元素比  $SiO_2$  要少，有一些氧空位。 $SiO_x$  可能具有与  $SiO_2$  不同的相对介电常数。此外，在如此小的尺寸下，泊松方程可能已经不再有效。使用上述的电容值（p13, L3, 漏译“values”）导致仅将 1.0V 控制栅幅度的 50mV 分配给陷阱。由于也利用施加到控制栅上的交流信号来调制沟道电压，所以信号幅度的大部分被浪费，这是因为其不产生陷阱和沟道之间的电压差。考虑这个只会将计算出的电压减少到低于 50mV。为噪声源提供所需的电压偏移（目标是改变隧穿屏障的两侧之间的电压差）的低效率在于通常

需要提供施加到任意给定端子的高电压偏移（在很多伏的范围内）以有效地减少噪声。即使陷阱和最近电极之间的电压屏障是这样的：通过一些其它机制而不是隧穿使电子进入和离开陷阱，在本申请案中揭示的减少噪声的技术仍然有效。隧穿的概念有益于解释这样的事实：与俘获/反俘获相联系的时间常数跨越幅度的很多数量级（order），从亚微秒延伸到很多年。

其它可能具有净减少噪声效果的插话式激励的例子包括外部或内部产生的光子、声子和磁场。本发明描述的噪声源本质上通常是微观的，包括器件的任何物理区域中的陷阱部位和原子缺陷。随机的电子/空穴隧穿能改变一个陷阱部位的状态。陷阱的空位或占用将影响器件的特性，这取决于陷阱的位置。随着器件缩小为中尺度尺寸和更小，即使单个陷阱的影响也变得越来越显著。在下一代器件中，这些影响可成为器件特性的主导部分以致于即使很小器件的可靠的二进制操作也变得不可能。如果与陷阱的状态变化相联系的时间常数与信号积分时间的数量级相同或比信号积分时间长，那么陷阱状态间的随机转换将成为噪声源。然而，如果能为陷阱提供足够的激励以按要求改变它的状态，那么利用在单个信号积分时间期间施加到陷阱的多个激励，能迫使该陷阱在每个积分时间期间作出几个独立的决定。这样能减少器件噪声，由于每个测量由几个独立的子测量组成。因为陷阱具有类似存储器的特性，所以子测量与激励之间的快速交替的另一选择将是等待一个比任何两个子测量之间的陷阱的特征时间常数都要长的时段。然而，在很多情况下，这个等待过于太长。

一个示范性实施例包括在积分时间期间通过将一个梯形交流信号施加到一个 NMOS 晶体管的栅来激励系统。在这种情况下，有效的积分时间被限定为栅电压为高的时段。由于晶体管的非线性反应，在大部分的下时段、所有的低电压时段和大部分的上升时段期间，栅电压低于阈值而漏极至源极的电流太低而不能对平均积分电流作出显著的贡献。例如，假定 3/4 的积分时间没有电流。为了补偿这种情况并仍然维持与标准的直流情况下相同的平均电流，在高时段期间可增加栅电压以使高时段的电流值与直流电流值的 4 倍一样大。

例如，如果在一个积分时间内有 10 个交流循环，就可描述下面的情形。产生噪声的界面陷阱部位表现为如同具有类似存储器特征的随机的不规则的微浮动栅。如果从陷阱到沟道的隧穿电阻足够高，那么所俘获的电荷的平均占用/空位的寿命可与积分时间的数量级相同或比积分时间长。在此种情况下，连续测量可发现单元状态的相同值。然而，更靠后执行的测量（利用比陷阱的当前占用状态的寿命更长的插入延迟）能发现该单元的状态是不同的。以下面的方式可将这个同样的想法扩展到单个信号形成时间（对



应于单个校验的积分时间)。在一个实施例中,在单个积分时间期间将多个交流信号施放到闪速存储器的控制栅。如前面所述,这些激励的高值比直流读取电压稍高一些,低值是比高值低的多个电压,并且低值的持续时间足够长以迫使陷阱的占用状态进入到空位状态,在一个从前一高时段中的陷阱占用状态开始的高时段期间有效地打乱陷阱的占用状态。以此种方式,单个信号形成时间将由几个子积分时间(高时段)组成,在每个子积分时间期间,陷阱的状态与前一子积分时间期间的陷阱状态无关。因此,高时段的目的是通过位线的放电共同形成位线电压信号,而插入的低时段的目的是解除一个高时段期间的陷阱状态与下一个高时段期间的陷阱状态之间的相关性或打乱这些状态。到低时段的末尾,迫使陷阱进入到它的空位状态,并且一旦将高电压值施加到控制栅,该陷阱将作出是占用还是保持空位的新的随机决定。因为我们现在仅考虑其特征寿命与直流积分时间数量级相同或比直流积分时间长的陷阱,所以可以有把握地假定:对于这些陷阱每个子积分时间期间的陷阱状态通常保持与该子积分时间的持续时间内的陷阱状态相同。内循环测量的噪声与俘获/反俘获寿命可与信号的向上时段相当的程度保持相关。另一方面,只要低值明显低于高值并且低的持续时间可与高的持续时间相当,那么中间循环的噪声就不相关。当与相同数目的平均直流电流测量(每个平均的直流电流测量具有与交流的情况下相同的积分时间)比较时,多个平均电流的交流测量的分布将有很小的变化,每个平均电流的交流测量是通过平均 10 个不相关的交流循环得到的。

众所周知,由各个元素组成的组中的特性变化大于由相同元素的总体组成的多个元素组成的组中的特性变化。这被称为中心限制定理(见 Erwin Kreyszig 的“Advanced Engineering Mathematics”第五版)。中心限制定理的多种变形的一种如下所述:使  $X_1, X_2, \dots, X_n$  为独立的随机变量,该等随机变量具有相同分布函数并因此具有相同的平均值  $\mu$  和相同的标准差  $\sigma$ 。使  $A_n = (X_1 + X_2 + \dots + X_n) / n$ 。那么随机变量  $A_n$  是大  $n$  限制下的渐近正态的随机变量。此外,无论  $n$  的值是多少,  $A_n$  的平均值等于  $\mu$ , 而  $A_n$  的标准差等于  $(1/\sqrt{n})\sigma$ 。这暗含着:由例如 9 个独立的子测量的平均组成的测量将具有比每个子测量的分布的固有标准差还要小 3 倍的标准差。在这种情况下,标准差和噪声是可互换的。在此处提供的最核心和最有效的概念是通过平均几个独立的子测量能减少噪声的能力。在任意选定的电极上远离电极的直流读取电压的电压偏移(激励)将优先填充或掏空陷阱,这取决于该等偏移的符号。这有效地迫使陷阱每当将偏移放回到读取值的时候就作出关于其占用状态的独立决定。如果子测量与这些打乱的电压偏移交织,那么将去除每个子测量与其余子测量之间的相关性。因此插话式激励的主要任务是去除一个子测量期间的陷阱状态与下一个子测量期间的陷阱状态之间的相关性。偏移的符号可正可

负。负偏移在在感测中实施起来可能更简单，例如，对于负激励期间，低于直流读取电压值的控制栅电压自然地切断了 n 沟道晶体管中的单元电流。然而，具有足够高幅度的负偏移通常将需要将负电压施加到某些电极上，并且这在一些系统中可能不容易实施。另一选择为，可采用正电压偏移以避免使用负电压。然而，使用正偏移的情况下，基于 n 沟道的单元在正偏移期间将变得比所希望的更加强壮，并且在施加所期望的直流读取条件的时段期间将不能正常地形成读取信号。为了克服此问题，晶体管路径中的一些其它开关不得不在正偏移期间关闭单元电流。在图 6 的实施例的 NAND 结构中，可将激励施加到一个选定的字线上，在此情况下，该开关可以是已有的漏极侧选择栅、源极侧选择栅、相同片段中的一条未选择的字线或上述各项的组合。在图 4A-4D 的实施例的双浮动栅源极侧注射 (DFGSSI) 的情况下，可将激励施加到一个选定的控制栅 (有时也导向栅)。在此情况下，该开关可能是选择栅 (即字线)、转移栅 (一对浮动栅的另一个控制栅) 或二者兼有。在任意给定的结构中，或者将电流路径中已有的晶体管用作上述开关，或者重新设计新的晶体管以执行在正激励期间切断器件电流的任务。

可能存在如对输送交流激励的线的 RC 时间常数或  $1/2CV^2f$  的功率需求的限制。例如，在图 4A-4D 的实施例中的 DFGSSI 结构的情况下，为了读取一个扇区 (512 个字节) 的内容，必须以高频向上和向下驱动超过一千条控制或导导向栅线，这需要相对大量的功率以在每个二进制搜索读取的校验步骤上执行多个交流循环激励。下面是减轻此问题的一些方法。通过硅化多晶硅线，通过通常将多晶硅线转换为金属线，或通过减少局部线片段的长度和仅将激励输送到局部片段 (使用电容性藕接于重要线的局部增压板或增压线)，可降低输送激励的线的 RC 时间常数。已经发现：即使有效的积分时间已经被缩短为直流积分时间的四分之一，使用上述方法也能减少噪声。

在直流读取条件下，令人讨厌的陷阱可被占用或被空着。为了简单起见，考虑在直流读取的条件下电子陷阱的准费米级和附近的沟道对准的情况。在此情况下，陷阱在平均 50% 的时段中处于空位 (即  $P_v=0.5$ ) 而另外的 50% 的时段被占用 (即  $P_o=0.5$ )。进一步假定隧穿电阻使平均占用寿命为  $\tau_o=1000$  微秒。在这些假定下，平均空位寿命也将是  $\tau_v=1000$  微秒。因此，同种转换之间的平均时间是  $\tau_T=1000+1000=2000$  微秒，其中  $\tau_T$  是从一个隧穿进入事件到另一个隧穿进入事件或一个隧穿出来事件到另一个隧穿出来事件的平均时间。应注意：由于泡利 (Pauli) 不相容原理，在进入同一陷阱的任意两个隧穿进入事件之间就将发生一个隧穿出来事件。假定一个直流读取积分时间为 10 微秒，一个读取可发现电子被俘获，另一个读取可发现其被反俘获。在一个直流积分

时间内发生一个或多个隧穿事件的几率非常低。但是如几秒之后执行另一个读取，那么这两个读取的结果不相关。因此，在任何单个直流积分时段中的陷阱状态（陷阱的短期记忆）中相关性较高，而在使用较长（与  $\tau_T$  相比）插入延迟执行的读取之间相关性较低。

考虑交流感测的情况，其中闪速存储单元的控制栅电压变化 10 次，在幅度上具有几伏的梯形脉冲序列，且在周期上小于 1 微秒以使在执行读取过程中没有损失。由于占空比为 25%，所以脉冲的高电压值应大于直流读取值以使高时段期间的电流比低时段期间的电流大 4 倍。脉冲的低值应该足够低以几乎能够保证在每个低脉冲期间电子撤出该陷阱。这使每个高时段期间的陷阱状态与前一高时段期间的陷阱状态无关。为了讨论，假定控制栅的每 1V 对占用概率具有 10 倍的影响。因此如果在  $P_0=0.5$  和  $P_V=0.5$  的直流读取条件下，那么控制栅上的电压多 1 伏， $P_0$  就变成 0.95 而  $P_V$  变成 0.05。在控制栅上的另一伏将使概率  $P_0=0.995$  而  $P_V=0.005$ 。如果控制栅的电压从直流读取条件减少 1V，那么  $P_0$  变成 0.05 而  $P_V$  变成 0.95。引入对称的进入陷阱和从陷阱出来的隧穿概率和每十进制 1V 的概率改变的假定是为了简化该解释。这些假定的有效性不影响减少噪声技术的有效性。在界面状态陷阱的例子中，重要的 Fermi 级是直接位于界面状态下的沟道中的一点处的沟道 Fermi 级。如果陷阱能级低于 Fermi 级，那么陷阱通常被占用，而偶尔不被占用。在这样的情况下，大部分时间内直流读取电流是处于某个基值，具有偶然短持续时间的向上尖峰。另一选择为，当陷阱能级高于 Fermi 级时，那么陷阱通常不被占用而偶尔被占用。在这样的情况下，大部分时间内直流读取电流是处于某个基值，具有偶然短持续时间的向下尖峰。能量上越不可能发生俘获（或反俘获）事件，初始的反俘获（或俘获）状态的寿命就越长。俘获/反俘获事件前后的总系统能量  $E_i$  和  $E_f$  之间的差  $\Delta E = (E_f - E_i) = (E_{final} - E_{initial})$  规定此事件的概率。 $\Delta E$  越大，转换事件的发生的可能性就越小，并且具有能量  $E_i$  的初始状态的寿命就越长。如果  $\Delta E$  是负的，那么状态  $E_i$  的寿命就短。

$\Delta E$  的值负得越多，状态  $E_i$  的寿命就越短。 $\Delta E$  至少由两个分量组成：1) 转换前后之间的静电能量差，2) 电源为了使电子穿过电阻隧穿屏障而消耗的功，该电阻隧穿屏障在该屏障两侧有两个不同的电压。例如，如果  $\Delta E$  的静电分量比  $k_B T$  小得多，但是隧穿电阻大  $R_T$  大，那么每单位时间的隧穿概率就小，俘获和反俘获状态的寿命就长。在这样的情况下，在长时段内，电流大致是一半时间处于某个高值而一半时间处于某个低值，在两个值之间经常转换抑或很少转换，这取决于陷阱的隧穿电阻。

回到示范性实施例的减少噪声的技术，交变信号可具有多个不同的波形，这些波

形包括但不限于正弦波、矩形波、三角形波和梯形波。由于单元的反应是非线性的，施加到一个端子上的组合的周期性和非周期性的电压部分可能不具有与单独的直流部分相同的平均值。例如，图 3 展示了连同非周期性电压 ( $V_{per}$ ) 一起施加到栅上的周期性干扰 ( $V_{per}$ ) 的例子。组合的波形 307 可能不关于电平 (313) 对称，电平 (313) 将用于测量没有交流部分的相同数据状态。由于如果尖峰太高那么尖峰效应可能饱和，所以将组合的波形安排成这样使得它在极端的尖峰处足够高和足够低。另外，不需要使用整数个的周期性部分的循环。只要波形对于一个待测量的给定状态可再生并且达到所期望的效果，该波形就可被使用。

为了达到所希望的俘获/反俘获，由于主要的影响在循环的底部和顶部，所以示范性的实施例使用占空比为 50% 的波形来去除读取的相关性。由于这个原因，可能较佳使用方波或梯形波，因为与正弦波或三角波相比，这些波在其尖峰电平处具有占空比的较大部分。尽管方波使峰值最大化，然而实际上方波受到过冲（吉布斯 (Gibbs) 现象）的影响，特别是在高端处该过冲对再现具有不良影响。因此，梯形波经常是最好的折衷。

尽管为了说明目的，图 3 展示了施加到栅的激励，然而其它实施例可将激励施加到其它端子。如图 2C 所示，通过改变单元任意端子上的电压可影响陷阱上的电压电平，这种改变可将此电压的某个部分以优先方式输送至隧道结合处的每一侧上的两个导电入口中的一个。例如，可将其施加到衬底，允许同时将激励施加到多个单元，并且也避免了与施加到栅上的读取电压相干涉。下面对于各种单元实施例讨论其他的例子。

设置各种电压的电路将是在电路阵列中形成外围元件的解码器和电路驱动器。在美国专利第 5,172,338 号、第 5,272,669 号以及美国专利第 5,712,180 号、第 6,103,573 号、2000 年 2 月 17 日提交的专利申请案第 09/505,555 号和 2000 年 9 月 22 日提交的专利申请案第 09/667/344 号中更充分地描述了这些电路，其中美国专利第 5,172,338 号和第 5,272,669 号在上文中已以引用的方式并入本文中，其余的专利或专利申请案以引用的方式并入本文中，并且在下文中关于多个浮动栅的实施例被提及。

使用多个不同的参数可判定一个存储单元的状态。在上面的例子中，通过电流感测来执行对单元存储的电荷级别的判定，其中使用固定的偏置条件来感测电流的导电幅度。另一选择为，可通过感测阈值电压作出这样的判定，其中使用变化的导向栅偏置条件来感测这样的导电的开始。这些方法代表了几个更加标准的方法。

另一选择为，通过使单元的电荷级别所确定的驱动力控制被动态保持（例如，用一个预充电的电容）的感测节点的放电率来动态地执行判定。通过感测达到一个给定放电电平的时间，判定存储的电荷级别。在这样的情况下，指示单元条件的参数是时间。在

以引用的方式并入本文中的美国专利第 6,222,762 号和上文中以引用方式并入本文中的题为“Sense Amplifier for Multilevel Non-Volatile Integrated Memory Devices”的美国专利申请中描述了这种方法。另一可选技术使用频率作为参数来判定存储单元的状态，这是在上文中同样以引用方式并入本文中的美国专利第 6,044,019 号中描述的一种方法。

上文中以引用方式包含于本文中的美国专利第 5,172,338 号和以引用方式并入本文中的美国专利申请案第 08/910,947 号中更加充分地发展了电流感测方法，并且这些方法可能应用于下面描述的各个实施例中。然而，下面的说明的大部分使用阈值电压  $V_{th}$  感测方法（或者称为电压边限（voltage margining）），这是由于这个方法改进了感测分辨率，使电流并从而使与大规模平行读取操作相联系的电源保持为低，并且使高位线电阻的易损性变得最小。在美国专利第 6,222,762 号中更充分地发展了该  $V_{th}$  感测或电压边限方法。另一项电压感测技术，其响应给定的栅电压监测固定漏极电压源处的电压，是（例如）在上文中以引用方式并入本文中的美国专利申请案第 09/671,793 号中描述的源极跟随技术。

可采用二进制搜索技术或较慢的线性搜索技术来发现单元的状态。在这样的方案中，一个读取操作将由几个校验步骤组成。每个校验操作由将确定的直流控制栅电压施加到单元上和检查以查看在施加的控制栅电压值下该单元是开还是关所组成。在智能选定的控制栅值下执行的多个此种校验操作将组成一个读取操作。每个校验可用多种方法执行，如电流感测对电压感测，动态感测对静态感测和动作时间（time to trip）的感测对固定时间的感测。大部分这些变化以上已经讨论过或提及过。动态-固定-时间-感测将由下面一系列事件组成。1）将所要的电压加到控制栅上，并使其保持在该电压直到该感测已经完成之后。2）将位线预先充电到一个固定的电压。3）释放位线，允许单元电流降低位线电压。4）在从释放事件开始的固定的时间量之后，基于位线电压或高于还是低于预定的值来锁定该单元状态。5）现在控制栅电压可返回其等待值（stand-by value）或被迫成为另一个校验操作的下一个期望值。

在一个实施例中，读取操作的每个校验步骤可先于单个脉冲激励或先于正好在积分起点之前的多个激励脉冲，这称为预处理。另一选择为，或另外，在积分时间期间可施加单个或多个激励脉冲。单独的预处理可能具有下述优点。单个向下的预处理电压脉冲可将大多数的陷阱设置成它们的空位状态。如果绝大多数的陷阱是这样的使得在直流读取条件下，它们的空位状态寿命比它们的占用状态寿命长，并且还和积分时间相当或比积分时间长，那么（多个）负向预处理脉冲可具有全部的减少噪声效果。这可能是一些

绝缘材料和一些典型直流读取条件的情况。如果绝大多数的陷阱是这样的使得在直流读取条件下，它们的占用状态寿命比它们的空位状态寿命长，并且还和积分时间相当或比积分时间长，那么（多个）正向预处理脉冲可具有全部的减少噪声效果。这可能是一些绝缘材料和一些典型直流读取条件的情况。尽管在一些情况下，存在利于负向预处理的脉冲的材料趋向，然而通常存在该规则的很多例外。另一方面，足够强的（多个）正向预处理脉冲可具有全部的减少噪声效果，由于它（它们）对于正好在一个编程脉冲后重新创建第一校验的历史条件大有帮助。已经知道各种陷阱具有不同的短期记忆，那么正好在最后的编程脉冲之后的第一校验之前至少部分地重新创建短期历史条件的能力可能减少噪声。从对涵盖各种处理技术的流行的晶体管的测量来看，观察到预处理的效果有限，且减少噪声的最有效的方法是在每个测量期间施加多个去除相关性的脉冲，以使每个测量是多个独立的子测量的平均。每个测量包含的独立子测量的数目越大，与测量相关联的噪声就越低。如前面所述，如果每个测量含有的子测量的数目是  $N$ ，那么噪声被减少一个因子  $(1/\sqrt{N})$ 。仅仅基于中心限制定理，当  $N = 9$  时，测量晶体管  $V_{TH}$  的噪声幅度将减少一个因子 3。如果需要减少噪声的因子为 10，那么应将  $N$  增加为值 100。可以看到，这种减少噪声的方法在一些实施例中的能量消耗和执行所有这些独立测量所需的时间上均更为昂贵。减少这种消耗的一种方法是仅在二进制搜索读取的更加敏感的校验步骤中施加激励。

基于重新读取的想法的另一可选的实施例如下。例如，在读取存储器的一个扇区时，很多技术依靠错误控制码（ECC）来标记错误。在第一次尝试读取扇区已经产生了太多的错误而不能匆忙地校正或根本不能校正之后，可以仅针对重读一个扇区而调用激励。另一选择为，在任意两个扇区读取之间施加单个去除相关性的脉冲。用这种方式执行对相同扇区的多次读取之后，能将具有噪声的单元识别为其状态从一个读取操作到另一个读取操作会变化的单元。对有噪声的单元的地址的识别允许下述的两种方法恢复数据：1) 知道有噪声的单元的地址之后，通过降低错误校正所需的级别和重新指导检错能力大大增加了 ECC 的能力。2) 可将具有噪声的单元的相邻的数据状态的不同组合馈送至 ECC 引擎，直到 ECC 不再展示错误。使存储单元的状态成为灰度阶允许任何状态的相邻状态与该状态相差正好 1 位，进而归由于最靠近的状态的转变减少了 ECC 上的负担，这可由单元噪声引起。

在背景技术中引用的现有技术中（例如，参见参考文献【8】、【9】、【10】和【11】），已经注意到：使在强反转与积累之间施加到 MOS 晶体管的电压循环减少了在强反转中观察到的它的噪声的  $1/f$ ，尽管引用的参考文献没有提供用于存储器系统中的减少噪声的

实用的技术。另外，本发明的各个方面进一步以多种额外方式拓展了该技术：1) 从反转到积累的循环仅是可作为激励被施加的电压幅度和方向的可能的变化的子集；2) 一个变化的电压仅是激励的一种形式；3) 在现有技术中没有提供具体实用的减少噪声的技术，然而本专利发明提供了多种详细技术，它们使用了这些和很多其它在（例如）非易失性存储器中可实际应用的新颖想法；4) 在以前的技术中找不到这样的想法，它通过在单个积分时间期间使用多个激励来取得最有力的减少噪声的效果。5) 在任意一个先前的技术中没有提及用中心限制定理来解释多个激励的效果。本发明超越现有技术的进步包括推广到任意种类的激励，利用中心限制定理的优点以平均较大数目的子测量为代价无限地减少噪声，不仅推广到积累和反转之间的循环，还推广到直流操作电压和任何其它值（较高或较低）之间的栅循环，不仅推广到栅的循环，还推广到器件的任何端子，推广到仅与 MOSFET 相对的任何种类的电子器件，如在各种实施中描述的那样。

一个较佳实施例使用梯形波，该梯形波的低时段、上升时段、高时段和下降时段，各为波形周期的四分之一。信号的幅度越大，其抑制噪声的能力就越强。如果在积分时段期间施加交流信号，由于这导致晶体管完全处于与其数据无关的状态，所以信号的高电平由晶体管的  $V_{TH}$  规定，且不能超过  $V_{TH}$  很多。

另一个实施例使用多个脉冲，其低值是直流读取值，而其高值高得多，能在单个积分时间内被施加。这需要在单元的电流路径中存在另一个栅元件，如 NOR 结构中的一个分离的选择栅。为了在栅电压被驱动成高于单元的  $V_{TH}$  的那些时段期间停止其它多余的单元电流，这个栅元件必须被关闭。在 NAND 结构中，这个栅元件可以是位于选定的 NAND 串中的非选定字线、源极选择晶体管或漏极（位线）选择晶体管。在图 4A-D 的双浮动栅的实施例中，栅元件可以是存储单元中的非选定的浮动栅的控制栅（即，导向栅）或选择栅。

此技术违背了通过在感测之前和期间使系统安静来减少噪声的现有技术中的流行的实用技术。此技术考虑到并发现高电平具有特性优点，只要该特性在每个感测周期期间总是可重复的或相关联的激励的周期比积分时间短得多。如果插话式信号以一种可重复的方式与积分时段同步，那么该信号的周期可增大到与积分时间相当。同步可导致一个积分时段期间的百分比很高的持续时间在各个积分时段保持恒定。已经发现：将交流信号施加到晶体管的栅或衬底上能大大减少噪声。由于交流波形与积分时段同步，在很多情况下，即使每个积分时间一个循环也大大减少了噪声。

迄今为止，此讨论是基于使用图 2A 和 2B 的普通浮动栅单元的一个实施例，但可更一般地应用到具有其它结构的单元，因为本发明的各个方面不特别依赖于单元类型。例

如，存在含有除了控制栅（例如，DFGSSI 结构）之外还包含选择栅的 EEPROM 单元。具体地说，另一个含有选择栅的典型实施例也使用具有多个浮动栅结构的单元。在美国专利第 5,712,180 号、6,103,573 号和 2000 年 2 月 17 日提交的 09/505,555 号申请案、2000 年 9 月 22 日提交的 09/667,344 号申请案中描述了具有此结构的非易失性存储单元，这些专利及专利申请案在上面已以引用的方式并入本文中。图 4A-D 取自美国专利第 5,712,180 号并展示了这样的一个单元。

图 4A 和 4B 分别展示了具有多个浮动栅的存储器存储单元的一个实施例的顶视图和横截面图。如在图 4B 中的横截面图所示，在位线 BL1 711 与 BL2 712 的两个源极/漏极区域之间形成了单元的一个沟道。该沟道被分成三个区域：位于左浮动栅 FGL12 781 和左控制栅 CGL2 771 的下面的左浮动栅沟道 761；位于右浮动栅 FGR12 783 和右控制栅 CGR2 773 的下面的右浮动栅沟道 763；和在它们之间位于选择晶体管 T12 772 下面的选择沟道 762。

如图 4A 所示，在此结构中，如 SG1 720 的字线穿过如 BL1 711 和 BL2 712 的位线以形成阵列。该阵列中的存储单元的位置用这些线的交叉点来界定；例如，图 4B 的具有选择晶体管 T12 772 的单元沿着 BL1 711 和 BL2 712 之间的字线 SG1 720。然而控制栅现在沿着平行于位线的列而不是像更传统结构中一样沿着行进行连接。因此，通过将一电压加到控制栅线 CGL2 771，此电压不仅施加到含有晶体管 T12 772 的单元的栅上，也施加到位于位线 BL1 711 和 BL2 712 之间的列中的所有单元的左控制栅上。图 4C 是描述如图 4A 和 4B 的存储单元阵列的一个实施例的电路图，其中图 4C 是这些存储单元的等效电路。可对该单元的浮动栅 781 和 783 进行编程和独立地读取。在上面的以引用方式并入本文中的参考文献中提供了这种单元的操作的更多细节。

在图 4A-C 的单元中，界面状态陷阱可位于沿着位于或接近于衬底-介质界面的沟道的任意位置。这可位于两个浮动栅中的一个下面、位于选择栅下面或者位于栅之间的间隙中，如图 4B 的部位 799。该部位以各种力量电容性地耦接于图 4C 的所有端子及衬底。除了激励，通过改变控制（导向）栅、源极、漏极和衬底上的电平，选择栅的引入提供了可施加插话式激励的另一个端子。对于位于选择栅下面的选择沟道区域中的陷阱部位来说直接的电容性地耦接于选择栅将更强壮，然而也将影响该浮动栅沟道旁的部位，二者均是通过边缘电场耦接并且通过将该部位耦接到按顺序电容性地耦接到选择栅（图 4 中的  $C_{31L}$  和  $C_{31R}$ ）的浮动栅。在包括一个选择晶体管的单个浮动栅存储器件中也是如此。

图 4A-C 的单元排列在如图 4D 所示的阵列中。一个示范性实施例将交流梯形信号施



加到与选择栅（例如，772）相连接的字线（例如，施加720）或将交流信号施加到衬底而非控制（导向）栅（771和773）。已发现在选择栅电压从低值0V调制到高值6V能影响一些单元中的噪声的减少。

在如720的字线上施加交流信号具有几个优点。对于每个正被读取的扇区，其通常包括被平行读取的成百上千的单元，只需要驱动一个字线。在周期信号驱动连接到浮动栅的一个列的线（例如，“导向线”，如771或773）的情况下，必须同时向上和向下驱动正被平行读取的所有单元的导向线。这产生每条线 $(1/2CV^2f)$ 的功率消耗，其中 $f$ 是周期信号的频率， $V$ 是其幅度，而 $C$ 是线的总电容。在交流驱动控制（导向）栅的情况下这将导致大的功率消耗。另外，这将把相同导向线上的所有未选择的单元暴露在潜在的干扰条件下。

重新参照图4A-4D，通过字线提供插话式脉冲来驱动选择栅的另一个优点是：在典型的读取或校验处理中，传统的字线操作电压通常是某个固定值，如5V，而正被读取的单元数据无关。这容易地允许施加具有固定高值（6V）和低值（0V）的幅度为6V的信号。另一方面，在很多读取技术中控制栅读取电压与数据（状态）有关，如上面的以引用方式并入本文中的申请案所述。对于具有低控制栅阈值的状态，高幅度的交流信号导致信号的低值变成负值。这在很多器件中可能难于执行，并且可能引起干扰。控制（导向）栅的插话式激励在读取过程的积分周期期间也具有其它与电路设计相关的复杂性，潜在地使选择栅激励在感测（积分）时段期间更容易施加。

在于2000年9月27日提交的美国专利申请案第09/671,793号和于2001年11月20日提交的题为“Sense Amplifier for Multilevel Non-Volatile Integrated Memory Devices”的专利申请案中及这两个专利申请案所包含的参考文献中描述了读取存储单元的多种方法，这两个专利申请案在上面已以引用的方式并入本文中。在

在感测一个非易失性存储单元的过程中，作为读取操作的一部分抑或作为编程操作的校验阶段（phase）的一部分，通常有几个阶段。这些阶段包括将电压施加到单元上以使单元被恰当地偏置，使它的数据内容被感测或测量，接下来是测量关于单元状态的参数的积分周期。在EEPROM单元中，该参数通常是电压或源极-漏极电流，但也可以是由单元的状态支配的时间或频率。在图5A中图解展示了此测量过程的感测电压的一个实施例的一个例子。

图5A展示了存储阵列的位线上的电压，例如图4D中的BL1 711上的电压。第一阶段设置单元上的栅电压。在第二阶段中，将待读取的单元的位线充电到预定的电平。积分时间是第三阶段，开始于时刻 $t=0$ ，此时位线通过单元放电，并且电压电平以由单元

状态决定的速率衰减。在时刻  $t = t'$  之后，相对于一个参考电平  $V_{ref}$  测量位线的电压电平。如果该电压等于或高于  $V_{ref}$ ，如在线 501 中，则认为单元处于关闭状态。如果电压低于  $V_{ref}$ ，如在线 503 中，则认为单元处于开启状态，因此，控制栅上的电压高于单元的阈值电压。

含有噪声使这种情况变得复杂，如图 5B 所示。图 5B 仅展示图 5A 的积分部分，但含有衰减线 501 和 503 的噪声。如两条线所示，如果在将导致错误读取的方向上存在波动，由于噪声产生的波动可在时刻  $t'$  导致错误的读取。由于线 501 和 503 随时间分离，增加积分时间将引起更大的分离，但代价是较慢的读取时间。另外，由于电压最后要降到最低点，所以  $t'$  可扩展的范围受到限制。如在题为“Sense Amplifier for Multilevel Non-Volatile Integrated Memory Devices”的专利申请案中描述的另一可选的方法如图 5C 所示。在这个变化中，偏置单元以使陷阱的点电平  $V_{ref}$  与第二阶段的预先充电电平位于相同值。按照此种方法，关闭状态（501）在时间上持续与开状态（503）分离，而不会两条线都降到最低点。如果给定足够的积分时间，开启状态将降到最低点，而如果给定足够的积分时间关闭状态将升到最高点。

根据图 5A-C 描述的过程只是很多读取技术中的一种。取决于读取单元所使用的技术，感测的第二预先充电阶段可与第一阶段结合。另外，在不同的技术中，测量的参数和测量的方式都有变化。例如，在上面以引用方式并入本文中的美国专利第 6,044,019 号的技术中，测量的参数是指示在积分时段期间积累的电流总量的频率。

本发明的技术可在多种不同的方式中与这些读取技术的任意技术一起实施。例如，在一组实施例中，在读取过程的较早阶段可施加单个或周期激励，以在积分阶段开始之前扰乱单元的条件。这可在设置栅电压之前执行也可在设置栅电压期间执行，或在预先充电阶段，或在这些阶段的某个合并时段执行。那么不用同时暴露插话式激励就可执行积分阶段。

在另一组实施例中，在实际的积分阶段施加激励，在一较早阶段中的  $t=0$ （如图 5A-5C 给定的那样）之前开始并持续进入积分阶段，或使该激励完全位于  $t=0$  和  $t'$  之间。在一些情况下，在积分周期中完全含有激励可使其更易于产生干扰。例如，在参考图 4A-D 所描述的成对浮动栅单元中，可将在沟道打开与关闭状态之间的周期性电压振荡施加到选择栅 772 预定的循环数目，例如  $n$ ，测量在这期间流过积分时段的总电流。这产生与较短持续时间的  $N$  个独立于读取值的积分对应的读取值，与具有直流读取条件的周期性电压方法的沟道打开时段相匹配。

浮动栅的存储单元的另一排列是 NAND 结构，如在 2001 年 6 月 27 日提交的美国专

利申请案第 09/893,277 号中描述的那样, 该专利申请案以引用的方式并入本文中。根据此申请案改变的一个 NAND 阵列如图 6 所示。在这个例子中, 这个图展示了连接到一对选择晶体管之间的四个存储单元的很多列, 它们形成了位线 BL0 到 BLN。线 SGD-i 和 SGS-i 分别连接到每列的漏极和源极选择晶体管, 并且沿着给定的字线 WL-i 连接每行中的存储单元的控制栅。例如, 为了读取行 1、列 1 中的单元 601, 将位线 BL1 预先充电到电平  $V_{BL}$ , 将选择晶体管和非选定的字线设置为足够将列 1 中除了 601 的所有晶体管完全打开的通过电压  $V_{pass}$ , 并将选择的字线 WL1-i 设置为 (此处与数据有关) 读取电压  $V_{WL}$ 。然后, 使位线 BL1 以有存储元件 601 的数据内容确定的速率放电。

信号的幅度越大, 其抑制噪声的能力就越强。如果在积分时段期间施加插话式激励, 信号的高电平由晶体管的  $V_{TH}$  规定并且不能超过  $V_{TH}$  很多, 因为这导致晶体管完全处于与它的数据无关的状态。通过施加如上所述的超过  $V_{TH}$  的激励期间独立地关闭电流路径中的一个晶体管可使这个限制升高。第一组实施例使用低值为直流读取值而高值高得多的可在单个积分时段内施加的脉冲。当栅电压被驱动得高于单元的  $V_{TH}$  时, 为了停止所有那些时段期间的其它多余的单元电流, 这个栅元件必须被关闭。这个栅单元可以是位于该列的 NAND 串中的一个非选定的字线、一个源极选择晶体管或漏极 (位线) 选择晶体管。这如图 7A 和 7B 所示。

图 7A 展示了一个对应于电压  $V_{WL}$ 、施加到单个字线上的由单个梯形脉冲组成的插话式激励。在预先充电和信号形成阶段期间, 将选定的字线保持在正常的读取值, 在增强 (stress) 期间施加激励。脉冲达到示范值 8V, 无论晶体管上存储的数据状态如何, 该值将该字线上的选定的晶体管完全打开, 并且很快使位线放电。为了防止这情况, 将波形  $V_{pass}$  施加到该列中的其它晶体管中的一个晶体管上。通过在增强周期期间将这个其它晶体管设置为充分低于其阈值的电压, 能使该晶体管关闭且保持该位线的电荷。该其它晶体管可保持在标准的通过值, 此处为 5V。在位线上得到的电压  $V_{BL}$  如波形的顶部所示。在这个例子中, 将其预先充电到值 0.8V, 在该点其开始以由选定单元和位线上的读取值之间的关系确定的速率衰减。然后使  $V_{pass}$  降低, 允许  $V_{BL}$  保持稳定, 而  $V_{WL}$  增强为 8V。然后使选定的字线回到其读取值,  $V_{pass}$  回到 5V, 且允许信号形成持续直到参数值在  $t'$  时被锁定。

图 7B 与图 7A 类似, 只是现在将多个超过读取电压的脉冲施加到字线上。 $V_{pass}$  中的相应的一组下降是用于在施加这些脉冲时将电平保持在  $V_{BL}$ 。位线上的得到的特性由当  $V_{pass}$  为 0V 时一组平台打破的  $V_{BL}$  的衰减组成。

图 7C 展示了另一组可选的实施例。在此情况下, 将选择晶体管和所有非选择的字

线保持在恒定的通过值，这里为 5V，如恒定值  $V_{pass}$  展示的那样。选定的字线上激励现在是一系列使  $V_{wl}$  从读取值下降到例如 -6V 的脉冲。如前所述，在这些脉冲期间得到的  $V_{bl}$  波形保持为平的，但不需要另外的  $V_{pass}$  信号，因为激励不但施加必要的激励电压，还切断导电状态。

尽管迄今为止的讨论集中在使用 EEPROM 单元的存储器件的实施例，然而可将其应用到其它实施例，在这些其它实施例中噪声源的影响同样是问题，包括磁介质和光介质。本发明可推广应用到所有类型的器件/晶体管感测，包括但不局限于，亚 0.1 微米的晶体管、单电子晶体管、有机/碳基纳米晶体管和分子晶体管。例如，分别在 Eitan 的美国专利第 5,768,192 号和 Sato 等的美国专利第 4,630,086 号中描述的那些 NROM 和 MNOS 单元，或分别在 Gallagher 等的美国专利第 5,991,193 号和 Shimizu 等的美国专利第 5,892,706 号中描述的那些磁性 RAM 和 FRAM 单元，所有这些专利均以引用的方式并入本文中，这些单元也可从本发明获益。对于这些其它类型的存储元件，判定反映元件状态的参数的具体机理可以不同，例如在磁介质中将测量磁特性，而在 CD-ROM 或其它光介质中将测量光特性，但随后的处理可容易地从上面的例子中得出。使用这种方法，由于遭受高密度的噪声源（如界面状态或其它原子尺寸的瞬态俘获/反俘获部位）影响而不实用的已有材料系统可能可用于高密度存储或小型单个应用的可行技术。随着持续缩小尺寸以产生更小的器件，器件固有的波动的随机（量化）特性变得更加重要，而这种技术提供一种通过消除或减少其随机性来减少关联系统中的随之发生的噪声的影响的潜在方法。

本发明的另一个应用可能是为具有明显掺杂波动影响的很小晶体管产生更统一的导电特征（例如，服从于阈值电压  $V_{TH}$  的统计变化）。这里，由于微观上掺杂位置的变化使得宏观上相同的晶体管的  $V_{TH}$  可能不相同。通过使用当前揭示的减少噪声技术可以减少在直流条件下得到的  $V_{TH}^s$  的采样的标准差。例如，掺杂波动的影响可在一堆否则相同的器件上产生多余的特性变化。一个例子是在一堆本应相同的晶体管的阈值电压中递增传播。掺杂波动的影响随着器件尺寸降低到在器件的有效部分中仅有几个掺杂原子的点而增加。这可导致在达到器件有效部分的尺寸的尺度上不一致的电流密度。施加到一个示范性器件的栅或漏极的不同直流电压可导致新的主导电流导电路径。换言之，改变偏压可使最小电阻的路径偏移。如果不同的直流偏压改变了器件的特性，那么使偏压随时间变化与移动到新的器件上具有相同的效果。可再次参照中心限制定理来解释处于与直流条件相对的交流条件下的特性变化中可能的减少。

也可采用影响单元状态或所测量的参数值的其它形式的插话式激励。如上面提及

的，其它可具有净减少噪声效果的激励包括外部或内部产生的光子、声子、磁场、机械振动或应力和热应力。例如，也可使用从外部施加的交变电子和磁场来减少噪声。具体而言，交变的磁场可用于磁类型的存储单元中，其中该磁场直接影响该单元，或甚至可用于浮动栅单元中，其中该磁场能通过引入的电压影响该单元。增加温度可具有  $1/f$  减少噪声的效果，但其也将增加热噪声。通过不同温度的循环可提供一种减少噪声的方法。在这些情况的任意一种情况下，本发明的技术允许使用周期性或交流激励减少的噪声读取存储单元中的稳定状态或直流特征。

尽管已经参照具体的示范性实施例描述本发明的各个方面，可以理解，本发明有所附权利要求的全部范围之内的保护的权利要求。

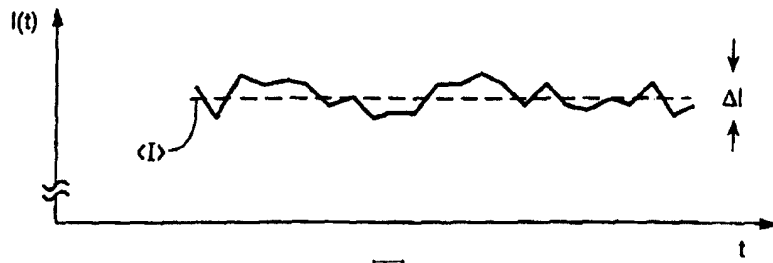


图 1A

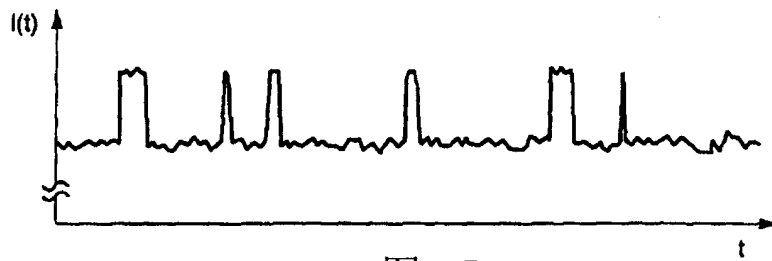


图 1B

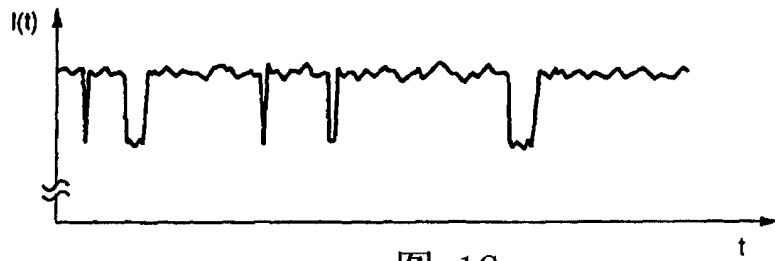


图 1C



图 1D

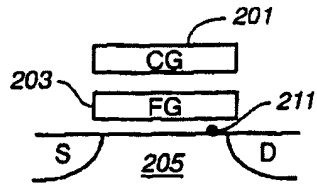


图 2A

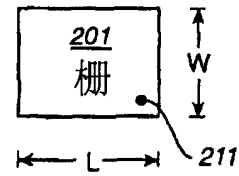


图 2B

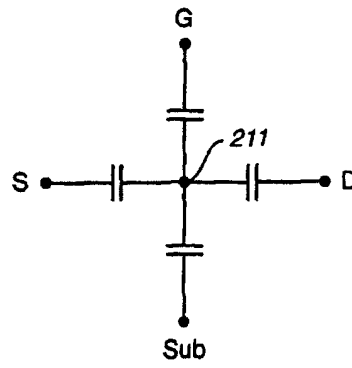


图 2C

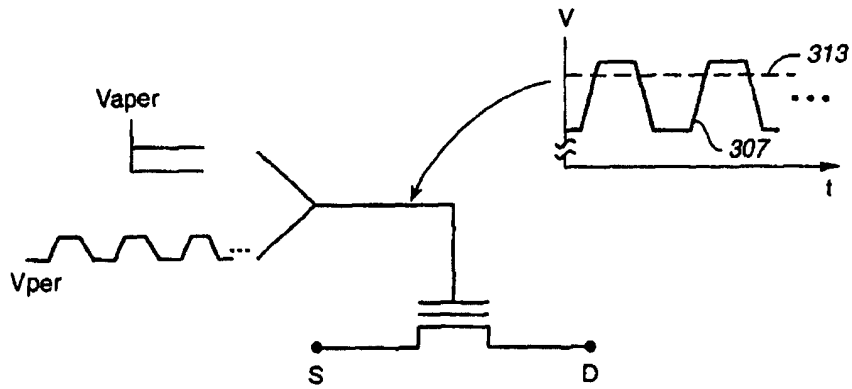


图 3

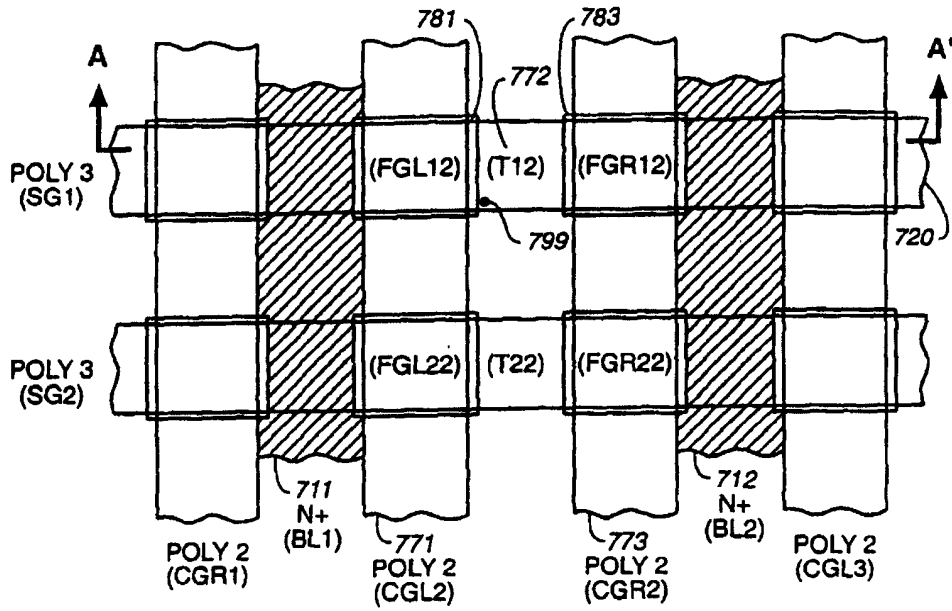


图 4A

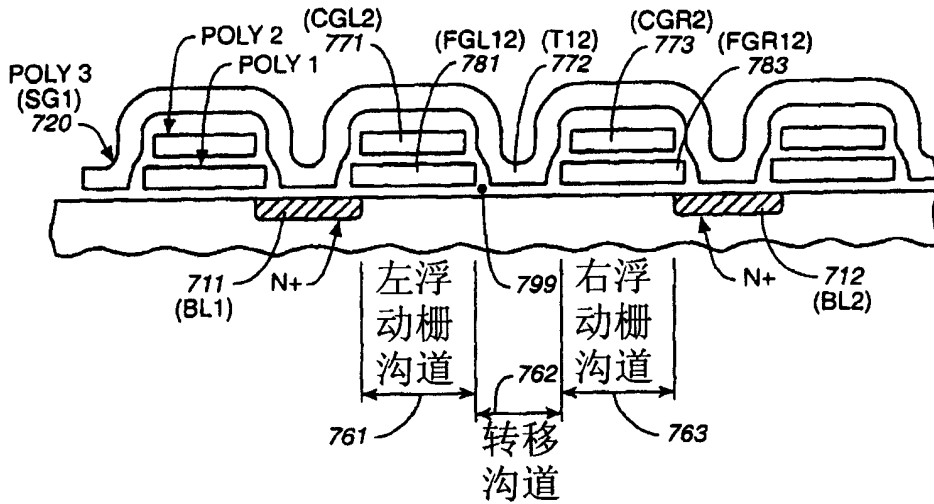


图 4B



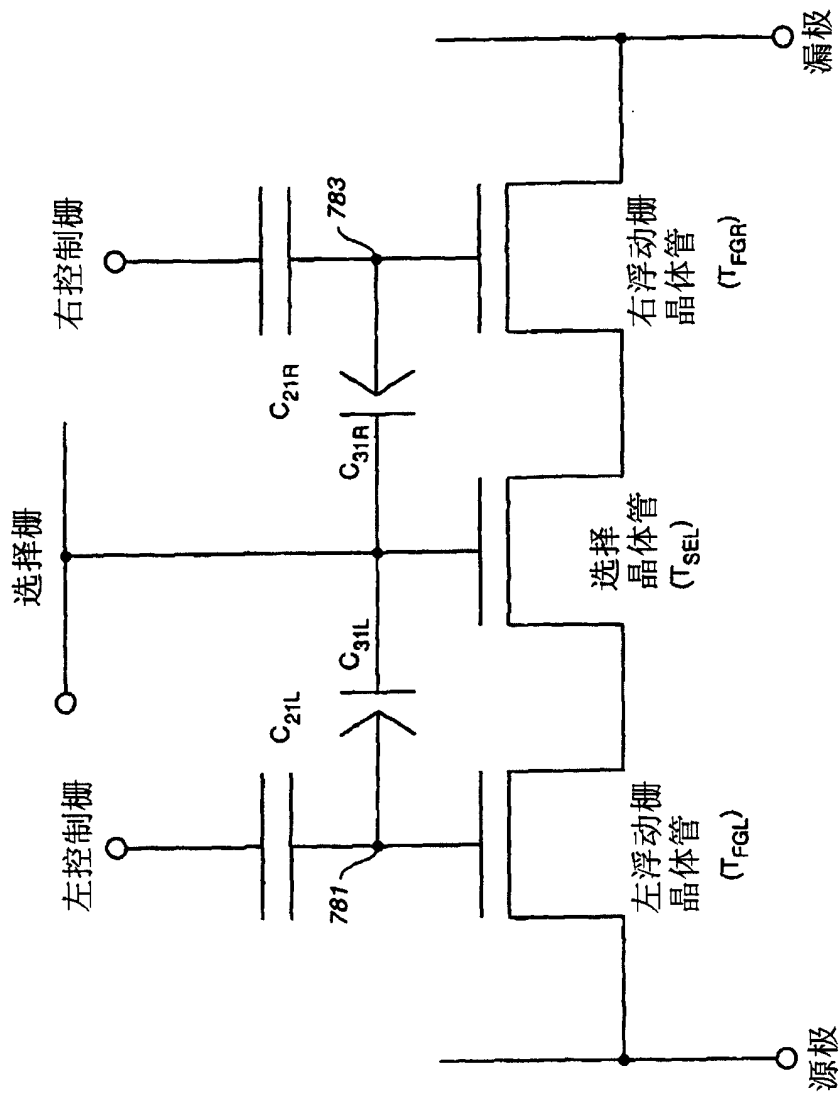


图 4C

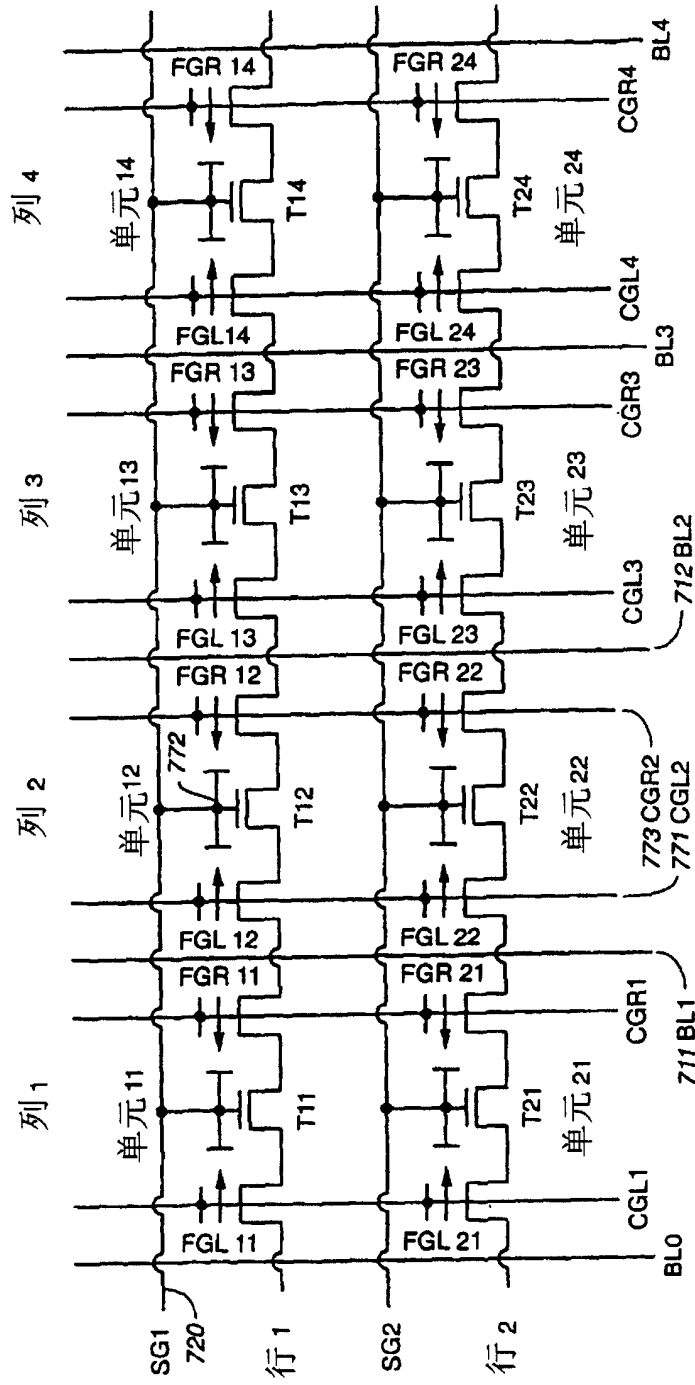


图 4D

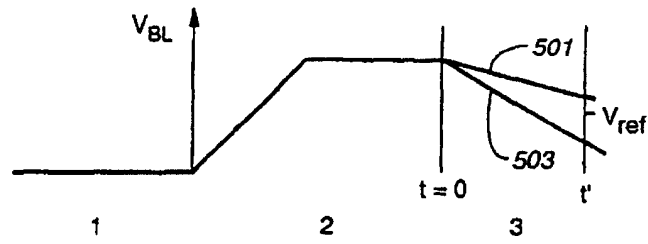


图 5A

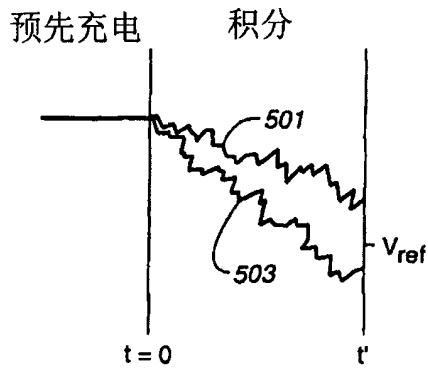


图 5B

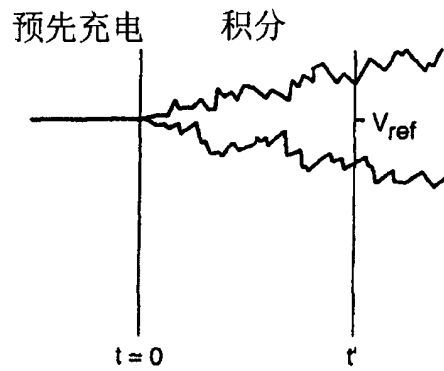


图 5C

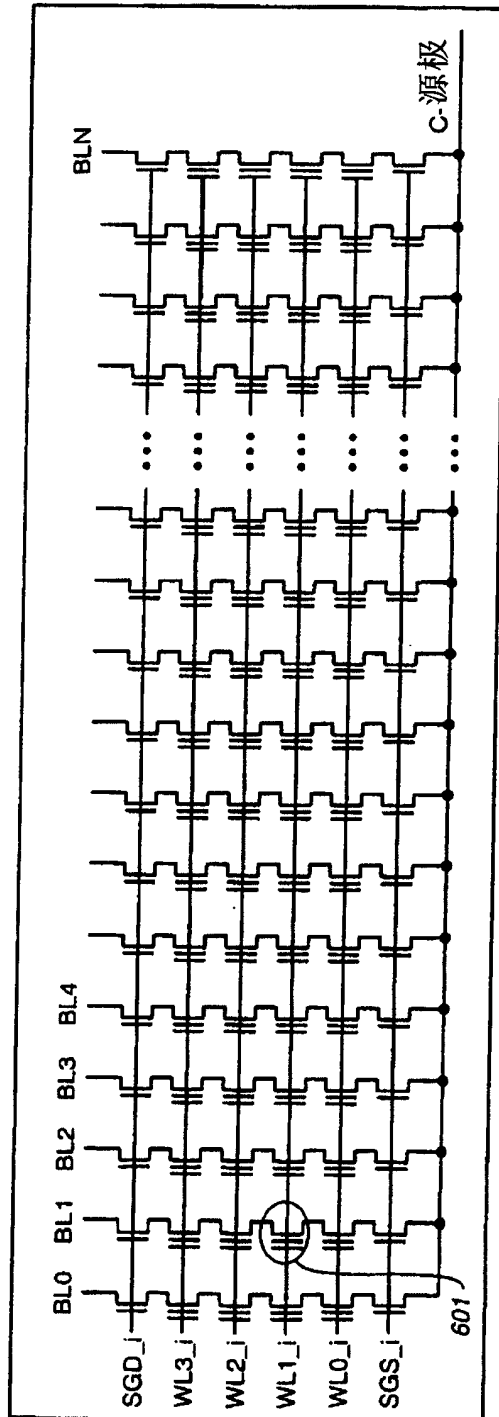


图 6

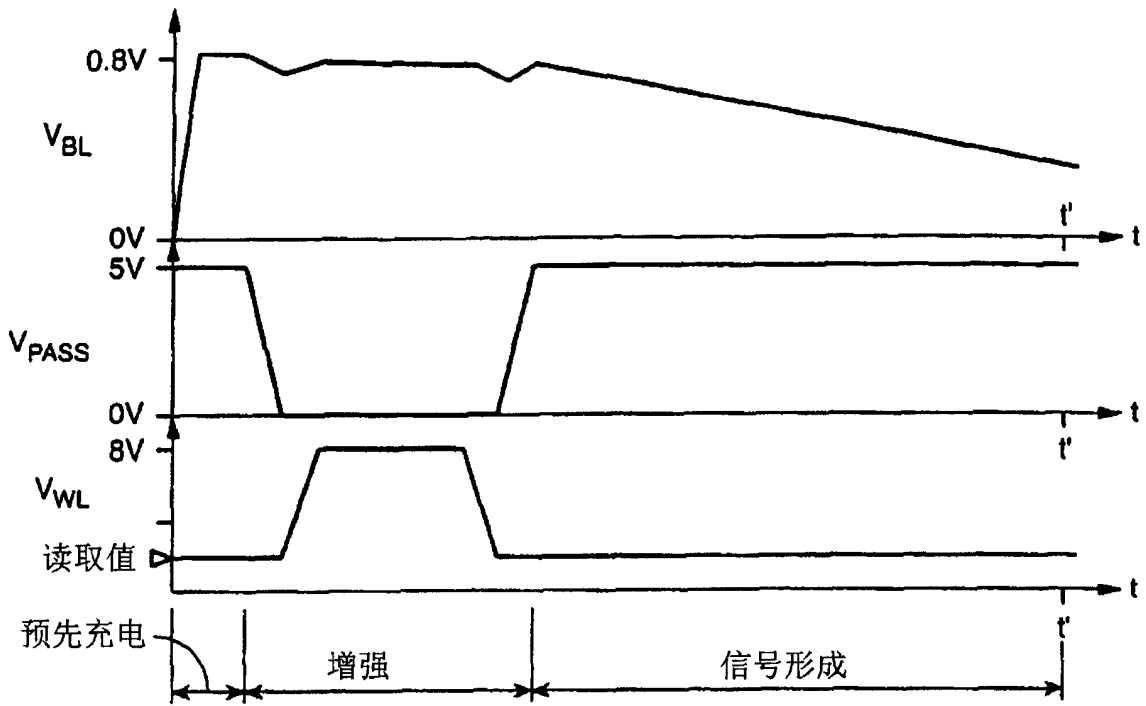


图 7A

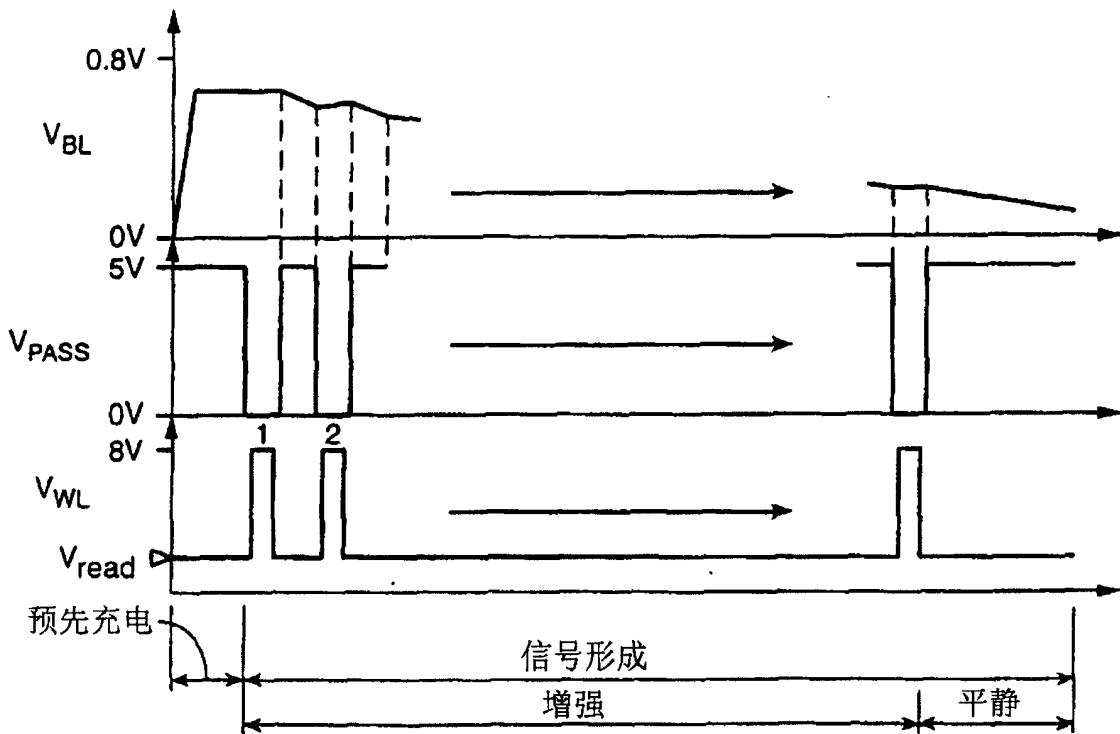


图 7B

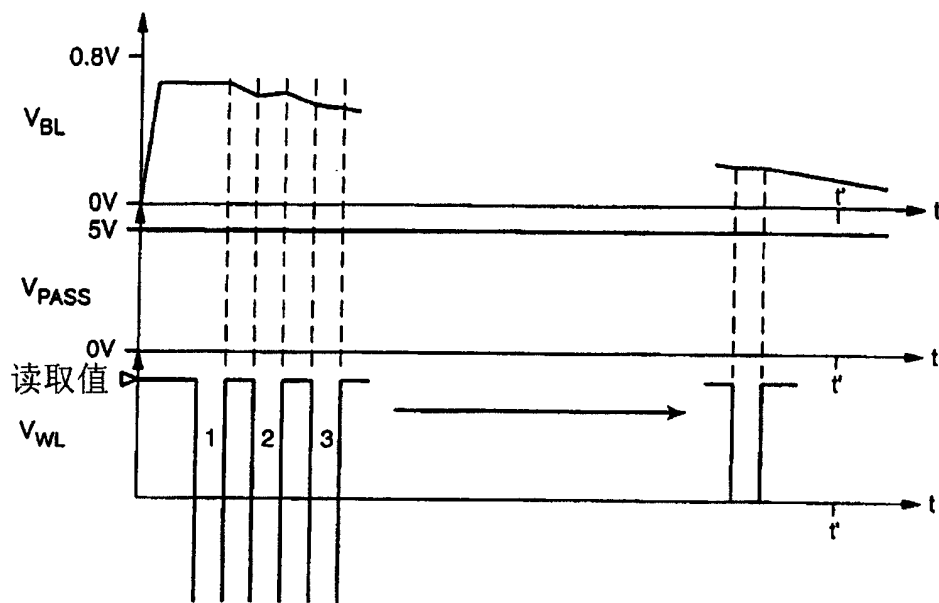


图 7C