

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6092673号
(P6092673)

(45) 発行日 平成29年3月8日(2017.3.8)

(24) 登録日 平成29年2月17日(2017.2.17)

(51) Int. Cl. F 1
G 0 6 F 11/10 (2006.01) G 0 6 F 11/10 6 6 8
G 0 6 F 12/16 (2006.01) G 0 6 F 12/16 3 2 0 B

請求項の数 6 (全 12 頁)

<p>(21) 出願番号 特願2013-57714 (P2013-57714) (22) 出願日 平成25年3月21日 (2013.3.21) (65) 公開番号 特開2014-182690 (P2014-182690A) (43) 公開日 平成26年9月29日 (2014.9.29) 審査請求日 平成28年2月10日 (2016.2.10)</p>	<p>(73) 特許権者 000002303 スタンレー電気株式会社 東京都目黒区中目黒2丁目9番13号 (74) 代理人 110001184 特許業務法人むつきパートナーズ (72) 発明者 藤本 和宏 東京都目黒区中目黒2丁目9番13号 ス タンレー電気株式会社内 審査官 酒井 恭信</p>
--	--

最終頁に続く

(54) 【発明の名称】 メモリ制御装置、メモリ制御方法

(57) 【特許請求の範囲】

【請求項1】

行と列の組み合わせで特定される複数の単位記憶領域を有する不揮発性メモリに対してデータの読み出し及び書き込みを行うためのメモリ制御装置であって、

各々が所定数の単位記憶領域を有する第1ブロック及び第2ブロックに対するデータの読み出し及び書き込みを行うデータ管理手段と、

前記第1ブロック及び前記第2ブロックの行方向及び/又は列方向において当該第1ブロック及び第2ブロックに対応する複数の行及び/又は複数の列にわたって当該第1ブロック及び/又は第2ブロックと隣り合う複数の前記単位記憶領域をエラー記憶領域として設定して、当該エラー記憶領域に、前記第1ブロック及び/又は前記第2ブロックに含まれる故障した単位記憶領域の位置を示すエラー情報データを書き込むエラー情報管理手段と、

を含む、メモリ制御装置。

【請求項2】

前記エラー記憶領域は、前記第1ブロック及び前記第2ブロックの行数と同数の行数分かつ1列分の単位記憶領域、又は前記第1ブロック及び前記第2ブロックの列数と同数の列数分かつ1行分の単位記憶領域を有する、

請求項1に記載のメモリ制御装置。

【請求項3】

前記エラー情報管理手段は、前記エラー記憶領域において前記故障した単位記憶領域と

同じ行又は列に属する単位記憶領域に前記エラー情報データを書き込む、
請求項 1 又は 2 に記載のメモリ制御装置。

【請求項 4】

前記エラー記憶領域に対して行方向及び/又は列方向に隣り合う前記単位記憶領域をエラー記憶領域用チェックサム記憶領域として設定して、当該エラー記憶領域用チェックサム記憶領域に前記エラー情報データのチェックサムを書き込むチェックサム管理手段、
を更に含む、請求項 1 ~ 3 の何れか 1 項に記載のメモリ制御装置。

【請求項 5】

前記データ管理手段は、前記第 1 ブロック及び前記第 2 ブロックに共通のデータを書き込む際に、前記エラー情報データに基づいて前記故障した単位記憶領域の数の奇偶を判定して当該奇偶に応じ、前記共通のデータの書き込みを前記第 1 ブロックには先頭アドレスから開始し前記第 2 ブロックに対して最後尾アドレスから開始する場合と、前記共通のデータの書き込みを前記第 1 ブロックには最後尾アドレスから開始し前記第 2 ブロックに対して先頭アドレスから開始する場合とを切り替える、

請求項 1 ~ 4 の何れか 1 項に記載のメモリ制御装置。

【請求項 6】

行と列の組み合わせで特定される複数の単位記憶領域を有する不揮発性メモリに対してデータの読み出し及び書き込みを行うためのメモリ制御方法であって、

制御手段が、各々が所定数の単位記憶領域を有する第 1 ブロック及び第 2 ブロックに対するデータの読み出し及び書き込みを行うステップと、

前記制御手段が、前記第 1 ブロック及び前記第 2 ブロックの行方向及び/又は列方向において当該第 1 ブロック及び第 2 ブロックに対応する複数の行及び/又は複数の列にわたって当該第 1 ブロック及び/又は第 2 ブロックと隣り合う複数の前記単位記憶領域をエラー記憶領域として設定して、当該エラー記憶領域に、前記第 1 ブロック及び/又は前記第 2 ブロックに含まれる故障した単位記憶領域の位置を示すエラー情報データを書き込むステップと、

を含む、メモリ制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データを記憶させるためのメモリの制御技術に関し、特にデータにエラーが発生した場合に対応するためのメモリの制御技術に関する。

【背景技術】

【0002】

メモリの制御技術に関する先行例として、例えば特開 2009 - 37533 号公報（特許文献 1）には、不揮発性メモリの互いに異なる領域に同じ故障コードを記憶させるとともに、少なくともその記憶された故障コードの誤りを検出する故障コード管理装置において、誤りが生じた場合でも正しい故障コードをより確実に認識できるようにした故障コード記憶管理装置等が開示されている。この先行例は、不揮発性メモリの互いに異なる領域に記憶された故障コードと他のメモリに記憶された故障コードテーブルとを照合することで、不揮発性メモリの故障コードのうち何れかがその不揮発性メモリに記憶されているべきものか、つまり正しい故障コードであるかを認識できる、というものである。

【0003】

ところで、上記した先行例においては、誤り対策として同じデータ（故障コード）を複数の記憶領域に記憶させるため、記憶領域がより多く必要となるという点で改良の余地がある。また、データの正否判断を複数のデータの照合による多数決処理で実施していることから、データ書き込み中に電源が切れてしまった場合には、正常に書き込みが完了しても異常と判断する場合が考えられ、データの信頼性が低いという不都合もある。

【先行技術文献】

【特許文献】

10

20

30

40

50

【 0 0 0 4 】

【特許文献1】特開2009-37533号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

本発明に係る具体的態様は、より少ない記憶領域の使用量で誤り対策が可能であり、かつデータの信頼性を高めることが可能なメモリ制御技術を提供することを目的の1つとする。

【課題を解決するための手段】

【 0 0 0 6 】

本発明に係る一態様のメモリ制御装置は、行と列の組み合わせで特定される複数の単位記憶領域を有する不揮発性メモリに対してデータの読み出し及び書き込みを行うためのメモリ制御装置であって、(a)各々が所定数の単位記憶領域を有する第1ブロック及び第2ブロックに対するデータの読み出し及び書き込みを行うデータ管理手段と、(b)第1ブロック及び第2ブロックの行方向及び/又は列方向において当該第1ブロック及び第2ブロックに対応する複数の行及び/又は複数の列にわたって当該第1ブロック及び/又は第2ブロックと隣り合う複数の単位記憶領域をエラー記憶領域として設定して、当該エラー記憶領域に、第1ブロック及び/又は第2ブロックに含まれる故障した単位記憶領域の位置を示すエラー情報データを書き込むエラー情報管理手段と、を含むメモリ制御装置である。

【 0 0 0 7 】

上記構成によれば、第1ブロックおよび第2ブロックの周辺に設定したエラー記憶領域を用いて故障した単位記憶領域の位置を示すエラー情報データを保持できるので、より少ない記憶領域の使用量で誤り対策が可能である。また、多数決処理のような手法が不要であり、データの信頼性を高めることができる。

【 0 0 0 8 】

上記のメモリ制御装置において、エラー記憶領域は、第1ブロック及び第2ブロックの行数と同数の行数分かつ1列分の単位記憶領域、又は第1ブロック及び第2ブロックの列数と同数の列数分かつ1行分の単位記憶領域を有する、ことが好ましい。

【 0 0 0 9 】

例えば、故障した単位記憶領域に対応する行(または列)をその行(または列)の相対的な順番に対応して表してエラー記憶領域内におけるビット数に対応づけて記憶すれば1ビットの記憶容量でエラー情報データを保持することができる。したがって、上記のように少ない記憶領域の使用量でも十分にエラー情報データを保持することができる。

【 0 0 1 0 】

上記のメモリ制御装置において、エラー情報管理手段は、エラー記憶領域において故障した単位記憶領域と同じ行又は列に属する単位記憶領域にエラー情報データを書き込む、ことも好ましい。

【 0 0 1 1 】

これにより、エラー情報データによって示される故障した単位記憶領域の位置を識別するのが容易になる。

【 0 0 1 2 】

上記のメモリ制御装置は、エラー記憶領域に対して行方向及び/又は列方向に隣り合う単位記憶領域をエラー記憶領域用チェックサム記憶領域として設定して、当該エラー記憶領域用チェックサム記憶領域にエラー情報データのチェックサムを書き込むチェックサム管理手段を更に含む、ことも好ましい。

【 0 0 1 3 】

これにより、エラー情報データの信頼性をより高めることができ、ひいてはデータの信頼性をより向上することが可能になる。

【 0 0 1 4 】

10

20

30

40

50

上記のメモリ制御装置において、データ管理手段は、第1ブロック及び第2ブロックに共通のデータを書き込む際に、エラー情報データに基づいて故障した単位記憶領域の数の奇偶を判定して当該奇偶に応じ、共通のデータを書き込みを第1ブロックには先頭アドレスから開始し第2ブロックに対して最後尾アドレスから開始する場合と、共通のデータを書き込みを第1ブロックには最後尾アドレスから開始し第2ブロックに対して先頭アドレスから開始する場合とを切り替える、ことも好ましい。

【0015】

これにより、データの記憶回数を上げることができる。

【0016】

本発明に係る一態様のメモリ制御方法は、行と列の組み合わせで特定される複数の単位記憶領域を有する不揮発性メモリに対してデータの読み出し及び書き込みを行うためのメモリ制御方法であって、(a)制御手段が、各々が所定数の単位記憶領域を有する第1ブロック及び第2ブロックに対するデータの読み出し及び書き込みを行うステップと、(b)制御手段が、第1ブロック及び第2ブロックの行方向及び/又は列方向において当該第1ブロック及び第2ブロックに対応する複数の行及び/又は複数の列にわたって当該第1ブロック及び/又は第2ブロックと隣り合う複数の単位記憶領域をエラー記憶領域として設定して、当該エラー記憶領域に、第1ブロック及び/又は第2ブロックに含まれる故障した単位記憶領域の位置を示すエラー情報データを書き込むステップとを含む、メモリ制御方法である。

【0017】

上記構成によれば、第1ブロックおよび第2ブロックの周辺に設定したエラー記憶領域を用いて故障した単位記憶領域の位置を示すエラー情報データを保持できるので、より少ない記憶領域の使用量で誤り対策が可能である。また、多数決処理のような手法が不要であり、データの信頼性を高めることができる。

【図面の簡単な説明】

【0018】

【図1】図1は、一実施形態のメモリ制御装置の構成を示すブロック図である。

【図2】図2は、不揮発性メモリにおけるデータ配置を示す概念図である。

【図3】図3は、不揮発性メモリにおいて1つのアドレスの単位記憶領域にエラーが生じた場合のメモリ制御の概念図である。

【図4】図4は、不揮発性メモリにおいて2つのアドレスの単位記憶領域にエラーが生じた場合のメモリ制御の概念図である。

【図5】図5は、メモリ制御装置のデータ読み込みにおける動作手順を示すフローチャートである。

【図6】図6は、メモリ制御装置のデータ書き込みにおける動作手順を示すフローチャートである。

【図7】図7は、ステップS42におけるデータ書き込みの詳細な手順を示すフローチャートである。

【発明を実施するための形態】

【0019】

以下に、本発明の実施の形態について図面を参照しながら説明する。

【0020】

図1は、一実施形態のメモリ制御装置の構成を示すブロック図である。図1に示すメモリ制御装置1は、CPU(Central Processing Unit)11、ROM(Read Only Memory)12、RAM(Random Access Memory)13およびデータバス14を含んで構成されたコンピュータシステムであり、制御対象となるEEPROM(Electrically Erasable Programmable Read-Only Memory)等の不揮発性メモリ20に対してデータの書き込みおよび読み出し等を行う。このようなメモリ制御装置の用途は種々に存在しており、例えば本例のメモリ制御装置は車載用電子機器に組み込んで用いられるものとする。

【0021】

C P U (制御手段) 1 1 は、所定の動作プログラムを実行することによりメモリ制御装置 1 の全体動作を制御する。R O M 1 2 は、C P U 1 1 において実行させるための動作プログラムやその他のデータを記憶する。R A M 1 3 は、C P U 1 1 における演算に伴って生じるデータを一時的に記憶する。データバス 1 4 は、C P U 1 1、R O M 1 2、R A M 1 3 および不揮発性メモリ 2 0 の相互間を通信可能に接続する。なお、本実施形態においては C P U 1 1 が「データ管理手段」、「エラー情報管理手段」、「チェックサム管理手段」に対応する。

【 0 0 2 2 】

図 2 は、不揮発性メモリにおけるデータ配置を示す概念図である。本実施形態の不揮発性メモリ 2 0 における記憶領域は、複数のロウ（行）と複数のカラム（列）によって特定される複数の単位記憶領域を有する。ここでは、不揮発性メモリ 2 0 内における記憶領域の一部として、ロウ 1 ~ 1 6 およびカラム 1 ~ 8 によって特定される 1 2 8 個の単位記憶領域を示す。図示のように、不揮発性メモリ 2 0 には、ロウ 2 ~ 1 5 およびカラム 2 ~ 4 によって特定される複数の単位記憶領域を含んで 1 つの記憶ブロック（以下「ブロック 1」と呼ぶ）が設定され、ロウ 2 ~ 1 5 およびカラム 5 ~ 7 によって特定される複数の単位記憶領域を含んで 1 つの記憶ブロック（以下「ブロック 2」と呼ぶ）が設定されている。なお、各単位記憶領域に示された文字列は各単位記憶領域のアドレス（番地）を示すものであり、これらは 1 6 進数表記されている（以下においても同様）。図 2 の例においては、ブロック 1 のアドレス 9、A、B、1 1、1 2、1 3 に情報 a が格納され、ブロック 1 のアドレス 1 9、1 A、1 B、2 1、2 2、2 3 に情報 b が格納され、ブロック 1 のアドレス 2 9、2 A、2 B、3 1、3 2、3 3 に情報 c が格納されている。また、同じ情報 a、b、c はブロック 2 にも格納されている。詳細には、ブロック 2 のアドレス 4 C、4 D、4 E、5 4、5 5、5 6 に情報 c が格納され、ブロック 2 のアドレス 5 C、5 D、5 E、6 4、6 5、6 6 に情報 b が格納され、ブロック 2 のアドレス 6 C、6 D、6 E、7 4、7 5、7 6 に情報 a が格納されている。

【 0 0 2 3 】

また、これらのブロック 1、2 を取り囲むようにして複数のエラー記憶領域および複数のエラー記憶領域用チェックサム記憶領域が設定されている。詳細には、ロウ 1 およびカラム 2 ~ 7 によって特定されるアドレス 1 ~ 6 の各単位記憶領域とロウ 1 6 およびカラム 2 ~ 7 によって特定されるアドレス 7 9 ~ 7 E の各単位記憶領域がロウ用のエラー記憶領域に設定されている。また、ロウ 2 ~ 1 5 およびカラム 1 によって特定されるアドレス 8、1 0、1 8、・・・7 0 の各単位記憶領域とロウ 2 ~ 1 5 およびカラム 8 によって特定されるアドレス F、1 7、1 F、・・・7 7 の各単位記憶領域がカラム用のエラー記憶領域に設定されている。さらに、ロウ 1 およびカラム 1 によって特定されるアドレス 0 の単位記憶領域、ロウ 1 およびカラム 8 によって特定されるアドレス 7 の単位記憶領域、ロウ 1 6 およびカラム 1 によって特定されるアドレス 7 8 の単位記憶領域、ロウ 1 6 およびカラム 8 によって特定されるアドレス 7 F の単位領域、のそれぞれがエラー記憶領域用チェックサム記憶領域として設定されている。

【 0 0 2 4 】

図 3 は、不揮発性メモリにおいて 1 つのアドレスの単位記憶領域にエラーが生じた場合のメモリ制御の概念図である。一例として、アドレス 3 2 の単位記憶領域にエラーが生じているとする。この場合には、アドレス 2 のエラー記憶領域とアドレス 7 A のエラー記憶領域のそれぞれにエラー情報データが書き込まれる。すなわち、本実施形態では、ロウ 1 およびカラム 2 ~ 7 で特定されるアドレス並びにロウ 1 6 およびカラム 2 ~ 7 で特定されるアドレスの各エラー記憶領域にはロウ側のエラー情報データが書き込まれる。具体的には、アドレス 2 およびアドレス 7 A の各エラー記憶領域はそれぞれ 1 6 ビットであり、そのうちビット 6 に「1」が記憶される。これは、0 ビット目から数えて 7 番目のビットであり、ロウ 7 で特定される単位記憶領域にエラーが生じていることを示す。

【 0 0 2 5 】

また、アドレス 3 0 のエラー記憶領域とアドレス 3 7 のエラー記憶領域のそれぞれにエ

10

20

30

40

50

ラー情報データが書き込まれる。すなわち、本実施形態ではロウ 2 ~ 15 およびカラム 1 で特定されるアドレス並びにロウ 2 ~ 15 およびカラム 8 で特定されるアドレスの各エラー記憶領域にはカラム側のエラー情報データが書き込まれる。具体的には、アドレス 30 およびアドレス 37 の各エラー記憶領域はそれぞれ 8 ビットであり、そのうちビット 2 に「1」が記憶される。これは、0 ビット目から数えて 3 番目のビットであり、カラム 3 で特定される単位記憶領域にエラーが生じていることを示す。

【0026】

また、エラー発生に対応して情報 a、b、c の格納場所が変更される。各情報 a、b、c の書き込み頻度が異なることを考慮し、各情報 a ~ c の格納順も変更される。例えば、ブロック 1 のアドレス 49、4A、4B、51、52、53 に情報 a が格納され、ブロック 1 のアドレス 59、5A、5B、61、62、63 に情報 c が格納され、ブロック 1 のアドレス 69、6A、6B、71、72、73 に情報 b が格納される。また、ブロック 2 のアドレス C、D、E、14、15、16 に情報 b が格納され、ブロック 2 のアドレス 1C、1D、1E、24、25、26 に情報 c が格納され、ブロック 2 のアドレス 2C、2D、2E、34、35、36 に情報 a が格納される。

【0027】

図 4 は、不揮発性メモリにおいて 2 つのアドレスの単位記憶領域にエラーが生じた場合のメモリ制御の概念図である。一例として、アドレス 32 とアドレス 52 の各単位記憶領域にエラーが生じているとする。このようにエラーの生じた単位記憶領域の数が偶数である場合には、ブロック 1 では先頭アドレスからデータを配置し、ブロック 2 では最後尾アドレスからデータを配置する。このとき、エラーの生じているアドレスの単位記憶領域は使用せずにその次のアドレスの単位記憶領域を使用する。また、各情報 a、b、c の書き込み頻度が異なることを考慮し、各情報 a ~ c の格納順も変更される。例えば、ブロック 1 のアドレス 9、A、B、11、12、13 に情報 c が格納され、ブロック 1 のアドレス 19、1A、1B、21、22、23 に情報 a が格納され、ブロック 1 のアドレス 29、2A、2B、31、33、39 に情報 b が格納される。また、ブロック 2 のアドレス 4C、4D、4E、54、55、56 に情報 b が格納され、ブロック 2 のアドレス 5C、5D、5E、64、65、66 に情報 a が格納され、ブロック 2 のアドレス 6C、6D、6E、74、75、76 に情報 c が格納される。なお、エラーの生じた単位記憶領域の数が奇数である場合には、ブロック 1 では最後尾アドレスからデータを配置し、ブロック 2 では先頭アドレスからデータを配置する（上記した図 3 参照）。

【0028】

このように、エラーが発生するごとに書き込み/読み込みを実施するアドレスを移動することで、同じデータの記憶回数を 2 倍以上に上げることができる。また、データの記憶順序をエラーの発生回数ごとに変更することでも、記憶回数を上げることができる。

【0029】

本実施形態のメモリ制御装置は以上のように構成されており、次にその動作についてフローチャートを参照しながら詳細に説明する。

【0030】

図 5 は、メモリ制御装置のデータ読み込みにおける動作手順を示すフローチャートである。データ読み込みに際して、CPU 11 は、不揮発性メモリ 20 のエラー記憶領域に格納されたエラー情報データを読み込む（ステップ S11）。このとき、エラー記憶領域用チェックサム記憶領域のデータも併せて読み込まれる。また、CPU 11 は、ブロック 1 のデータを読み込む（ステップ S12）。

【0031】

次に CPU 11 は、読み込んだ各データからチェックサムおよびパリティを計算し（ステップ S13）、これらの計算したチェックサムおよびパリティと読み込んだチェックサムおよびパリティが一致するかどうかのデータチェックを行う（ステップ S14）。

【0032】

データチェックの結果、エラーがない場合に（ステップ S14；YES）、CPU 11

10

20

30

40

50

は、ブロック1のデータを正しいデータとして採用する(ステップS15)。具体的には、このブロック1から読み出したデータを用いて種々の処理を行い、あるいは図示しない他の電子機器へこのデータを送信する等の処理を行う。他方で、データチェックの結果、エラーがある場合に(ステップS14; NO)、CPU11は、ブロック1から読み込んだデータをRAM13の所定領域に待避させる(ステップS16)。

【0033】

次にCPU11は、ブロック2のデータを読み込み(ステップS17)、この読み込んだ各データからチェックサムおよびパリティを計算し(ステップS18)、これらの計算したチェックサムおよびパリティと読み込んだチェックサムおよびパリティが一致するかどうかのデータチェックを行う(ステップS19)。

10

【0034】

データチェックの結果、エラーがない場合に(ステップS19; YES)、CPU11は、ブロック1とブロック2の各データを比較することにより、エラーを生じている単位記憶領域のアドレスを特定する(ステップS20)。そしてCPU11は、特定したアドレスに対応するエラー情報データを不揮発性メモリ20の各エラー記憶領域に書き込む(ステップS21)。このとき、併せてチェックサムも計算され、エラー記憶領域用チェックサム記憶領域に書き込まれる。

【0035】

次にCPU11は、ブロック2のデータを正しいデータとして採用する(ステップS22)。具体的には、このブロック1から読み出したデータを用いて種々の処理を行い、あるいは図示しない他の電子機器へこのデータを送信する等の処理を行う。その後CPU11は、ブロック1、2におけるデータを再配置してデータを書き込む(ステップS23)。具体的には、上記した図3、図4に基づいて説明した通りである。

20

【0036】

また、上記ステップS19において、エラーがある場合には(ステップS19; NO)、ブロック1、2のいずれから読み出したデータも適正ではないので、CPU11は、ROM12に予め書き込まれている初期データを読み出してこの初期データを採用する(ステップS24)。その後CPU11は、ブロック1、2におけるデータを再配置してデータを書き込む(ステップS25)。具体的には、上記した図3、図4に基づいて説明した通りである。

30

【0037】

図6は、メモリ制御装置のデータ書き込みにおける動作手順を示すフローチャートである。なお、ここではブロック1へのデータ書き込みを説明するが、ブロック2についても同様にしてデータ書き込みが行われるものとする。

【0038】

データ書き込みに際して、エラーを生じている単位記憶領域を特定するために、CPU11は、不揮発性メモリ20のエラー記憶領域に格納されたエラー情報データを読み込む(ステップS41)。

【0039】

次に、CPU11は、ブロック1へデータを書き込む(ステップS42)。このとき、エラー情報データによって特定される故障した単位記憶領域を用いずにデータが書き込まれる(上記図4参照)。

40

【0040】

次に、CPU11は、ブロック1のデータを読み込み(ステップS43)、この読み込んだデータとステップS42において書き込んだデータが一致するか否かのデータチェックを行う(ステップS44)。エラーがない場合には(ステップS44; YES)、CPU11はデータ書き込みを終了する。

【0041】

一方、エラーがある場合には(ステップS44; NO)、CPU11は、エラーを生じている単位記憶領域のアドレスを特定し(ステップS45)、そのアドレスに対応したエ

50

ラー情報データを不揮発性メモリ20の各エラー記憶領域に書き込む(ステップS46)。その後CPU11は、ブロック1、2におけるデータを再配置してデータを書き込む(ステップS47)。具体的には、上記した図3、図4に基づいて説明した通りである。

【0042】

図7は、ステップS42におけるデータ書き込みの詳細な手順を示すフローチャートである。なお、ここでもブロック1へのデータ書き込みを説明するが、ブロック2についても同様にしてデータ書き込みが行われるものとする。

【0043】

まず、CPU11は、エラー記憶領域から読み込んだエラー情報データに基づいて、エラーの生じた単位記憶領域の数が偶数であるか否かを判定する(ステップS70)。

10

【0044】

エラーの生じた単位記憶領域の数が偶数である場合に(ステップS70; YES)、CPU11は、ブロック1におけるデータ書き込み順を上位アドレスからのデータ書き込みとする(ステップS71)。

【0045】

一方、エラーの生じた単位記憶領域の数が奇数である場合に(ステップS71; NO)、CPU11は、ブロック1におけるデータ書き込み順を下位アドレスからのデータ書き込みとする(ステップS72)。

【0046】

次にCPU11は、エラーの生じた単位記憶領域の数(以下、単に「エラー数」という)に対して剰余演算mod3を行い、その剰余が0である場合に(ステップS73; YES)、ブロック1においてステップS71またはステップS72において決定したデータ書き込み順に従って、情報a、情報b、情報cの順でデータ書き込みを実行する(ステップS74、S75、S76)。

20

【0047】

また、エラー数に対する剰余演算mod3の剰余が0でなく(ステップS73; NO)、剰余が1である場合に(ステップS77; YES)、CPU11は、ブロック1においてステップS71またはステップS72において決定したデータ書き込み順に従って、情報b、情報c、情報aの順でデータ書き込みを実行する(ステップS78、S79、S80)。

30

【0048】

また、エラー数に対する剰余演算mod3の剰余が1でなく剰余が2である場合に(ステップS77; NO)、CPU11は、ブロック1においてステップS71またはステップS72において決定したデータ書き込み順に従って、情報c、情報a、情報bの順でデータ書き込みを実行する(ステップS81、S82、S83)。

【0049】

以上のような本実施形態によれば、不揮発性メモリにおけるブロック1(第1ブロック)およびブロック2(第2ブロック)の周辺に設定したエラー記憶領域を用いて故障した単位記憶領域の位置を示すエラー情報データを保持できるので、より少ない記憶領域の使用量で誤り対策が可能である。また、多数決処理のような手法が不要であり、データの信頼性を高めることができる。

40

【0050】

なお、本発明は上述した実施形態の内容に限定されるものではなく、本発明の要旨の範囲内において種々に変形して実施をすることが可能である。例えば、上記した実施形態ではブロック1及びブロック2のロウ方向及びカラム方向のそれぞれにエラー記憶領域を設定していたが、ロウ方向とカラム方向のいずれか一方にのみエラー記憶領域を設定してもよい。また、各ブロック1、2やエラー記憶領域のそれぞれに含まれる単位記憶領域の数や配置についても上記実施形態は一例であり、これにのみ限定されない。

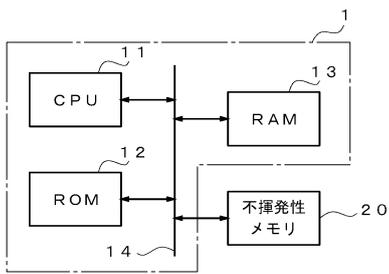
【符号の説明】

【0051】

50

- 1 : メモリ制御装置
- 1 1 : C P U
- 1 2 : R O M
- 1 3 : R A M
- 1 4 : データバス
- 2 0 : 不揮発性メモリ

【 図 1 】

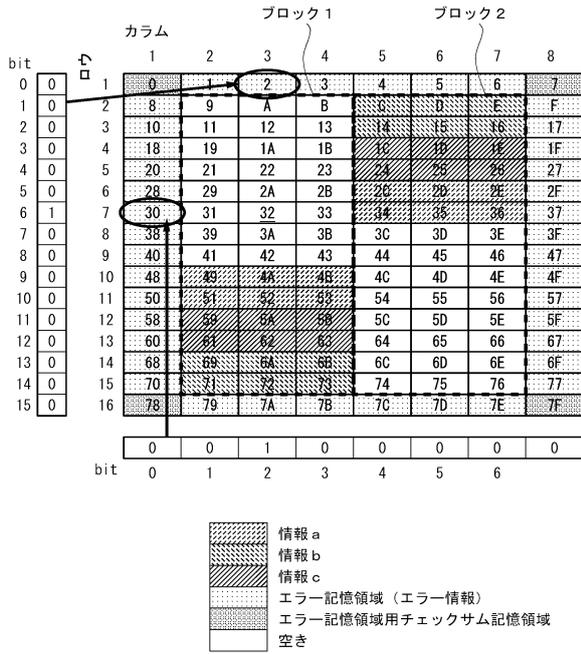


【 図 2 】

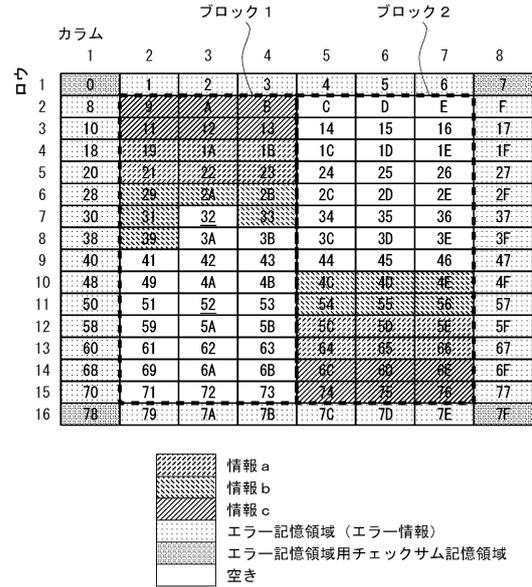
ロウ	カラム							
	1	2	3	4	5	6	7	8
1	0	1	2	3	4	5	6	7
2	8	9	A	B	C	D	E	F
3	10	11	12	13	14	15	16	17
4	18	19	1A	1B	1C	1D	1E	1F
5	20	21	22	23	24	25	26	27
6	28	29	2A	2B	2C	2D	2E	2F
7	30	31	32	33	34	35	36	37
8	38	39	3A	3B	3C	3D	3E	3F
9	40	41	42	43	44	45	46	47
10	48	49	4A	4B	4C	4D	4E	4F
11	50	51	52	53	54	55	56	57
12	58	59	5A	5B	5C	5D	5E	5F
13	60	61	62	63	64	65	66	67
14	68	69	6A	6B	6C	6D	6E	6F
15	70	71	72	73	74	75	76	77
16	78	79	7A	7B	7C	7D	7E	7F

- 情報 a
- 情報 b
- 情報 c
- エラー記憶領域 (エラー情報)
- エラー記憶領域用チェックサム記憶領域
- 空き

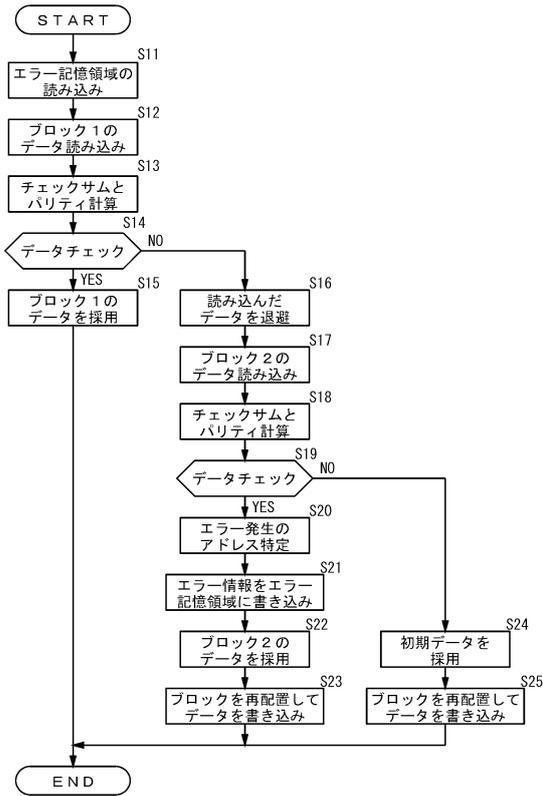
【図3】



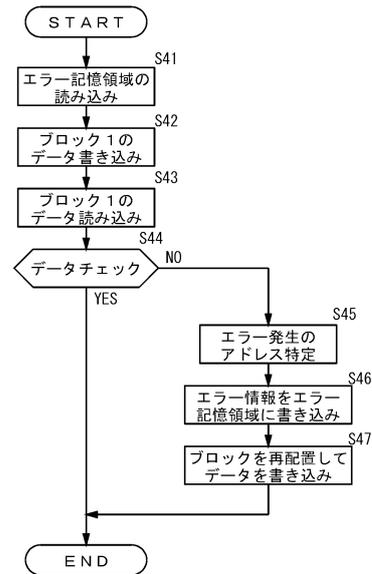
【図4】



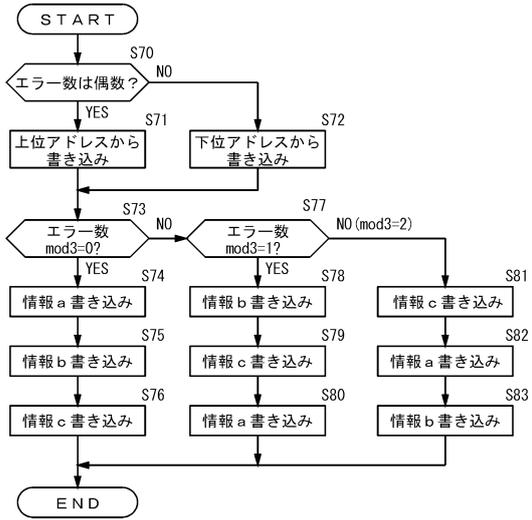
【図5】



【図6】



【図7】



フロントページの続き

(56)参考文献 特開2002-133892(JP,A)
特表2012-514266(JP,A)
特開平09-167120(JP,A)

(58)調査した分野(Int.Cl., DB名)
G06F 12/16
G06F 11/10