

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3596969号
(P3596969)

(45) 発行日 平成16年12月2日(2004.12.2)

(24) 登録日 平成16年9月17日(2004.9.17)

(51) Int. Cl.⁷

F I

H03K	5/14	H03K	5/14	
H03H	11/26	H03H	11/26	B
H03K	3/017	H03K	3/017	
H03K	19/0948	H03K	19/094	B

請求項の数 6 (全 24 頁)

<p>(21) 出願番号 特願平8-18601 (22) 出願日 平成8年2月5日(1996.2.5) (65) 公開番号 特開平9-214306 (43) 公開日 平成9年8月15日(1997.8.15) 審査請求日 平成13年12月4日(2001.12.4)</p>	<p>(73) 特許権者 000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号 (74) 代理人 100083840 弁理士 前田 実 (72) 発明者 渡辺 賢哉 東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内 審査官 石井 研一</p>
---	---

最終頁に続く

(54) 【発明の名称】 遅延回路およびパルス発生回路

(57) 【特許請求の範囲】

【請求項1】

縦続接続された複数段のCMOSインバータよりなる遅延回路において、奇数段目のCMOSインバータのNMOSトランジスタに直列に、このNMOSトランジスタよりも相互コンダクタンスが小さい負荷NMOSトランジスタを設け、偶数段目のCMOSインバータのPMOSトランジスタに直列に、このPMOSトランジスタよりも相互コンダクタンスが小さい負荷PMOSトランジスタを設けたことを特徴とする遅延回路。

【請求項2】

縦続接続された複数段のCMOSインバータよりなる遅延回路において、奇数段目のCMOSインバータのPMOSトランジスタに直列に、このPMOSトランジスタよりも相互コンダクタンスが小さい負荷PMOSトランジスタを設け、偶数段目のCMOSインバータのNMOSトランジスタに直列に、このNMOSトランジスタよりも相互コンダクタンスが小さい負荷NMOSトランジスタを設けたことを特徴とする遅延回路。

10

【請求項3】

奇数段のCMOSインバータよりなる請求項1記載の遅延回路と、前記遅延回路の入力信号および出力信号を入力とするNANDゲートとを具備することを特徴とするパルス発生回路。

【請求項4】

20

奇数段のCMOSインバータよりなる請求項2記載の遅延回路と、前記遅延回路の入力信号および出力信号を入力とするNORゲートとを具備することを特徴とするパルス発生回路。

【請求項5】

第一の遅延回路と、

前記第一の遅延回路の入力信号を反転させるインバータと、

前記インバータから出力される反転信号を入力とする第二の前記遅延回路と、

前記第一および第二の遅延回路の出力信号を入力とするNORゲートとを具備し、

前記第一および第二の遅延回路の各々は、偶数段のCMOSインバータよりなる請求項1記載の遅延回路により構成されていることを特徴とするパルス発生回路。

10

【請求項6】

第一の遅延回路と、

前記第一の遅延回路の入力信号を反転させるインバータと、

前記インバータから出力される反転信号を入力とする第二の前記遅延回路と、

前記第一および第二の遅延回路の出力信号を入力とするNANDゲートとを具備し、

前記第一および第二の遅延回路の各々は、偶数段のCMOSインバータよりなる請求項2記載の遅延回路により構成されていることを特徴とするパルス発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

20

本発明は、半導体装置等における、縦続接続された複数段のCMOSインバータによる遅延回路あるいはパルス発生回路に関するものである。

【0002】

【従来の技術】

従来、このような遅延回路としては、縦続接続された複数のCMOSインバータにより入力信号に対して遅延動作をするもの、すなわち入力信号の立ち上がり立ち下がりの両方をその縦続接続CMOSインバータに設定された遅延時間分だけ遅延させるものがあり、このタイプはCMOSインバータの段数が偶数であれば同相遅延回路となり、奇数であれば逆相遅延回路となる。

【0003】

30

この他に、出力部にNANDゲートあるいはNORゲートを用い、偶数段の縦続接続CMOSインバータによる入力信号の同相遅延信号と入力信号のNAND信号あるいはNOR信号を出力することにより、入力信号の立ち上がりのみを縦続接続CMOSインバータの設定遅延時間分だけ遅延させるもの（以下、立ち上がり入力遅延回路と称する）、あるいは立ち下がりのみを遅延させるもの（以下、立ち下がり入力遅延回路と称する）がある。

【0004】

またパルス発生回路としては、出力部にNANDゲートあるいはNORゲートを用い、奇数段の縦続接続CMOSインバータによる入力信号の逆相遅延信号と入力信号をNANDあるいはNOR出力することにより、入力信号の立ち上がり（立ち上がり入力）あるいは立ち下がり（立ち下がり入力）に同期してパルスを発生するものがある。

40

【0005】

この他に、出力部にNANDゲートあるいはNORゲートを用い、また上記の立ち上がり入力遅延回路あるいは立ち下がり入力遅延回路を二つ用いて（すなわち偶数段の縦続接続CMOSインバータを二つ用いて）、入力信号の立ち上がりおよび立ち下がり（入力変化）に同期してパルスを発生するものがある。

【0006】

尚、縦続接続CMOSインバータによる遅延時間は、各CMOSインバータを構成するNMOSおよびPMOSトランジスタの相互コンダクタンス（以下、gmと称する）を調整することにより、所望値に設定される。

【0007】

50

【発明が解決しようとする課題】

しかしながら上記従来出力部にNANDゲートあるいはNORゲートのゲート素子を用いた立ち上がり入力遅延回路および立ち下がり入力遅延回路には、以下に示す問題がある。

【0008】

(1) 入力信号と遅延信号のゲート信号を出力する構成であり、縦続接続CMOSインバータが入力変化に対して遅延動作をするので、縦続接続CMOSインバータの設定遅延時間よりも短い周期の入力信号に対しては誤動作することがある。

【0009】

(2) 縦続接続CMOSインバータの段数は偶数に制限され、また遅延動作は逆相遅延のみである(同相遅延とするには出力部のゲート素子後段にインバータを設ける必要がある)ので、設計自由度が小さい。

10

【0010】

(3) 出力部のゲート素子は一般に駆動能力を大きくできないので、遅延回路の駆動能力を上げるためには、出力部ゲート素子の後段にさらに偶数段の縦続接続CMOSインバータ等のドライバーが必要となる。

【0011】

図21は上記の誤動作を説明する図であり、(a)はNANDゲートを用いた遅延回路の回路図、(b)は正常動作時のタイミングチャート、(c)は誤動作時のタイミングチャートである。

20

【0012】

図21(b)および(c)におけるは、(a)に示す偶数段の縦続接続CMOSインバータ101の設定遅延時間である。

【0013】

図21(c)に示すように、縦続接続CMOSインバータ101の出力信号(点a)が立ち下がる前に入力信号(入力端子in)が立ち下ると、誤動作パルスAが出力端子outに出力されてしまう。

【0014】

また上記従来パルス発生回路には、以下に示す問題がある。

【0015】

30

(1) 入力信号と遅延信号のゲート信号を出力する構成であり、縦続接続CMOSインバータが入力変化に対して遅延動作をするので、縦続接続CMOSインバータの設定遅延時間よりも短い周期の入力信号に対しては、第二サイクル以降のパルス発生タイミングが遅れることがある。

【0016】

(2) 出力部のゲート素子は一般に駆動能力を大きくできないので、パルス発生回路の駆動能力を上げるためには、出力部ゲート素子の後段にさらに偶数段の縦続接続CMOSインバータ等のドライバーが必要となる。

【0017】

(3) 縦続接続CMOSインバータが入力変化に対して遅延動作をするので、偶数段の縦続接続CMOSインバータを用いたタイプは、使用ゲート数が多くなり、回路が複雑になってしまう。

40

【0018】

図22は上記のパルス発生タイミングの遅れを説明する図であり、(a)はNANDゲートを用いたパルス発生回路の回路図、(b)は正常動作時のタイミングチャート、(c)は誤動作時のタイミングチャートである。

【0019】

図22(b)および(c)におけるは、(a)に示す奇数段の縦続接続CMOSインバータ111の設定遅延時間である。

【0020】

50

図 2 2 (c) に示すように、縦続接続 CMOS インバータ 1 0 2 の出力信号 (点 a) が立ち上がる前に入力信号 (入力端子 i n) が立ち上がると、出力端子 o u t には入力信号の立ち上がり同期したパルスが出力されない。

【 0 0 2 1 】

本発明はこのような従来の問題を解決するものであり、誤動作することなく立ち上がり入力遅延動作あるいは立ち下がり入力遅延動作を行い、かつ設計自由度を向上させることができる遅延回路を提供すること、および立ち上がり入力または立ち下がり入力あるいは入力変化に同期したパルスを確実に発生することができるパルス発生回路を提供することを目的とするものである。

【 0 0 2 2 】

【 課題を解決するための手段 】

上記目的を達成するために本発明の請求項 1 記載の遅延回路は、縦続接続された複数段の CMOS インバータよりなる遅延回路において、奇数段目の CMOS インバータの NMOS トランジスタに直列に、この NMOS トランジスタよりも相互コンダクタンスが小さい負荷 NMOS トランジスタを設け、偶数段目の CMOS インバータの PMOS トランジスタに直列に、この PMOS トランジスタよりも相互コンダクタンスが小さい負荷 PMOS トランジスタを設けたことを特徴とするものである。

【 0 0 2 3 】

ここで PMOS トランジスタの相互コンダクタンスを $P - g m$ とし、NMOS トランジスタの相互コンダクタンスを $N - g m$ とすると、通常の CMOS インバータにおいては、 $P - g m / N - g m$ の値をおよそ 3 (キャリアの移動度の違いによって 1 にはならない) に設定するが、本発明の請求項 1 記載の遅延回路においては、各 CMOS インバータの $P - g m$ および $N - g m$ はできる限り大きな値であることが望ましく、また $P - g m / N - g m$ が、例えば、およそ 3 になるように設定する。

【 0 0 3 6 】

また負荷 NMOS トランジスタおよび負荷 PMOS トランジスタの $g m$ は、所望の遅延時間に従って設定する。

【 0 0 3 7 】

従って請求項 1 記載の遅延回路によれば、立ち上がり入力に対しては、負荷 NMOS トランジスタが接続された奇数段目の各 NMOS トランジスタおよび負荷 PMOS トランジスタが接続された偶数段目の各 PMOS トランジスタが ON することにより、設定遅延時間による遅延動作となり、また立ち下がり入力に対しては、スイッチング速度が極めて速い奇数段目の各 PMOS トランジスタおよび偶数段目の各 NMOS トランジスタが ON することにより、立ち下がり入力にほぼ同期して出力信号が変化するので、ゲート素子を用いずに立ち上がり入力遅延動作を実現することができ、従って誤動作を回避することができる。

【 0 0 3 8 】

また CMOS インバータの縦続接続段数は偶数に制限されることがないので、設計自由度を向上させることができる。

【 0 0 3 9 】

さらに出力部が CMOS インバータなので、駆動能力向上のために別にドライバーを設ける必要がない。

【 0 0 4 0 】

請求項 2 記載の遅延回路は、縦続接続された複数段の CMOS インバータよりなる遅延回路を具備する半導体装置において、奇数段目の CMOS インバータの PMOS トランジスタに直列に、この PMOS トランジスタよりも相互コンダクタンスが小さい負荷 PMOS トランジスタを設け、偶数段目の CMOS インバータの NMOS トランジスタに直列に、この NMOS トランジスタよりも相互コンダクタンスが小さい負荷 NMOS トランジスタを設けたことを特徴とするものである。

10

20

30

40

50

【0041】

ここで各CMOSインバータの $P-gm$ および $N-gm$ はできる限り大きな値であることが望ましく、また $P-gm/N-gm$ が、例えば、およそ3になるように設定する。

【0042】

また負荷PMOSトランジスタおよび負荷NMOSトランジスタの gm は、所望の遅延時間に従って設定する。

【0043】

従って請求項2記載の遅延回路によれば、立ち下がり入力に対しては、負荷PMOSトランジスタが接続された奇数段目の各PMOSトランジスタおよび負荷NMOSトランジスタが接続された偶数段目の各NMOSトランジスタがONすることにより、設定遅延時間による遅延動作となり、また立ち上がり入力に対しては、スイッチング速度が極めて速い奇数段目の各NMOSトランジスタおよび偶数段目の各PMOSトランジスタがONすることにより、立ち下がり入力に同期して出力信号が変化するので、ゲート素子を用いずに立ち上がり入力遅延動作を実現することができ、従って誤動作を回避することができる。

10

【0044】

またCMOSインバータの縦続接続段数は偶数に制限されることがないので、設計自由度を向上させることができる。

【0045】

さらに出力部がCMOSインバータなので、駆動能力向上のために別にドライバーを設ける必要がない。

20

【0046】

次に請求項3記載のパルス発生回路は、奇数段のCMOSインバータよりなる請求項1記載の遅延回路と、前記遅延回路の入力信号および出力信号を入力とするNANDゲートとを具備することを特徴とするものである。

【0047】

従って請求項3記載のパルス発生回路によれば、奇数段のCMOSインバータよりなる請求項1記載の遅延回路によって立ち上がり入力逆相遅延信号を作成し、この立ち上がり入力遅延信号と入力信号をNAND出力することにより、立ち上がり入力に同期したパルスを確実に発生することができる。

【0048】

請求項4記載のパルス発生回路は、奇数段のCMOSインバータよりなる請求項2記載の遅延回路と、前記遅延回路の入力信号および出力信号を入力とするNORゲートとを具備することを特徴とするものである。

30

【0049】

従って請求項4記載のパルス発生回路によれば、奇数段のCMOSインバータよりなる請求項2記載の遅延回路によって立ち下がり入力逆相遅延信号を作成し、この立ち下がり入力遅延信号と入力信号をNOR出力することにより、立ち下がり入力に同期したパルスを確実に発生することができる。

【0050】

請求項5記載のパルス発生回路は、第一の遅延回路と、前記第一の遅延回路の入力信号を反転させるインバータと、前記インバータから出力される反転信号を入力とする第二の前記遅延回路と、前記第一および第二の遅延回路の出力信号を入力とするNORゲートとを具備し、前記第一および第二の遅延回路の各々は、偶数段のCMOSインバータよりなる請求項1記載の遅延回路により構成されていることを特徴とするものである。

40

【0051】

従って請求項5記載のパルス発生回路によれば、偶数段のCMOSインバータよりなる請求項1記載の遅延回路を用いた第一の遅延回路によって立ち上がり入力同相遅延信号を作成し、また偶数段のCMOSインバータよりなる請求項1記載のパルス発生回路の遅延回路を用いた第二の遅延回路によって入力反転信号の立ち上がりのみを同相遅延させた信号（すなわち、立ち下がり入力逆相遅延信号）を作成し、この第一の遅延回路による立ち上

50

がり入力同相遅延信号と第二の遅延回路による立ち下がり入力逆相遅延信号をNOR出力することにより、入力変化に同期したパルスを確実に発生することができ、また回路構成を簡素化することができる。

【0052】

請求項6記載のパルス発生回路は、第一の遅延回路と、前記第一の遅延回路の入力信号を反転させるインバータと、前記インバータから出力される反転信号を入力とする第二の前記遅延回路と、前記第一および第二の遅延回路の出力信号を入力とするNANDゲートとを具備し、前記第一および第二の遅延回路の各々は、偶数段のCMOSインバータよりなる請求項2記載の遅延回路により構成されていることを特徴とするものである。

【0053】

従って請求項6記載のパルス発生回路によれば、偶数段のCMOSインバータよりなる請求項2記載の遅延回路を用いた第一の遅延回路によって立ち下がり入力同相遅延信号を作成し、また偶数段のCMOSインバータよりなる請求項2記載の遅延回路を用いた第二の遅延回路によって入力反転信号の立ち下がりのみを同相遅延させた信号（すなわち、立ち上がり入力逆相遅延信号）を作成し、この第一の遅延回路による立ち下がり入力同相遅延信号と第二の遅延回路による立ち上がり入力逆相遅延信号をNAND出力することにより、入力変化に同期したパルスを確実に発生することができ、また回路構成を簡素化することができる。

【0054】

【発明の実施の形態】

第一実施形態

まず、縦続接続されたCMOSインバータが奇数段である場合について説明する。

【0055】

図1は縦続接続CMOSインバータが奇数段である場合の本発明の第一実施形態を示す遅延回路の回路図である。

【0056】

図1に示す遅延回路は、立ち上がり入力に対してのみ遅延動作をして立ち下がり入力に対しては遅延動作をせず、入力信号と逆相の遅延信号を出力する立ち上がり入力逆相遅延回路であり、縦続接続された三段のCMOSインバータ1、2、3によって構成される。

【0057】

CMOSインバータ1はPMOS1pとNMOS1nを有し、CMOSインバータ2はPMOS2pとNMOS2nを有し、またCMOSインバータ3はPMOS3pとNMOS3nを有している。

【0058】

PMOS1p、NMOS2n、およびPMOS3pは、スイッチング速度が非常に大きくなるように（遅延時間が非常に小さくなるように）、gmを非常に大きな値に設定しており、またNMOS1n、PMOS2p、およびNMOS3nのgmは、立ち上がり入力に対して所望する遅延時間に従って設定してある。

【0059】

立ち上がり入力に対する各CMOSインバータ1～3の信号遅延時間をそれぞれ1、2、3とすると、この縦続接続CMOSインバータ全体の立ち上がり入力に対する設定遅延時間は（ $= 1 + 2 + 3$ ）となる。

【0060】

このようなgm設定によって、例えば、CMOSインバータ1および3のP-gm/N-gmは4以上、CMOSインバータ2のP-gm/N-gmは2以下となる。

【0061】

次に図1に示す遅延回路の動作について説明する。

【0062】

図2は図1に示す遅延回路の動作タイミングを示すタイミングチャートである。

【0063】

10

20

30

40

50

まず入力信号がlowレベル(以下、“L”とする)からhighレベル(以下、“H”とする)に変化した場合の「遅延動作」について説明する。

【0064】

入力端子inが“L”である定常状態においては、PMOS1p、NMOS2n、PMOS3pはONしており、NMOS1n、PMOS2p、NMOS3nはOFFしているので、縦続接続点aの定常レベルは“H”、点bの定常レベルは“L”であり、出力端子outは“H”である。

【0065】

ここで入力端子inが“L”から“H”に変化すると、遅延時間がそれぞれ 1、2、3 に設定されたNMOS1n、PMOS2p、NMOS3nが順次ONするので遅延動作となる。

【0066】

すなわち入力端子inが“L”から“H”に変化すると、CMOSインバータ1において、PMOS1pがOFF、NMOS1nがONし、図2に示すように、接続点aが遅延時間 1 経過後に“H”から“L”に変化する。

【0067】

同様に、点aが“L”になると、CMOSインバータ2において、NMOS2nがOFF、PMOS2pがONし、遅延時間 2 経過後に点bが“H”から“L”に変化し、点bが“L”になると、CMOSインバータ3において、PMOS3pがOFF、NMOS3nがONし、遅延時間 3 経過後に出力端子outが“H”から“L”に変化する。

【0068】

このように立ち上がり入力に対しては、設定遅延時間 経過後に出力信号が立ち下がる。

【0069】

次に入力信号が“H”から“L”に変化した場合の「“非”遅延動作」について説明する。

【0070】

入力端子inが“H”である定常状態においては、NMOS1n、PMOS2p、NMOS3nがONしており、点aの定常レベルは“L”、点bの定常レベルは“H”であり、出力端子outは“L”である。

【0071】

ここで入力端子inが“H”から“L”に変化すると、PMOS1p、NMOS2n、PMOS3pが順次ONするので、点aは“L”から“H”に、点bは“H”から“L”に順次変化し、出力端子outは“L”から“H”に変化するが、PMOS1p、NMOS2n、PMOS3pのgmは非常に大きな値に設定されているので、上記のスイッチングは瞬時に行われ、従って出力端子outは立ち上がり入力に同期して“L”から“H”に変化する。

【0072】

このように立ち下がり入力に対しては、立ち下がり入力に同期して出力信号が立ち上がる(立ち下がり入力に対しては“非”遅延動作となる)。

【0073】

次に、縦続接続されたCMOSインバータが偶数段である場合について説明する。

【0074】

図3は縦続接続CMOSインバータが偶数段である場合の本発明の第一実施形態を示す遅延回路の回路図である。

【0075】

図3に示す遅延回路は、立ち上がり入力に対してのみ遅延動作をして立ち下がり入力に対しては遅延動作をせず、入力信号と同相の遅延信号を出力する立ち上がり入力同相遅延回路であり、図1の遅延回路のCMOSインバータ3の後段に、さらにPMOS4pとNMOS4nからなるCMOSインバータ4を縦続接続したものである。

【0076】

10

20

30

40

50

NMOS 4_nは、スイッチング速度が非常に大きくなるように（遅延時間が非常に小さくなるように）、 g_m を非常に大きな値に設定してあり、またPMOS 4_pの g_m は、立ち上がり入力に対して所望する遅延時間に従って設定する。

【0077】

立ち上がり入力に対するCMOSインバータ4の信号遅延時間を t_4 とすると、この縦続接続CMOSインバータ全体の立ち上がり入力に対する設定遅延時間は $t_{total} (= t_1 + t_2 + t_3 + t_4)$ となる。

【0078】

このような g_m 設定によって、例えば、CMOSインバータ4のP- g_m /N- g_m は2以下となる。

10

【0079】

次に図3に示す遅延回路の動作について説明する。

【0080】

図4は図3に示す遅延回路の動作タイミングを示すタイミングチャートである。

【0081】

まず入力信号が“L”から“H”に変化した場合の「遅延動作」について説明する。

【0082】

入力端子 i_n が“L”である定常状態においては、PMOS 1_p、NMOS 2_n、PMOS 3_p、NMOS 4_nがONしており、出力端子 o_{ut} は“L”である。

【0083】

20

ここで入力端子 i_n が“L”から“H”に変化すると、遅延時間がそれぞれ t_1 、 t_2 、 t_3 、 t_4 に設定されたNMOS 1_n、PMOS 2_p、NMOS 3_n、PMOS 4_pが順次ONするので遅延動作となる。

【0084】

すなわち入力端子 i_n が“L”から“H”に変化すると、CMOSインバータ1～4によって入力信号が遅延され、設定遅延時間 t_{total} 経過後に出力端子 o_{ut} が“L”から“H”に変化する。

【0085】

このように立ち上がり入力に対しては、設定遅延時間 t_{total} 経過後に出力信号が立ち上がる。

30

【0086】

次に入力信号が“H”から“L”に変化した場合の「“非”遅延動作」を説明する。

【0087】

入力端子 i_n が“H”である定常状態においては、NMOS 1_n、PMOS 2_p、NMOS 3_n、PMOS 4_pがONしており、出力端子 o_{ut} は“L”である。

【0088】

ここで入力端子 i_n が“H”から“L”に変化すると、PMOS 1_p、NMOS 2_n、PMOS 3_p、NMOS 4_nが順次ONするので、点aは“L”から“H”に、点bは“H”から“L”に、点cは“L”から“H”に順次変化し、出力端子 o_{ut} は“H”から“L”に変化するが、PMOS 1_p、NMOS 2_n、PMOS 3_p、NMOS 4_nの g_m は非常に大きな値に設定されているので、上記のスイッチングは瞬時に行われ、従って出力端子 o_{ut} は立ち下がり入力に同期して“H”から“L”に変化する。

40

【0089】

このように立ち下がり入力に対しては、これに同期して出力信号が立ち下がる（立ち下がり入力に対しては“非”遅延動作となる）。

【0090】

以上のように第一実施形態の遅延回路によれば、奇数段目のCMOSインバータのPMOSトランジスタおよび偶数段目のNMOSトランジスタとして g_m の非常に大きなものを用い、ゲート素子を用いずに立ち下がり入力“非”遅延動作を実現することにより、入力信号が“L”である期間が設定遅延時間より短い場合の誤動作を回避することができる。

50

【0091】

さらに出力部がCMOSインバータなので、駆動能力向上のために別にドライバーを設ける必要がない。

【0092】

尚、本実施形態においては、三段および四段のCMOSインバータを用いたが、CMOSインバータの段数は任意に設定することができる。

【0093】

第二実施形態

まず、縦続接続されたCMOSインバータが奇数段である場合について説明する。

【0094】

図5は縦続接続CMOSインバータが奇数段である場合の本発明の第二実施形態を示す遅延回路の回路図である。

10

【0095】

図5に示す遅延回路は、立ち下がり入力に対してのみ遅延動作をして立ち上がり入力に対しては遅延動作をせず、入力信号と逆相の遅延信号を出力する立ち下がり入力逆相遅延回路であり、縦続接続された三段のCMOSインバータ5、6、7によって構成される。

【0096】

CMOSインバータ5はPMOS5pとNMOS5nを有し、CMOSインバータ6はPMOS6pとNMOS6nを有し、またCMOSインバータ7はPMOS7pとNMOS7nを有している。

20

【0097】

NMOS5n、PMOS6p、およびNMOS7nは、スイッチング速度が非常に大きくなるように（遅延時間が非常に小さくなるように）、gmを非常に大きな値に設定しており、またPMOS5p、NMOS6n、およびPMOS7pのgmは、立ち下がり入力に対して所望する遅延時間に従って設定してある。

【0098】

立ち下がり入力に対する各CMOSインバータ5～7の信号遅延時間をそれぞれ t_1 、 t_2 、 t_3 とすると、この縦続接続CMOSインバータ全体の立ち下がり入力に対する設定遅延時間は $(t_1 + t_2 + t_3)$ となる。

【0099】

このようなgm設定によって、例えば、CMOSインバータ5および7のP-gm/N-gmは2以下、CMOSインバータ6のP-gm/N-gmは4以上となる。

30

【0100】

次に図5に示す遅延回路の動作について説明する。

【0101】

図6は図5に示す遅延回路の動作タイミングを示すタイミングチャートである。

【0102】

まず入力信号が“H”から“L”に変化した場合の「遅延動作」について説明する。

【0103】

入力端子inが“H”である定常状態においては、NMOS5n、PMOS6p、NMOS7nがONしており、縦続接続点aの定常レベルは“L”、点bの定常レベルは“H”であり、出力端子outは“L”である。

40

【0104】

ここで入力端子inが“H”から“L”に変化すると、遅延時間がそれぞれ t_1 、 t_2 、 t_3 に設定されたPMOS5p、NMOS6n、PMOS7pが順次ONするので遅延動作となる。

【0105】

すなわち入力端子inが“L”から“H”に変化すると、CMOSインバータ5～7によって入力信号が遅延され、設定遅延時間経過後に出力端子outが“H”から“L”に変化する。

50

【0106】

このように立ち下がり入力に対しては、設定遅延時間 t_{d1} 経過後に出力信号が立ち下がる。

【0107】

次に入力信号が“L”から“H”に変化した場合の「“非”遅延動作」について説明する。

【0108】

入力端子 i_n が“H”から“L”に変化すると、NMOS 5n、PMOS 6p、NMOS 7nが順次ONするので、点aは“H”から“L”に、点bは“L”から“H”に順次変化し、出力端子 o_u tは“H”から“L”に変化するが、NMOS 5n、PMOS 6p、NMOS 7nの g_m は非常に大きな値に設定されているので、上記のスイッチングは瞬時に行われ、従って出力端子 o_u tは立ち上がり入力に同期して“H”から“L”に変化する。

10

【0109】

このように立ち上がり入力に対しては、これに同期して出力信号が立ち下がる（立ち上がり入力に対しては“非”遅延動作となる）。

【0110】

次に、縦続接続されたCMOSインバータが偶数段である場合について説明する。

【0111】

図7は縦続接続CMOSインバータが偶数段である場合の本発明の第二実施形態を示す遅延回路の回路図である。

20

【0112】

図7に示す遅延回路は、立ち下がり入力に対してのみ遅延動作をして立ち上がり入力に対しては遅延動作をせず、入力信号と同相の遅延信号を出力する立ち下がり入力同相遅延回路であり、図5の遅延回路のCMOSインバータ7の後段に、さらにPMOS 8pとNMOS 8nからなるCMOSインバータ8を縦続接続したものである。

【0113】

PMOS 4pは、スイッチング速度が非常に大きくなるように（遅延時間が非常に小さくなるように）、 g_m を非常に大きな値に設定してあり、またNMOS 4nの g_m は、立ち下がり入力に対して所望する遅延時間に従って設定する。

30

【0114】

立ち下がり入力に対するCMOSインバータ8の信号遅延時間を t_{d8} とすると、この縦続接続CMOSインバータ全体の立ち下がり入力に対する設定遅延時間は $t_{d1} + t_{d2} + t_{d3} + t_{d4}$ となる。

【0115】

このような g_m 設定によって、例えば、CMOSインバータ8の $P - g_m / N - g_m$ は4以上となる。

【0116】

次に図7に示す遅延回路の動作について説明する。

【0117】

図8は図7に示す遅延回路の動作タイミングを示すタイミングチャートである。

40

【0118】

まず入力信号が“H”から“L”に変化した場合の「遅延動作」について説明する。

【0119】

入力端子 i_n が“H”である定常状態においては、NMOS 5n、PMOS 6p、NMOS 7n PMOS 8p、がONしており、出力端子 o_u tは“H”である。

【0120】

ここで入力端子 i_n が“H”から“L”に変化すると、遅延時間がそれぞれ t_{d1} 、 t_{d2} 、 t_{d3} 、 t_{d4} に設定されたPMOS 5p、NMOS 6n、PMOS 7p、NMOS 8nが順次ONするので遅延動作となる。

50

【0121】

すなわち入力端子 i_n が “H” から “L” に変化すると、CMOSインバータ5～8によって入力信号が遅延され、設定遅延時間 t_{set} 経過後に出力端子 o_u t が “H” から “L” に変化する。

【0122】

このように立ち下がり入力に対しては、設定遅延時間 t_{set} 経過後に出力信号が立ち下がる。

【0123】

次に入力信号が “L” から “H” に変化した場合の「“非”遅延動作」を説明する。

【0124】

入力端子 i_n が “L” から “H” に変化すると、NMOS5_n、PMOS6_p、NMOS7_n、PMOS8_pが順次ONするので、点aは “H” から “L” に、点bは “L” から “H” に、点cは “H” から “L” に順次変化し、出力端子 o_u t は “L” から “H” に変化するが、NMOS5_n、PMOS6_p、NMOS7_n、PMOS8_pの g_m は非常に大きな値に設定されているので、上記のスイッチングは瞬時に行われ、従って出力端子 o_u t は立ち下がり入力に同期して “L” から “H” に変化する。

【0125】

このように立ち上がり入力に対しては、これに同期して出力信号が立ち上がる（立ち上がり入力に対しては “非”遅延動作となる）。

【0126】

以上のように第二実施形態の遅延回路によれば、奇数段目のCMOSインバータのNMOSトランジスタおよび偶数段目のCMOSインバータのPMOSTランジスタとして g_m の非常に大きなものを用い、ゲート素子を用いずに立ち上がり入力 “非”遅延動作を実現することにより、入力信号が “H” である期間が設定遅延時間より短い場合の誤動作を回避することができる。

【0127】

さらに出力部がCMOSインバータなので、駆動能力向上のために別にドライバーを設ける必要がない。

【0128】

尚、第一実施形態と同様にCMOSインバータの段数は任意に設定することができる。

【0129】

第三実施形態

まず、縦続接続されたCMOSインバータが奇数段である場合について説明する。

【0130】

図9は縦続接続されたCMOSインバータが奇数段である場合の本発明の第三実施形態を示す遅延回路の回路図である。

【0131】

図9に示す遅延回路は、図1に示す遅延回路と同様の動作をする、立ち上がり入力逆相遅延回路であり、縦続接続された三段のCMOSインバータ9、10、11、および負荷NMOS9_r、負荷PMOS10_r、負荷NMOS11_rによって構成される。

【0132】

CMOSインバータ9はPMOS9_pとNMOS9_nを有し、CMOSインバータ10はPMOS10_pとNMOS10_nを有し、またCMOSインバータ11はPMOS11_pとNMOS11_nを有している。

【0133】

負荷NMOS9_rはNMOS9_nとアースラインの間に挿入され、負荷PMOS10_rはPMOS10_pと電源ラインの間に挿入され、また負荷NMOS11_rはNMOS11_nとアースラインの間に挿入されている。

【0134】

PMOS9_p、NMOS10_n、PMOS11_pは、スイッチング速度が非常に大きくな

10

20

30

40

50

るように（遅延時間が非常に小さくなるように）、 g_m を非常に大きな値に設定してある。

【0135】

またNMOS9n、PMOS10p、NMOS11nの g_m は、スイッチング速度が、対応するMOSトランジスタ（上記のPMOS9等）以下となるような値、例えばスイッチング速度が、対応するMOSトランジスタと等しくなるように設定されている。

【0136】

また負荷NMOS9rの g_m はNMOS9nよりも小さい値に、負荷PMOS10rの g_m はPMOS10pよりも小さい値に、また負荷NMOS11rの g_m はNMOS9nよりも小さい値にであり、各負荷トランジスタの g_m は立ち上がり入力に対して所望する遅延時間に従って設定してある。

10

【0137】

すなわち、例えばNMOS9nがONしたときのCMOSインバータ9のスイッチング速度は、NMOS9nの g_m ではなく、負荷NMOS9rの g_m によって決まるようにしてある。

【0138】

立ち上がり入力に対する各CMOSインバータ9～11の信号遅延時間をそれぞれ1、2、3とすると、この縦続接続CMOSインバータ全体の立ち上がり入力に対する設定遅延時間は（ $= 1 + 2 + 3$ ）となる。

【0139】

次に図9に示す遅延回路の動作について簡単に説明する。

20

【0140】

図9に示す遅延回路の動作タイミングチャートは図2と同様である。

【0141】

入力信号が“L”から“H”に変化した場合は、NMOS9n、PMOS10p、NMOS11nが順次ONするので、入力信号は各CMOSインバータ9～11においてそれぞれ1、2、3遅延され、設定遅延時間経過後に出力信号が立ち下がる「遅延動作」となる。

【0142】

次に入力信号が“H”から“L”に変化した場合は、PMOS9p、NMOS10n、PMOS11pが順次ONするが、これらのトランジスタの g_m は非常に大きな値に設定されているので、上記のスイッチングは瞬時に行われ、従って、立ち下がり入力に同期して出力信号が立ち上がる「“非”遅延動作」となる。

30

【0143】

次に、縦続接続されたCMOSインバータが偶数段である場合について説明する。

【0144】

図10は縦続接続されたCMOSインバータが偶数段である場合の本発明の第三実施形態を示す遅延回路の回路図である。

【0145】

図10に示す遅延回路は、図3に示す遅延回路と同様の動作をする、立ち上がり入力同相遅延回路であり、図9の遅延回路のCMOSインバータ11の後段に、さらにPMOS12pとNMOS12nを有するCMOSインバータ12、およびPMOS12pと電源ラインの間に挿入された負荷PMOS12rを設けたものである。

40

【0146】

NMOS12nは、スイッチング速度が非常に大きくなるように（遅延時間が非常に小さくなるように）、 g_m を非常に大きな値に設定してある。

【0147】

またPMOS12pの g_m は、スイッチング速度がNMOS12n以下となるような値、例えばスイッチング速度がNMOS12nと等しくなるように設定されている。

【0148】

50

また負荷PMOS12rのgmは、PMOS12pよりも小さい値であり、立ち上がり入力に対して所望する遅延時間に従って設定してある。

【0149】

すなわち、PMOS12pがONしたときのCMOSインバータ12のスイッチング速度は、PMOS12pのgmではなく、負荷PMOS12rのgmによって決まるようにしてある。

【0150】

立ち上がり入力に対するCMOSインバータ12の信号遅延時間を t_{d12} とすると、この縦続接続CMOSインバータ全体の立ち上がり入力に対する設定遅延時間は $t_{d12} = t_{d1} + t_{d2} + t_{d3} + t_{d4}$ となる。

10

【0151】

次に図10に示す遅延回路の動作について簡単に説明する。

【0152】

図10に示す遅延回路の動作タイミングチャートは図4と同様である。

【0153】

入力信号が“L”から“H”に変化した場合は、NMOS9n、PMOS10p、NMOS11n、PMOS12pが順次ONするので、入力信号は各CMOSインバータ9~12においてそれぞれ t_{d1} 、 t_{d2} 、 t_{d3} 、 t_{d4} 遅延され、設定遅延時間 t_{d12} 経過後に出力信号が立ち上がる「遅延動作」となる。

【0154】

20

次に入力信号が“H”から“L”に変化した場合は、PMOS9p、NMOS10n、PMOS11p、NMOS12nが順次ONするが、これらのトランジスタのgmは非常に大きな値に設定されているので、上記のスイッチングは瞬時に行われ、従って、立ち下がり入力に同期して出力信号が立ち下がる「“非”遅延動作」となる。

【0155】

以上のように第三実施形態によれば、奇数段目のCMOSインバータのNMOSTランジスタおよび偶数段目のCMOSインバータのPMOSTランジスタに対して負荷トランジスタを設け、ゲート素子を用いずに立ち上がり入力“非”遅延動作を実現することにより、入力信号が“L”である期間が設定遅延時間より短い場合の誤動作を回避することができる。

30

【0156】

さらに出力部がCMOSインバータなので、駆動能力向上のために別にドライバーを設ける必要がない。

【0157】

第四実施形態

まず、縦続接続されたCMOSインバータが奇数段である場合について説明する。

【0158】

図11は縦続接続されたCMOSインバータが奇数段である場合の本発明の第四実施形態を示す遅延回路の回路図である。

【0159】

40

図11に示す遅延回路は、図5に示す遅延回路と同様の動作をする、立ち下がり入力逆相遅延回路であり、縦続接続された三段のCMOSインバータ13、14、15、および負荷PMOS13r、負荷NMOS14r、負荷PMOS15rによって構成される。

【0160】

CMOSインバータ13はPMOS13pとNMOS13nを有し、CMOSインバータ14はPMOS14pとNMOS14nを有し、またCMOSインバータ15はPMOS15pとNMOS15nを有している。

【0161】

負荷PMOS13rはPMOS13pと電源ラインの間に挿入され、また負荷NMOS14rはNMOS14nとアースラインの間に挿入され、また負荷PMOS15rはPMO

50

S 1 5 p と電源ラインの間に挿入されている。

【 0 1 6 2 】

N M O S 1 3 n、P M O S 1 4 p、N M O S 1 5 n は、スイッチング速度が非常に大きくなるように（遅延時間が非常に小さくなるように）、 g_m を非常に大きな値に設定してある。

【 0 1 6 3 】

また P M O S 1 3 p、N M O S 1 4 n、P M O S 1 5 p の g_m は、スイッチング速度が、対応する M O S トランジスタ（上記の N M O S 1 3 n 等）以下となるような値、例えばスイッチング速度が、対応する M O S トランジスタと等しくなるように設定されている。

【 0 1 6 4 】

また負荷 P M O S 1 3 r の g_m は P M O S 1 3 p よりも小さい値に、負荷 N M O S 1 4 r の g_m は N M O S 1 4 n よりも小さい値に、また負荷 P M O S 1 5 r の g_m は P M O S 1 5 p よりも小さい値であり、各負荷トランジスタの g_m は立ち下がり入力に対して所望する遅延時間に従って設定してある。

【 0 1 6 5 】

立ち下がり入力に対する各 C M O S インバータ 1 3 ~ 1 5 の信号遅延時間をそれぞれ 1、2、3 とすると、この縦続接続 C M O S インバータ全体の立ち下がり入力に対する設定遅延時間は（ = 1 + 2 + 3 ）となる。

【 0 1 6 6 】

次に図 11 に示す遅延回路の動作について簡単に説明する。

【 0 1 6 7 】

図 11 に示す遅延回路の動作タイミングチャートは図 6 と同様である。

【 0 1 6 8 】

入力信号が “ H ” から “ L ” に変化した場合は、P M O S 1 3 p、N M O S 1 4 n、P M O S 1 5 p が順次 O N するので、入力信号は各 C M O S インバータ 1 3 ~ 1 5 においてそれぞれ 1、2、3 遅延され、設定遅延時間 経過後に出力信号が立ち上がる「遅延動作」となる。

【 0 1 6 9 】

次に入力信号が “ L ” から “ H ” に変化した場合は、N M O S 1 3 n、P M O S 1 4 p、N M O S 1 5 n が順次 O N するが、これらのトランジスタの g_m は非常に大きな値に設定されているので、上記のスイッチングは瞬時に行われ、従って、立ち上がり入力に同期して出力信号が立ち下がる「“非”遅延動作」となる。

【 0 1 7 0 】

次に、縦続接続された C M O S インバータが偶数段である場合について説明する。

【 0 1 7 1 】

図 1 2 は縦続接続された C M O S インバータが偶数段である場合の本発明の第四実施形態を示す遅延回路の回路図である。

【 0 1 7 2 】

図 1 2 に示す遅延回路は、図 7 に示す遅延回路と同様の動作をする、立ち下がり入力同相遅延回路であり、図 1 1 の遅延回路の C M O S インバータ 1 5 の後段に、さらに P M O S 1 6 p と N M O S 1 6 n を有する C M O S インバータ 1 6、および負荷 N M O S 1 6 r を設けたものである。

【 0 1 7 3 】

P M O S 1 6 p は、スイッチング速度が非常に大きくなるように（遅延時間が非常に小さくなるように）、 g_m を非常に大きな値に設定してある。

【 0 1 7 4 】

また N M O S 1 6 n の g_m は、スイッチング速度が P M O S 1 6 p 以下となるような値、例えばスイッチング速度が P M O S 1 6 p と等しくなるように設定されている。

【 0 1 7 5 】

また負荷 N M O S 1 6 r の g_m は、N M O S 1 6 n よりも小さい値であり、立ち下がり入

10

20

30

40

50

力に対して所望する遅延時間に従って設定してある。

【0176】

立ち下がり入力に対するCMOSインバータ16の信号遅延時間を t_4 とすると、この縦続接続CMOSインバータ全体の立ち下がり入力に対する設定遅延時間は $t_{total} (= t_1 + t_2 + t_3 + t_4)$ となる。

【0177】

次に図12に示す遅延回路の動作について簡単に説明する。

【0178】

図12に示す遅延回路の動作タイミングチャートは図8と同様である。

【0179】

入力信号が“H”から“L”に変化した場合は、PMOS13p、NMOS14n、PMOS15p、NMOS16nが順次ONするので、入力信号は各CMOSインバータ13～16においてそれぞれ t_1 、 t_2 、 t_3 、 t_4 遅延され、設定遅延時間 t_{total} 経過後に出力信号が立ち下がる「遅延動作」となる。

【0180】

次に入力信号が“L”から“H”に変化した場合は、NMOS13n、PMOS14p、NMOS15n、PMOS16pが順次ONするが、これらのトランジスタの g_m は非常に大きな値に設定されているので、上記のスイッチングは瞬時に行われ、従って、立ち上がり入力に同期して出力信号が立ち上がる「非遅延動作」となる。

【0181】

以上のように第四実施形態によれば、奇数段目のCMOSインバータのPMOSTランジスタにおよび偶数段目のCMOSインバータのNMOSTランジスタに対して負荷トランジスタを設け、ゲート素子を用いずに立ち上がり入力“非”遅延動作を実現することにより、入力信号が“H”である期間が設定遅延時間より短い場合の誤動作を回避することができる。

【0182】

さらに出力部がCMOSインバータなので、駆動能力向上のために別にドライバーを設ける必要がない。

【0183】

第五実施形態

図13は本発明の第五実施形態を示すパルス発生回路の回路図である。

【0184】

図13に示すパルス回路は、立ち下がり入力のみ同期して負極性のパルスが発生するものであり、入力信号の立ち上がりのみを逆相遅延させる遅延回路21と、二入力のNANDゲート22によって構成される。

【0185】

遅延回路21は、奇数段縦続接続されたCMOSインバータよりなる、図1あるいは図9に示す構成のものを用いる。

【0186】

NANDゲート22の一方の入力端子は遅延回路21の出力端子に接続されており（図中a点で示す）、他方の入力端子は本パルス発生回路の入力端子 i_n に接続されている。

【0187】

次に、このような構成を有する本パルス発生回路の動作について説明する。

【0188】

図14は本パルス発生回路の動作タイミングを示すタイミングチャートである。

【0189】

まず入力信号が“L”から“H”に変化した場合の「パルス発生動作」について説明する。

【0190】

入力端子 i_n が“L”であるときは、点aは“H”であり、出力端子 o_u tは“H”であ

10

20

30

40

50

る。

【0191】

ここで入力端子 i_n が “L” から “H” に変化しても、遅延回路 21 は逆相遅延動作をするので、点 a は設定遅延時間 τ 経過するまでは “H” のままに保たれ、従って出力端子 $o_u t$ は入力変化に同期して “H” から “L” に変化し、経過後に “H” に戻る。

【0192】

すなわち立ち上がり入力に同期したパルス幅 τ の負極性パルスが出力される。

【0193】

次に入力信号が “H” から “L” に変化した場合は、点 a は “L” から “H” に変化するが、入力端子 i_n と点 a がともに “H” となる期間がないので、出力端子 $o_u t$ は “H” のままでありパルスを出力しない。

10

【0194】

このとき遅延回路 21 は非遅延動作をするので、点 a は立ち下がり入力に同期して “L” から “H” に変化する。

【0195】

以上のように第五実施形態によれば、立ち下がり入力に同期して、点 a のレベル変化が瞬時に行われるので、入力信号の “L” 期間が短い場合にも、入力信号が “H” に戻るとき（立ち上がる時）には、必ず点 a は “H” になっているので、立ち上がり入力に同期して確実にパルスを発生することができる。

【0196】

20

第六実施形態

図 15 は本発明の第六実施形態を示すパルス発生回路の回路図である。

【0197】

図 15 に示すパルス発生回路は、立ち上がり入力のみ同期して正極性のパルスを発生するものであり、立ち下がり入力のみを遅延させる逆相遅延回路 31 と、二入力の NOR ゲート 32 によって構成される。

【0198】

遅延回路 21 は、奇数段縦続接続された CMOS インバータよりなる、図 5 あるいは図 11 に示す構成のものを用いる。

【0199】

30

NOR ゲート 32 の一方の入力端子は遅延回路 31 の出力端子に接続されており（図中 a 点で示す）、他方の入力端子は本パルス発生回路の入力端子 i_n に接続されている。

【0200】

次に、このような構成を有する本パルス発生回路の動作について説明する。

【0201】

図 16 は本パルス発生回路の動作タイミングを示すタイミングチャートである。

【0202】

まず入力信号が “H” から “L” に変化した場合の「パルス発生動作」について説明する。

【0203】

40

入力端子 i_n が “H” であるときは、点 a は “L” であり、出力端子 $o_u t$ は “L” である。

【0204】

ここで入力端子 i_n が “L” から “H” に変化しても、遅延回路 31 は逆相遅延動作をするので、点 a は設定遅延時間 τ 経過するまでは “L” のままに保たれ、従って出力端子 $o_u t$ は立ち下がり入力に同期して “L” から “H” に変化し、経過後に “L” に戻る。

【0205】

すなわち立ち下がり入力に同期したパルス幅 τ の正極性パルスが出力される。

【0206】

50

次に入力信号が“L”から“H”に変化した場合は、点aは“H”から“L”に変化するが、入力端子inと点aがともに“L”となる期間がないので、出力端子outは“L”のままでありパルスを出力しない。

【0207】

このとき遅延回路31は非遅延動作をするので、点aは入力変化に同期して“H”から“L”に変化する。

【0208】

以上のように第六実施形態によれば、立ち上がり入力に同期して、点aのレベル変化が瞬時に行われるので、入力信号の“H”期間が短い場合にも、入力信号が“L”に戻るとき（立ち下がる時）には、必ず点aは“L”になっているので、立ち下がり入力に同期して確実にパルスを発生することができる。

10

【0209】

第七実施形態

図17は本発明の第七実施形態を示すパルス発生回路の回路図である。

【0210】

図17に示すパルス回路は、入力変化（立ち上がり入力および立ち下がり入力）に同期して正極性のパルスを発生するものであり、入力信号を反転させるインバータ41と、入力信号の立ち上がりのみを遅延させる同相遅延回路42と、インバータ41による入力反転信号の立ち上がりのみを遅延させる同相遅延回路43と、二入力のNORゲート44によって構成される。

20

【0211】

遅延回路42および43は、偶数段縦続接続されたCMOSインバータよりなる図3あるいは図10に示す構成のものを用い、両遅延回路の設定遅延時間はともに τ であるとす

る。

【0212】

同相遅延回路43の入力端子はインバータ41の出力端子に接続されており（図中a点で示す）、またNORゲート44の一方の入力端子は遅延回路42の出力端子に接続されており（図中b点で示す）、他方の入力端子は遅延回路43の出力端子に接続されている（図中c点で示す）。

【0213】

次にこのような構成を有する本パルス発生回路の動作について説明する。

30

【0214】

図18は本パルス発生回路の動作タイミングを示すタイミングチャートである。

【0215】

まず入力信号が“H”から“L”に変化した場合の「パルス発生動作」について説明する。

【0216】

入力端子inが“L”であるときは、点aは“H”、点bは“L”、点cは“H”であり、出力端子outは“L”である。

【0217】

ここで入力端子inが“L”から“H”に変化すると、遅延回路42は同相遅延動作をするので、点bは設定遅延時間 τ 経過するまでは“L”のままに保たれる。

40

【0218】

また点aは立ち上がり入力に同期して“H”から“L”に変化し、このとき遅延回路43は非遅延動作をするので、点cは点aのレベル変化に同期して、すなわち立ち上がり入力に同期して“H”から“L”に変化する。

【0219】

従って出力端子outは入力変化に同期して“L”から“H”に変化し、 τ 経過後に“L”に戻る。

【0220】

50

すなわち立ち上がり入力に同期したパルス幅 t_{pH} の正極性パルスが出力される。次に入力信号が“H”から“L”に変化した場合の「パルス発生動作」について説明する。

【0221】

入力端子 i_n が“H”から“L”に変化すると、遅延回路42は非遅延動作をするので、点bはこの立ち下がり入力に同期して“H”から“L”に変化する。また点aは立ち下がり入力に同期して“L”から“H”に変化し、このとき遅延回路43は同相遅延動作をするので、点cは点aのレベル変化、すなわち入力端子 i_n のレベル変化から設定遅延時間 t_{dL} を経過するまでは“L”のままに保たれる。

【0222】

従って出力端子 o_u t は立ち下がり入力に同期して“L”から“H”に変化し、 t_{dL} 経過後に“L”に戻る。 10

【0223】

すなわち立ち下がり入力に同期したパルス幅 t_{pL} の正極性パルスが出力される。以上のように第七実施形態によれば、立ち上がり入力同相遅延回路42および43として、図3あるいは図10に示す遅延回路を用いることにより、遅延回路42および43に起因する誤動作を回避して、入力変化に同期して確実にパルスを発生することができ、また回路構成を簡素化することができる。

【0224】

第八実施形態

図19は本発明の第八実施形態を示すパルス発生回路の回路図である。 20

【0225】

図19に示すパルス発生回路は、入力変化（立ち上がり入力および立ち下がり入力）に同期して負極性のパルスを発生するものであり、図17のパルス発生回路において、遅延回路42および43に替えて、その遅延回路への入力信号の立ち下がりのみを遅延させる同相遅延回路52および53を用い、またNORゲート44に替えて、二入力のNANDゲート54を用いたものである。

【0226】

遅延回路52および53は、偶数段縦続接続されたCMOSインバータよりなる図7あるいは図12に示す構成のものを用い、両遅延回路の設定遅延時間はともに t_{dL} であるとする。 30

【0227】

次に、このような構成を有する本パルス発生回路の動作について説明する。

【0228】

図18は本パルス発生回路の動作タイミングを示すタイミングチャートである。

【0229】

まず入力信号が“H”から“L”に変化した場合の「パルス発生動作」について説明する。

【0230】

入力端子 i_n が“H”であるときは、点aは“L”、点bは“H”、点cは“L”であり、出力端子 o_u t は“H”である。 40

【0231】

ここで入力端子 i_n が“H”から“L”に変化すると、遅延回路52は同相遅延動作をするので、点bは設定遅延時間 t_{dL} 経過するまでは“H”のままに保たれる。

【0232】

また点aはこの立ち下がり入力に同期して“L”から“H”に変化し、このとき遅延回路53は非遅延動作をするので、点cは点aのレベル変化に同期して、すなわち立ち下がり入力に同期して“L”から“H”に変化する。

【0233】

従って出力端子 o_u t は立ち下がり入力に同期して“H”から“L”に変化し、 t_{dL} 経過後に“L”に戻る。 50

【0234】

すなわち立ち上がり入力に同期したパルス幅 t_{pd} の負極性パルスが出力される。

【0235】

次に入力信号が“L”から“H”に変化した場合の「パルス発生動作」について説明する。

【0236】

入力端子 i_n が“L”から“H”に変化すると、遅延回路52は非遅延動作をするので、点bはこの立ち上がり入力に同期して“L”から“H”に変化する。

また点aは立ち上がり入力に同期して“H”から“L”に変化し、このとき遅延回路43は同相遅延動作をするので、点cは点aのレベル変化、すなわち入力端子 i_n のレベル変化から設定遅延時間 t_{d} を経過するまでは“H”のままに保たれる。

10

【0237】

従って出力端子 o_u t は立ち上がり入力に同期して“H”から“L”に変化し、 t_{d} 経過後に“H”に戻る。

【0238】

すなわち立ち上がり入力に同期したパルス幅 t_{pd} の負極性パルスが出力される。

【0239】

以上のように第八実施形態によれば、立ち下がり入力同相遅延回路52および53として、図7あるいは図12に示す遅延回路を用いることにより、遅延回路52および53に起因する誤動作を回避して、入力変化に同期して確実にパルスを発生することができ、また回路構成を簡素化することができる。

20

【0240】

【発明の効果】

以上説明したように本発明の本発明の請求項1または2に記載の遅延回路によれば、奇数段目のCMOSインバータの各NMOSトランジスタおよび偶数段目の各PMOSトランジスタと、奇数段目の各PMOSトランジスタおよび偶数段目の各NMOSトランジスタのスイッチング速度が異なる構成とすることにより、ゲート素子を用いずに立ち上がり入力遅延動作あるいは立ち下がり入力遅延動作を実現することができるので、誤動作を回避することができるという効果を有する。

【0241】

またCMOSインバータの縦続接続段数は偶数に制限されることがないので、設計自由度を向上させることができるという効果を有する。

30

【0242】

さらに出力部がCMOSインバータなので、駆動能力向上のために別にドライバーを設ける必要がないという効果を有する。

【0243】

請求項3または4に記載のパルス発生回路によれば、奇数段のCMOSインバータよりなる遅延回路によって立ち上がり入力逆相遅延信号あるいは立ち下がり入力逆相遅延信号を作成し、この逆相遅延信号と入力信号をNANDあるいはNOR出力することにより、立ち上がり入力あるいは立ち下がり入力に同期したパルスを確実に発生することができるという効果を有する。

40

【0244】

請求項5または6に記載のパルス発生回路によれば、偶数段のCMOSインバータよりなる第一の遅延回路によって立ち上がり入力同相遅延信号あるいは立ち下がり入力同相遅延信号を作成し、また偶数段のCMOSインバータよりなり、入力反転信号を入力とする第二の遅延回路によって立ち下がり入力逆相遅延信号あるいは立ち上がり入力逆相遅延信号を作成し、この第一の遅延回路による同相遅延信号と第二の遅延回路による逆相遅延信号をNORあるいはNAND出力することにより、入力変化に同期したパルスを確実に発生することができ、また回路構成を簡素化することができるという効果を有する。

【図面の簡単な説明】

50

【図1】縦続接続CMOSインバータが奇数段の場合の本発明の第一実施形態を示す遅延回路の回路図である。

【図2】縦続接続CMOSインバータが奇数段の場合の本発明の第一および第三実施形態の動作タイミングを示すタイミングチャートである。

【図3】縦続接続CMOSインバータが偶数段の場合の本発明の第一実施形態を示す遅延回路の回路図である。

【図4】縦続接続CMOSインバータが偶数段の場合の本発明の第一および第三実施形態の動作タイミングを示すタイミングチャートである。

【図5】縦続接続CMOSインバータが奇数段の場合の本発明の第二実施形態を示す遅延回路の回路図である。

10

【図6】縦続接続CMOSインバータが奇数段の場合の本発明の第二および第四実施形態の動作タイミングを示すタイミングチャートである。

【図7】縦続接続CMOSインバータが偶数段の場合の本発明の第二実施形態を示す遅延回路の回路図である。

【図8】縦続接続CMOSインバータが偶数段の場合の本発明の第二および第四実施形態の動作タイミングを示すタイミングチャートである。

【図9】縦続接続CMOSインバータが奇数段の場合の本発明の第三実施形態を示す遅延回路の回路図である。

【図10】縦続接続CMOSインバータが偶数段の場合の本発明の第三実施形態を示す遅延回路の回路図である。

20

【図11】縦続接続CMOSインバータが奇数段の場合の本発明の第四実施形態を示す遅延回路の回路図である。

【図12】縦続接続CMOSインバータが偶数段の場合の本発明の第四実施形態を示す遅延回路の回路図である。

【図13】本発明の第五実施形態を示すパルス発生回路の回路図である。

【図14】本発明の第五実施形態の動作タイミングを示すタイミングチャートである。

【図15】本発明の第六実施形態を示すパルス発生回路の回路図である。

【図16】本発明の第六実施形態の動作タイミングを示すタイミングチャートである。

【図17】本発明の第七実施形態を示すパルス発生回路の回路図である。

【図18】本発明の第七実施形態の動作タイミングを示すタイミングチャートである。

30

【図19】本発明の第八実施形態を示すパルス発生回路の回路図である。

【図20】本発明の第八実施形態の動作タイミングを示すタイミングチャートである。

【図21】従来の遅延回路の一例を示す回路図および動作タイミングチャートである。

【図22】従来のパルス発生回路の一例を示す回路図および動作タイミングチャートである。

【符号の説明】

1 ~ 16 CMOSインバータ

1p ~ 16p PMOSTランジスタ

1n ~ 16n NMOSTランジスタ

9r、11r、14r、16r 負荷NMOSTランジスタ

40

10r、12r、13r、15r 負荷PMOSTランジスタ

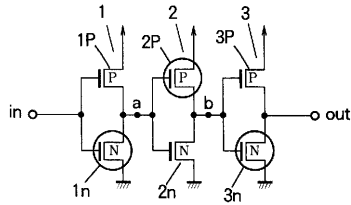
21、31、42、43、52、53 遅延回路

22、54 NANDゲート

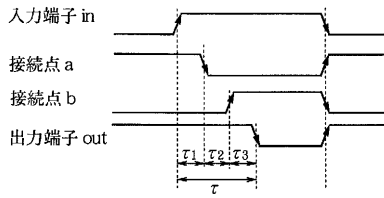
32、44 NORゲート

41 インバータ

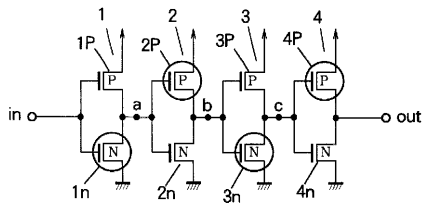
【 図 1 】



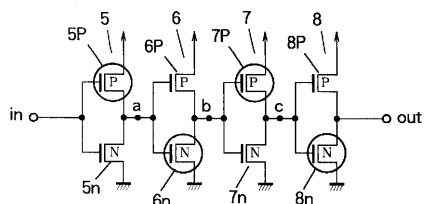
【 図 2 】



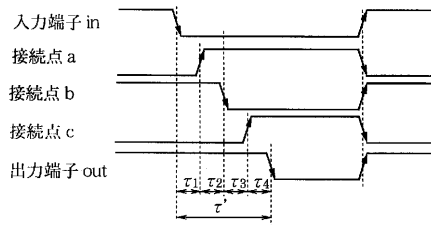
【 図 3 】



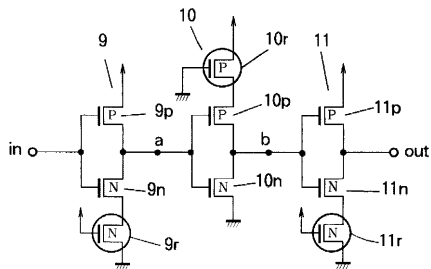
【 図 7 】



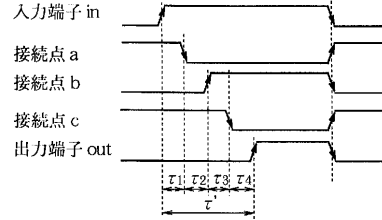
【 図 8 】



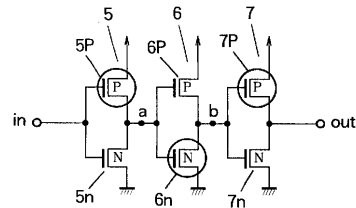
【 図 9 】



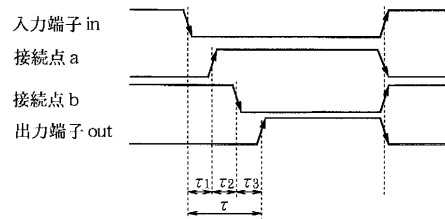
【 図 4 】



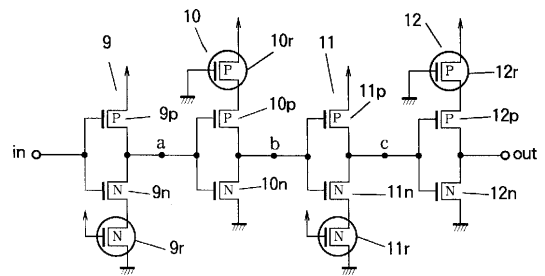
【 図 5 】



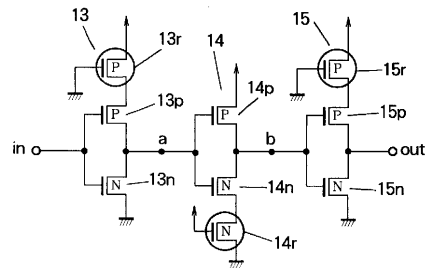
【 図 6 】



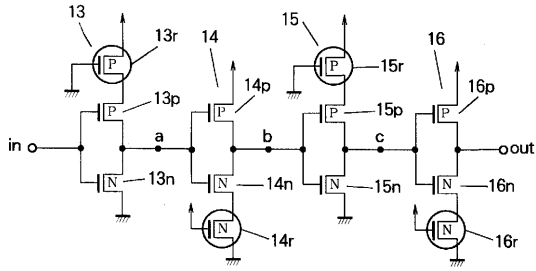
【 図 10 】



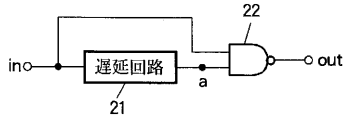
【 図 11 】



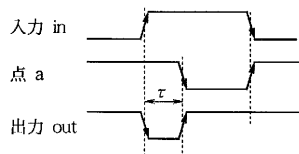
【 図 1 2 】



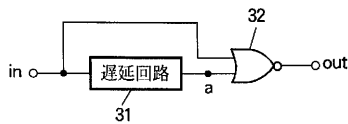
【 図 1 3 】



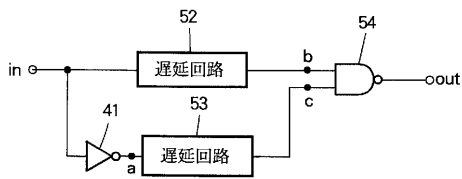
【 図 1 4 】



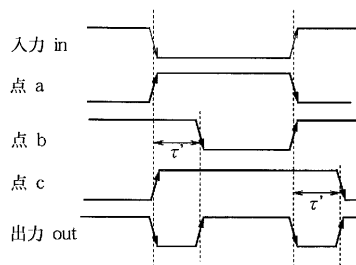
【 図 1 5 】



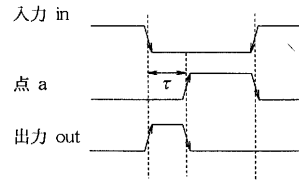
【 図 1 9 】



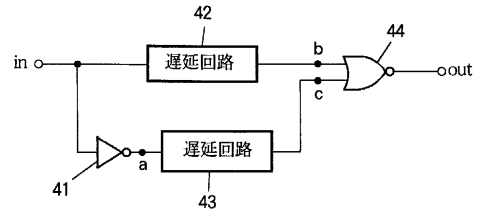
【 図 2 0 】



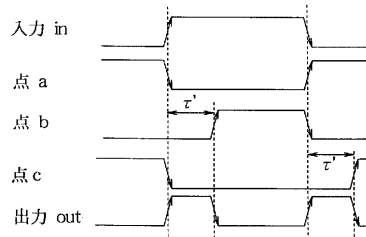
【 図 1 6 】



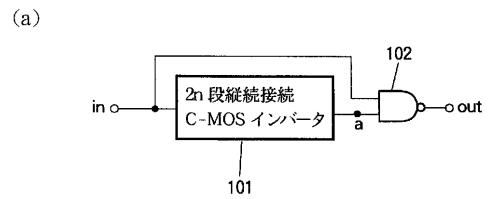
【 図 1 7 】



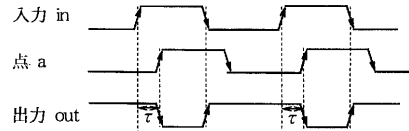
【 図 1 8 】



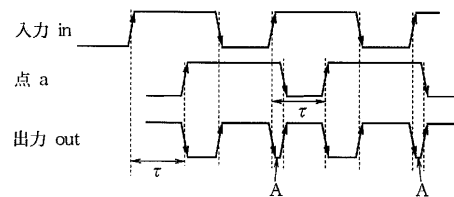
【 図 2 1 】



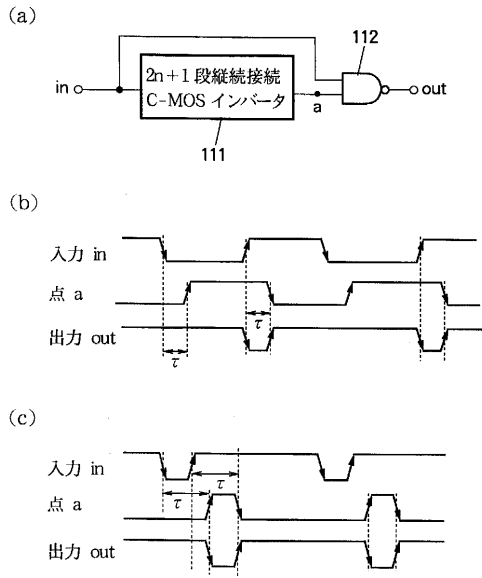
(b)



(c)



【 図 2 2 】



フロントページの続き

(56)参考文献 欧州特許出願公開第00690577 (EP, A1)

特開平09-251793 (JP, A)

特開平05-268015 (JP, A)

特開平05-206797 (JP, A)

特開平02-249307 (JP, A)

実開平02-090535 (JP, U)

特開昭64-069116 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H03K 5/14

H03K 3/017

H03K 19/0948