



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년10월06일

(11) 등록번호 10-1557861

(24) 등록일자 2015년09월30일

(51) 국제특허분류(Int. Cl.)  
*H01L 21/8242* (2006.01) *H01L 21/336* (2006.01)  
 (21) 출원번호 10-2008-0097615  
 (22) 출원일자 2008년10월06일  
 심사청구일자 2013년09월26일  
 (65) 공개번호 10-2010-0038586  
 (43) 공개일자 2010년04월15일  
 (56) 선행기술조사문헌  
 US20010025973 A1\*  
 US20020115268 A1\*  
 JP2002353334 A  
 KR100714900 B1  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**삼성전자주식회사**  
 경기도 수원시 영통구 삼성로 129 (매탄동)  
 (72) 발명자  
**염계희**  
 경기도 수원시 영통구 중부대로271번길 27-9, 10  
 4동 812호 (원천동, 주공아파트)  
 (74) 대리인  
**박영우**

전체 청구항 수 : 총 10 항

심사관 : 정성용

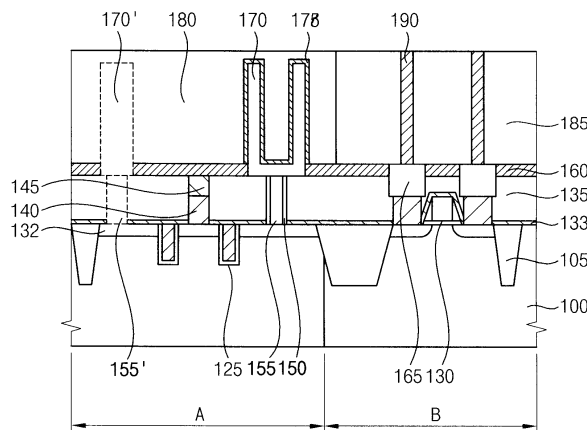
(54) 발명의 명칭 **매립형 게이트 전극 구조를 갖는 반도체 및 그 제조 방법**

**(57) 요약**

매립형 게이트 구조를 갖는 반도체 디바이스에서 서로 다른 셀 비트라인과 주변회로 비트라인을 형성하는 방법 및 매립 게이트를 갖는 반도체 장치 및 반도체 장치를 이용하는 시스템을 제공한다.

게이트 전극이 기판에 매립되고 비트라인 높이가 낮은 반도체 제조방법은, 반도체 기판에 매립형 게이트 전극을 형성하고, 상기 반도체 기판 상에 층간 절연막을 형성하고, 메모리 셀 영역 및 주변 회로 영역에 제 1 도전막을 형성 셀 영역은 비트라인이 되고, 주변 회로 영역은 상기 제 1 도전막이 비트라인 기저부가 되고, 다마싱 공정으로 주변회로 영역 상기 비트라인 기저부상에 제 2 도전막으로 주변 회로 비트라인을 형성한다.

**대표도** - 도19



**명세서**

**청구범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

복수의 활성 영역들을 정의하는 소자 분리막을 포함하는 반도체 기관;

상기 반도체 기관의 상면 아래에서 연장되는 복수의 매립 게이트 전극들; 및

상기 반도체 기관 상부에서 제1 방향을 따라 연장되는 복수의 비트 라인들을 포함하며,

상기 복수의 비트 라인들은 각각 복수 개의 상기 활성 영역들과 연결되고,

상기 복수의 비트 라인들 각각은 저면 전체가 상기 활성 영역의 상면 및 상기 소자 분리막의 상면과 동일 평면 상에 위치하여 복수 개의 상기 활성 영역들의 상면들 및 복수 개의 상기 소자 분리막들의 상면들과 직접 접촉하는 반도체 장치.

**청구항 9**

제 8 항에 있어서, 상기 복수의 비트 라인들 중 적어도 일부는 적어도 하나의 상기 활성 영역의 상면과 직접 접촉하는 반도체 장치.

**청구항 10**

제 8 항에 있어서, 상기 활성 영역의 상면과 평행하며 상기 제1 방향과 교차하는 제2 방향으로 돌출되며, 상기 복수의 비트 라인들 중 적어도 하나 및 적어도 하나의 상기 활성 영역을 서로 연결시키는 돌출부를 더 포함하는 반도체 장치.

**청구항 11**

제 10 항에 있어서, 상기 돌출부는 상기 비트 라인 또는 상기 활성 영역과 일체로 형성된 반도체 장치.

**청구항 12**

제 8 항에 있어서,

상기 반도체 기판 상에 배치되는 커패시터들; 및

상기 활성 영역들과 상기 커패시터들을 전기적으로 연결하는 콘택들을 더 포함하는 반도체 장치.

**청구항 13**

제 12 항에 있어서, 상기 콘택들은 상기 반도체 기판의 상면으로부터 상기 비트 라인들과 동일한 높이를 갖는 반도체 장치.

**청구항 14**

제 8 항에 있어서, 상기 비트 라인들 상에서 상기 제1 방향을 따라 연장되는 캡핑 절연막을 더 포함하는 반도체 장치.

**청구항 15**

제 8 항에 있어서, 상기 비트 라인들은 상기 반도체 기판의 상면과 직접 접촉하는 반도체 장치.

**청구항 16**

컨트롤러; 및

복수의 활성 영역들을 정의하는 소자 분리막을 포함하는 반도체 기판;

상기 반도체 기판의 상면 아래에서 연장되는 복수의 매립 게이트 전극들; 및

상기 반도체 기판 상부에서 제1 방향을 따라 연장되는 복수의 비트라인들을 포함하는 메모리 장치를 포함하며,

상기 복수의 비트 라인들은 각각 복수 개의 상기 활성 영역들과 연결되고,

상기 복수의 비트 라인들 각각은 저면 전체가 상기 활성 영역의 상면 및 상기 소자 분리막의 상면과 동일 평면상에 위치하여 복수 개의 상기 활성 영역들의 상면들 및 복수 개의 상기 소자 분리막들의 상면들과 직접 접촉하고,

상기 컨트롤러는 상기 메모리 장치에 데이터를 프로그래밍하거나 상기 메모리 장치로부터 데이터를 삭제하는 시스템.

**청구항 17**

제 16 항에 있어서, 상기 메모리 장치는 DRAM 플래시 메모리인 시스템.

**발명의 설명**

**발명의 상세한 설명**

**기술 분야**

[0001] 본 발명은 반도체 소자 및 그의 제조방법에 관한 것으로, 상세하게는 매립형 게이트 전극 구조를 갖는 반도체 소자의 구조 및 제조 방법에 관한 것이다.

[0002] 반도체 소자가 고집적화 됨에 따라 단위 셀이 차지하는 면적은 감소되고 있으며, 여기에 따라 채널의 길이가 감소함에 따라 단채널 효과가 나타난다. 특히, 디자인룰이 축소됨에 따라 이러한 단채널 효과 및 이온 주입량의 증가 등으로 인해 누설전류(leakage current)가 증가하여 리플래시 타임(refresh time) 확보가 어려워진다.

[0003] 따라서, 충분한 채널 길이를 확보하기 위하여 트랜지스터의 채널이 될 영역에 리세스 채널 트렌치(recess channel trench)를 형성하여 채널 길이를 증가시킨 구조가 리세스 채널 어레이 트랜지스터(recess channel array transistor; RCAT)이다.

[0004] 그러나 RCAT는 전극 일부는 기판에 매립되나 일부 또한 기판상에 돌출되어 게이트 전극 및 스페이서 등이 필요하다. 따라서 이와 같은 구조는 돌출되는 전극에 상응하는 높이를 갖는 반도체 소자가 형성됨으로 후속으로 형

성되는 커패시터 패드 및 비트라인 등의 높이가 높아져서 공정의 난이도가 높아지는 문제점이 있다.

[0005] 본 발명은 상기에서 언급한 리세스 채널을 구비한 트랜지스터 및 그를 이용하는 반도체 디바이스의 문제점을 개선하기 위하여 기판 상에 돌출되는 게이트 전극 부분을 없애고 게이트 전극이 매립되는 BCAT(Buried gate Cell Array Transistor)에, 메모리 셀 비트라인은 높이가 낮게 형성되고, 주변회로 영역은 저항이 낮게 형성 되는 반도체 제조 방법 및 구조에 관한 것이다.

### 배경 기술

[0006] 최근 반도체 메모리 제품의 고집적화가 가속화됨에 따라 단위 셀 면적이 크게 감소하면서, 패턴의 선폭 및 패턴들의 간격이 현저하게 좁아지고 있다. 그리고 단위 셀 면적은 감소되거나 디바이스에서 요구하는 전기적인 특성은 계속 유지되어야 함으로 이러한 문제를 풀기 위해서 디바이스를 버티칼(vertical)하게 하거나 스택(stack) 구조로 형성하거나 새로운 물질을 이용하고 있다.

[0007] 이러한 요구에 맞추어 단위 면적은 감소하나 유효 채널 길이는 늘어나면서 전극 게이트를 매립하는 BCAT(Buried gate Cell Array Transistor)이 개발되고 있다.

[0008] 도 1 은 미국 특허 US 6,770,535의 일반적으로 사용되는 BCAT를 보여주는 단면도이다.

[0009] 상기 기술은 BCAT (Buried gate Cell Array Transistor)의 구조를 단면도로 보여 주고 있지만 셀 영역과 주변회로 영역에 비트라인 및 커패시터 패드 구조 및 형성 방법이 기존의(RCAT Buried gate Cell Array Transistor)구조가 가지고 있던 문제점을 그대로 가지고 있다.

[0010] 본 발명은 상기에서 언급한 일반적인 RCAT, 또는 BCAT의 문제점을 극복하여 게이트 전극이 매립되고 기판 상부의 셀 영역 및 주변 회로 영역에 형성되는 비트라인 및 커패시터 패드 등의 후속 공정 및 구조들이 간단하고 낮은 구조를 얻어 반도체 공정 난이도가 낮으며 전기적인 특성이 우수한 반도체 제조 방법 및 반도체 디바이스에 관한 것이다.

### 발명의 내용

#### 해결 하고자하는 과제

[0011] 본 발명의 목적은 BCAT (Buried gate Cell Array Transistor)게이트 전극 구조를 만들면서 반도체 기판 셀 영역 및 주변회로 영역에 형성되는 비트라인 및 커패시터 패드를 보다 효율적으로 형성하여 공정의 난이도를 낮추고 디바이스 전기적인 특성을 향상 시키는데 있다.

[0012] 본 발명의 다른 목적은 BCAT (Buried gate Cell Array Transistor) 구조를 만들면서 셀 영역의 활성 영역과 비트라인이 적어도 일부분에서 직접 접촉되게 설계되어 공정이 단순화 되고 비트라인 높이가 낮아져 비트라인 로딩 컵(load capacitor)을 줄이고 비트라인 저항을 줄일 수 있는 반도체 디바이스를 만드는데 있다.

[0013] 본 발명의 다른 목적은 BCAT (Buried gate Cell Array Transistor)게이트 전극 구조를 만들면서 반도체 기판 주변 회로 영역에 형성되는 비트라인을 다마싱 공정 또는 일반적인 공정을 통하여 비트라인의 재질을 디바이스 특성에 맞추어 형성하여 비트라인 저항을 조절하여 동작 속도가 매우 좋은 메모리 반도체 디바이스를 만드는데 있다.

#### 과제 해결수단

[0014] 상기한 목적을 달성하기 위한 본 발명의 일실시예에 따른 매립형 게이트 전극을 갖는 게이트 전극 및 비트라인 설계 방법은, 반도체 기판에 다수의 매립형 게이트 전극을 배치하고, 상기 게이트 전극을 가로질러 통과하는 다수의 비트라인을 형성하고, 상기 비트라인과 상기 반도체 기판에 형성된 메모리 셀 활성 영역은 적어도 일부분에서 직접 접촉하는 구조를 갖도록 한다.

[0015] 본 발명의 다른 실시예에 따른 매립형 게이트 전극을 갖는 반도체 제조 방법은, 반도체 기판에 소자 분리막을 형성 활성 영역과 비활성 영역을 구분하고, 상기 메모리 셀 활성 영역 안에 리세스 홀을 형성 매립 전극을 형성하고, 상기 반도체 기판 상에 층간 절연막을 형성하고, 셀 영역 활성 영역 일부는 직접 접촉되면서 상기 매립 전극을 가로지르는 제 1 도전막을 상기 층간 절연막에 형성하고, 상기 메모리 셀 활성 영역 상에 커패시터 패드를 형성하고, 상기 층간 절연막상에 식각 방지막을 형성하고, 상기 주변회로 영역 제 1 도전막 상부에 다마싱 공정으로 주변회로 비트라인을 형성하고, 상기 식각 방지막상에 몰드층을 형성하고, 상기 몰드층에 커패시터 전

극 홀을 형성 커패시터 하부 전극을 형성하고, 상기 몰드층을 제거 후 커패시터 유전 막 및 커패시터 상부 전극을 형성 한다.

[0016] 본 발명의 다른 실시예에 따른 매립형 게이트 전극을 갖는 반도체 제조 방법은, 반도체 기판에 소자 분리막을 형성 활성 영역과 비활성 영역을 구분하고, 상기 메모리 셀 활성 영역 안에 리세스 홀을 형성 매립 전극을 형성하고, 상기 반도체 기판 상에 층간 절연막을 형성하고, 상기 메모리 셀 활성 영역 일부는 직접 접촉하면서 상기 매립 전극을 가로지르는 제 1 도전막을 상기 층간 절연막에 형성하고, 상기 메모리 셀 활성 영역 상에 커패시터 패드를 형성하고, 상기 주변회로 영역 제 1 도전막 상부를 식각 주변회로 비트라인을 형성하고, 상기 층간 절연막상에 식각 방지막을 형성하고, 상기 식각 방지막상에 몰드층을 형성하고, 상기 몰드층에 커패시터 전극홀을 형성 커패시터 하부 전극을 형성하고, 상기 몰드층을 제거 후 커패시터 유전막 및 커패시터 상부 전극을 형성하고 주변 회로를 연결하는 금속 배선층을 형성 한다.

[0017] 본 발명의 다른 실시예에 따른 매립형 게이트 전극을 갖는 반도체 제조 방법은, 반도체 기판에 소자 분리막을 형성 활성 영역과 비활성 영역을 구분하고, 상기 메모리 셀 활성 영역 안에 리세스 홀을 형성 매립 전극을 형성하고, 상기 반도체 기판 상에 층간 절연막을 형성하고, 메모리 셀 영역 및 주변회로 영역 상의 상기 층간 절연막에 제 1 도전막을 형성하고, 상기 메모리 셀 영역 제 1 도전막과 활성 영역을 연결하는 제 2 도전막을 형성하고, 상기 메모리 셀 영역 활성 영역상에 커패시터 패드를 형성하고, 상기 층간 절연막상에 식각 방지막을 형성하고, 상기 주변회로 영역 제 1 도전막 상부에 다마싱 공정으로 비트라인을 형성하고, 상기 식각 방지막상에 몰드층을 형성하고, 상기 몰드층에 커패시터 전극홀을 형성 커패시터 하부 전극을 형성하고, 상기 몰드층을 제거 후 커패시터 유전 막 및 커패시터 상부 전극층을 형성 한다.

[0018] 본 발명의 다른 실시예에 따른 매립형 게이트 전극을 갖는 반도체 제조 방법은, 반도체 기판에 소자 분리막을 형성 활성 영역과 비활성 영역을 구분하고, 상기 메모리 셀 활성 영역 안에 리세스 홀을 형성 매립 전극을 형성하고, 상기 반도체 기판 상에 층간 절연막을 형성하고, 상기 메모리 셀 영역 및 주변회로 영역 상의 상기 층간 절연막에 제 1 도전막을 형성하고, 상기 메모리 셀 영역 제 1 도전막과 활성 영역을 연결하는 제 2 도전막을 형성하고, 상기 메모리 셀 활성 영역상에 커패시터 패드를 형성하고, 상기 주변회로 영역 제 1 도전막 상부를 식각 비트라인을 형성하고, 상기 층간 절연막상에 식각 방지막을 형성하고, 상기 식각 방지막상에 몰드층을 형성하고, 상기 몰드층에 커패시터 전극홀을 형성 커패시터 하부 전극을 형성하고, 상기 몰드층을 제거 후 커패시터 유전 막 및 커패시터 상부 전극을 형성하고 주변 회로를 연결하는 금속 배선층을 형성 한다.

[0019] 본 발명에 따른 반도체 장치 및 그 제조 방법에 대하여 첨부된 도면을 참조하여 상세하게 설명하지만, 본 발명이 하기의 실시예들에 제한되는 것은 아니며, 해당분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않은 범위 내에서 본 발명을 다양한 형태로 구현 할 수 있을 것이다.

**효 과**

[0020] 상술한 것과 같이 본 발명에 의하면, 매립형 게이트 전극을 갖으면서 셀 영역 일부를 직접 또는 간접 접촉 공유하는 형태의 비트라인 구조를 형성함으로써 커패시터 패드 높이가 높지 않게 형성 될 수 있고, 주변회로 영역의 비트라인은 다마싱 또는 일반 식각 공정을 통하여 전도성이 좋은 물질로 셀 비트라인과 다르게 형성 할 수 있으므로 공정 난이도가 개선되고 동작 스피드가 좋은 반도체 디바이스를 얻을 수 있다.

[0021] 또한 매립형 게이트 전극 형성후 SAC 공정 등이 없이 직접 또는 간접적으로 셀 영역의 활성 영역과 비트라인 및 캡핑 절연막으로 접하는 구조로 셀 비트라인을 형성하고, 주변회로 영역의 비트라인은 다마싱 또는 일반 식각 공정을 통하여 서로 다른 높이 및 재질로 형성함으로써 메모리 셀 비트라인은 높이가 낮아 로딩 캡이 작고, 주변회로 비트라인은 전도성이 좋은 도전막으로 형성되어 전기저항 특성이 우수한 DRAM을 만들면서, 디바이스 셀을 최소화시켜 디자인 할 수 있다.

**발명의 실시를 위한 구체적인 내용**

[0022] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

[0023] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안 된다.

[0024] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고

본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0025] 실시예 1

[0026] 도 2 및 도 6은 본 발명의 매립형 게이트 전극을 갖는 게이트 전극 및 활성 영역과 비트라인 관계를 설계하는 레이아웃 방법이다.

[0027] 도 2 및 도 6을 참조하면, 모든 매립형 게이트 전극(60)(또는 워드 라인)은 쌍을 이루어 형성되어 있고, 비트라인(70)은 상기 게이트 전극(70)을 가로질러 게이트 전극과 직각 또는 대각을 이루며 형성 된다.

[0028] 활성 영역(50)은 적어도 일부분이 비트라인(70)과 직접 접촉하면서 공유하는 면적(80)을 갖는 형태로 형성된다.

[0029] 상기와 같이 활성영역(50)과 비트라인(70)이 일정부분에서 직접 접촉 공간(80)을 가지며 전기적으로 연결 될 수 있으므로 메모리 셀 영역에서 비트라인(70) 높이를 낮게 갈 수 있고 비트라인 로딩 캡을 줄일 수 있다.

[0030] 도 2의 레이아웃 방법은 비트라인(70)은 라인 형태를 이루지만, 활성 영역(50)에 돌출부(80)가 형성되어, 상기 돌출부(80)가 비트라인(70)과 부분적으로 직접 접촉되는 형태를 이룬다.

[0031] 도 3의 레이아웃 방법은, 활성 영역(50)은 돌출부가 없고, 비트라인(70)이 라인 형태를 이루면서 일정부위가 돌출되어 활성영역과 부분적으로 직접 접촉되는 형태를 이룬다.

[0032] 도 4의 레이아웃 방법은, 활성 영역(50)의 돌출부(80)가 비트라인(70) 폭과 같은 형태를 이루고, 비트라인(70)이 라인 형태를 이루며 일정 부위가 돌출되는 형태를 이루어 비트라인과 접촉저항이 양호한 형태를 이룬다.

[0033] 도 5의 레이아웃은 방법은 도 4의 레이아웃 방법과 비슷하지만 활성영역(50)의 돌출부(80)가 비트라인(70) 폭보다 작은 형태를 이룬다.

[0034] 도 6의 레이아웃 방법은, 활성영역(5) 및 비트라인(70)에 돌출부위는 없지만 서로 교차하도록 배치하여 교차점(80)이 직접 접촉 될 수 있도록 하는 형태를 이룬다.

[0035] 상기와 같은 활성 영역(50)과 비트라인(70)이 배치되면서 적어도 일부분이 직접 접촉되는 형태를 취함으로써, 부수적으로 플러그를 형성하여 활성 영역(50)과 비트라인(70)이 전기적으로 접촉되는 형태를 취하지 않음으로 사 진공정(셀 DC 및 비트라인)이 줄어들고 비트라인 높이를 줄일 수 있어 비트라인 로딩 캡(loadng cap.)을 줄이고 공정의 난이도 또한 줄일 수 있으며 공정의 단순화로 공정단가를 줄일 수 있다.

[0036] 또한 메모리 셀 비트라인과 주변회로 비트라인을 이원화하여 주변회로 비트라인을 다마싱 공정으로 진행 저항이 낮은 구리와 같은 재질로 형성 비트라인 저항을 줄여 디바이스 속도를 개선하기 쉽다.

[0037] 실시예 2

[0039] 도 7a 및 도 19는 본 발명의 매립형 게이트 전극을 갖고 활성 영역의 돌출부 또는 비트라인의 돌출부가 서로 직접 접촉되는 타입의 비트라인을 갖는 BCAT DRAM 반도체 디바이스를 형성 방법을 나타내는 단면도이다.

[0040] 각 도면은 메모리 셀 영역을 절단한 단면을 A로 나타내고, 주변회로 영역을 절단한 단면을 B로 나타낸다.

[0041] 각 도a는 절단면을 나타내고, 각 도b는 주요 구성 요소의 레이아웃을 나타내는 평면도로, 도a는 모든 도면에서 설명이 되나, 도b는 필요한 부분 또는 레이아웃이 크게 바뀌어지는 부분에서만 도시 또는 설명한다.

[0042] 도 7a를 참조하면, 반도체 기판 (100)에 소자 분리막(105)을 형성하여, 기판을 활성 영역과 비활성 영역으로 구분한다.

[0043] 소자 분리막(105) 형성 공정은 STI(shallow trench isolation) 공정을 이용하며, 소자 분리막은 필요에 따라서 트렌치 형성후 약간의 열산화막을 형성하고 질화막으로 라이너를 형성한후 CVD, 또는 HDP 공정을 통하여 트렌치를 채우고 평탄화 한다.

[0044] 반도체 기판 (100)상에 패드 산화막(110)을 형성한다. 패드 산화막 (110)은 열산화막 방식으로 형성하고, 약 50 내지 150 Å 두께로 형성한다.

[0045] 상기 패드 산화막 (110) 상부에 하드 마스크막(115)을 형성한다. 하드 마스크막 (115)은 반도체 기판 (100),

패드 산화막 (110)과 식각율이 다른 물질로 사용한다. 예를 들면, 실리콘 질화막으로 사용 할 수 있다.

- [0046] 상기 하드 마스크(115)는 도면의 편리상 단일층으로 도시하였으나 게이트 마스크층 (도시하지 않음) 등 복수의 물질층으로 형성된다. 하부층은 플라즈마 CVD 산화막으로 2000 옹스트롬에서 3000 옹스트롬 두께로 형성하고, 중간층은 유기막으로 ACL (amorphous carbon layer)층으로 2000 옹스트롬에서 3000 옹스트롬 두께로 형성한 다음, 상층부는 ARL(anti reflective layer)층으로 질화막을 약 500 옹스트롬 두께로 형성한다. 게이트 마스크층을 마스크 패턴으로 하여 하드 마스크(115)층 패턴을 만들고, 게이트 마스크층 제거 후 하드 마스크(115)층으로 활성영역(103)안에 리세스 홀(118)을 형성 한다.
- [0047] 상기 리세스 홀(118)은 매립형 게이트 전극이 형성될 공간으로 필요에 따라서 하부를 등글케 형성하여 표면적을 크게 할 수 도 있다. 그러나 본 발명에서는 발명의 특징에 초점을 맞추어 그러한 공정 및 설명은 생략하기로 한다.
- [0048] 도 7b를 참조하면, 도 7a의 메모리 셀 영역 A를 나타내는 레이아웃이다. 메모리 셀 활성 영역 (103)은 돌출 부위를 가지고 있고, 활성 영역(103)을 관통하여 쌍을 이루어 매립형 게이트 전극이 형성 될 리세스 홀(118)이 점선 형태로 도시 되어 있다.
- [0049] 도 7a는, 도 7b에서 점선으로 표시한 A 영역을 화살표 방향으로 절단하였을 때 나타나는 단면을 표시한 형태로, 주변회로 영역은 레이아웃 영역에서 제외되었다.
- [0050] 도 8a를 참조하면, 반도체 기판(100)을 세정 후 상기 리세스 홀 (118) 공간에 게이트 유전막(120)을 형성 한다.
- [0051] 게이트 유전막(120)은 실리콘 산화막(SiO<sub>2</sub>), 하프늄 산화막(HfO<sub>2</sub>), 탄탈륨 산화막(Ta<sub>2</sub>O<sub>5</sub>), 또는 ONO (oxide/nitride/oxide) 막을 선택 디바이스가 요구하는 특성을 살려서 형성한다.
- [0052] 상기 게이트 유전막(120) 상에 게이트 전극막(123)을 형성한다. 도면에는 전극막(123) 상부가 단일층으로 도시되었지만 전극의 특성을 고려하여 폴리 실리콘으로 하부를 형성하고 상부는 금속 실리사이드층을 형성할 수 있다.
- [0053] 또한 필요에 따라서 질화티타늄(TiN), 티타늄/질화티타늄(Ti/TiN), 질화 텅스텐(WN), 텅스텐/질화텅스텐(W/WN), 질화탄탈륨(TaN), 탄탈륨/질화탄탈륨(Ta/TaN), 질화티타늄실리콘(TiSiN), 및 질화텅스텐실리콘(WSiN) 중의 어느 하나와 게이트 유전막(120)과 결합된 게이트 전극(125)을 CVD, 또는 ALD 공정을 통하여 형성 할 수 있다.
- [0054] 상기 게이트 전극(125)은 반도체 기판(100) 내부에 매립되는 형태의 BCAT(Buried gate Cell Array Transistor) 구조가 된다.
- [0055] 상기 BCAT 구조를 갖는 반도체 소자는 게이트 전극이 기판 내로 완전히 매립됨으로써, 최종 반도체 소자의 높이를 줄일 수 있다. 비트라인을 직접 활성 영역과 접촉하게 형성하여 비트라인 높이를 줄일 수 있다.
- [0056] 셀 영역이나 주변회로 영역의 비트라인 형성을 서로 다른 공정으로 진행 할 수 있다. DRAM 메모리 반도체 디바이스를 형성 시 커패시터 패드를 게이트 전극을 이용한 SAC 공정을 진행하지 않고 직접 낮은 높이로 형성 할 수 있어 공정의 난이도가 매우 낮아진다.
- [0057] 도 8b를 참조하면, 활성 영역(103)을 관통하여 형성 되었던 리세스 홀 (118)의 레이아웃이 게이트 전극(125)으로 형성 되었다.
- [0058] 도 9a를 참조하면, 하드마스크(115) 및 패드 산화막(110)을 제거하고, 주변회로 영역 B에 사용될 게이트 유전막(127), 게이트 전극막(128), 및 게이트 스페이서(129)을 형성하여 주변회로 영역 B에 게이트 전극(130)을 형성 한다.
- [0059] 상기 주변회로 영역에 형성된 게이트 전극(130)은 메모리 셀 영역 A의 반도체 기판 내에 사용된 게이트 전극(125)과 같은 공정으로 진행 할 수 있고 필요에 따라서 약간의 변형을 가할 수 있다.
- [0060] 상기 게이트 전극(130) 형성 후 반도체 기판에 소오스 드레인 불순물층(132)을 형성 한다.
- [0061] 상기 소오스 드레인 불순물층(132) 형성 후 반도체 기판(100) 및 게이트 전극상에 식각 방지막(133)을 형성 한다. 상기 식각 방지막(133)은 질화막으로 CVD 공정으로 100에서 200Å 사이의 두께로 형성 한다.
- [0062] 상기 식각 방지막(133) 상에 층간 절연막(135)을 형성한다. 상기 층간 절연막(135)은 산화막으로 CVD 공정으로 1000에서 3000Å 사이의 두께로 형성 후 CMP 또는 에치백(etch back) 공정을 통하여 평탄화 한다.

- [0063] 도 10a를 참조하면, 메모리 셀 영역 A에 있는 매립형 게이트 전극(125) 사이 층간 절연막(135)안에 비트라인을 형성 할 비트라인 콘택 홀(137)을 형성하고, 주변회로 영역 B에 주변회로 비트라인이 형성될 콘택 홀 (138)을 형성 한다.
- [0064] 상기 메모리 셀 영역에 형성된 비트라인 콘택 홀(137)은 비트라인 돌출부가 활성 영역(103) 돌출부와 직접 접촉하는 부위로 정면 절단부(137)는 홀처럼 형성 되었으나, 비트라인 콘택 홀(137) 후면은 라인 형태로 형성 되어 추후 셀 비트라인이 된다.
- [0065] 도 10b를 참조하면, 비트라인(137)이 게이트 전극(125) 라인을 가로질러 형성되고, 비트라인(137) 돌출부가 활성영역(103) 돌출부와 직접 접촉하는 형태로 레이아웃이 형성 된다.
- [0066] 상기 메모리 셀 활성 영역(103)과 비트라인(137)은 약간 이격 되어 형성되어 있고, 절단면은 이격되어있는 돌출부를 통과하기 때문에, 도 10a에 나타나는 비트라인 콘택 홀(137)은 라인 형태로 도시되지 않고 홀 형태로 도시되었다.
- [0067] 도 11a를 참조하면, 상기 비트라인 콘택 홀(137) 안에 제 1 도전막(140) 및 캡핑 절연막(145)을 형성 한다. 상기 제 1 도전막(140)은 메모리 셀 영역 A에서는 셀 비트라인이 되고, 주변회로 영역 B에서는 주변회로 비트라인 기저부위 DC(direct contact)가 된다.
- [0068] 또한 캡핑 절연막(145)은 제 1 도전막의 보호뿐 아니라, 메모리 셀 영역 A에서는 셀 비트라인의 로딩 캡 (loading cap.) 역할이 됨으로 일정한 두께를 가지고 있어야 하지만, 주변회로 영역 B에서는 주변회로 비트라인 저항을 유발함으로 추후 제거 비트라인을 형성 할 공간이 된다.
- [0069] 상기 제 1 도전막은 질화티타늄(TiN), 티타늄/질화티타늄(Ti/TiN), 질화 텅스텐(WN), 텅스텐/질화텅스텐(W/WN), 질화탄탈륨(TaN), 탄탈륨/질화탄탈륨(Ta/TaN), 질화티타늄실리콘(TiSiN), 및 질화텅스텐실리콘(WSiN) 중 하나 또는 복합막으로 구성 한다.
- [0070] 가장 많이 사용되는 조합은 티타늄/질화티타늄(Ti/TiN), 또는 텅스텐/티타늄/질화티타늄(W/Ti/TiN)를 사용 한다.
- [0071] 도 12a를 참조하면, 메모리 셀 영역 A의 소오스 불순물층(132)과 접하여 커패시터 전극 패드가 형성될 공간에 BC 홀 (147, 148)을 형성 한다.
- [0072] 도면은 BC 홀(148)을 점선 처리한 것은 실시예 1에서 도 6의 레이아웃처럼 활성 영역을 배치했을 때 발생 할 수 있는 BC의 위치 및 추후 커패시터 구조를 감안하여 도식의 편리상 일직선이 아닌 경우도 포함하기 위해서 실선을 처리하지 않았다.
- [0073] 도 13a를 참조하면, 상기 BC 안에 산화막 또는 질화막으로 스페이서(150)를 형성한다. 상기 BC 스페이서(150)는 제 1 도전막(140)과 격리 될 수 있도록 하기 위해서 형성한다.
- [0074] 상기 BC 스페이서(150) 형성후 BC 안에 제 2 도전막(155, 155')을 형성 한다. 상기 제 2 도전막(155, 155')은 커패시터 패드가 됨으로 불순물이 함유된 폴리 실리콘으로 CVD 공정을 통하여 형성 한다.
- [0075] 도 14a를 참조하면, 층간 절연막 (135) 및 커패시터 패드가 될 제 2 도전막(155, 155')상에 식각 방지막(160)을 형성 한다. 상기 식각 방지막 (160)은 실리콘 질화막으로 CVD 공정으로 진행한다.
- [0076] 상기 식각 방지막상에 감광액을 도포 후 주변회로 영역 B의 제 1 도전막(140)상의 캡핑 절연막(145) 상부가 개구되는 홀(163)을 갖는 마스크(162)를 형성 한다.
- [0077] 도 15a를 참조하면, 상기 마스크(162)를 이용하여 제 1 도전막(140)상의 캡핑 절연막(145)을 식각 제거 한다.
- [0078] 상기 마스크(162)를 제거하고 다마싱 공정을 통하여 캡핑 절연막(145)이 제거된 공간에 제 3 도전막(165)을 형성 한다. 상기 제 3 도전막(165)은 주변회로 영역의 비트라인이 된다. 그리고 주변회로 비트라인 특성상 재질은 구리 또는 전도성이 좋은 물질로 형성 한다.
- [0079] 도 16a를 참조하면, 상기 식각 방지막 (160)상에 몰드막 (168)을 형성한다. 상기 몰드막 (168)은 통상적으로 10000에서 20000Å 사이의 값으로 형성한다. 몰드막 (168)은 산화막으로 CVD 공정으로 진행 한다. 몰드막 (168)은 도면에는 단일층으로 도시 되었지만 식각율이 상이한 다수의 층으로 형성 할 수 있다.
- [0080] 몰드막 (168)을 증착 후 사진 식각 공정에 필요한 마스크층(보이지 않음)을 형성 한다. 통상의 사진 식각 공정



을 통하여 상기 커패시터 콘택 패드 (155, 155') 상부에 접하게 커패시터 하부 전극 홀(169, 169')을 형성 한다. 몰드막 (168) 식각은 건식 식각을 이용하고 식각 방지막 (160)을 식각 종점으로 사용한다.

- [0081] 도 17을 참조하면, 상기 커패시터 콘택 패드 (155, 155') 상의 식각 방지막 (160)을 제거 후 마스크층을 제거하고 커패시터 하부 전극 홀(169, 169')안에 커패시터 하부 전극층 (170)을 형성한다. 상기 커패시터 하부 전극층 (170) 물질로는 TiN, Ti, TaN, Pt 등의 물질을 사용할 수 있다. 상기 커패시터 하부 전극층 (170)은 커패시터 패드(155)와 잘 접촉되어야하고 식각 방지막(160)이 충분한 두께가 있어서 추후 전극 분리 후 몰드막(168) 제거 시 하부 전극층 (170)이 떨어지거나 넘어지지 않도록 지지해주어야 한다.
- [0082] 상기 커패시터 하부 전극층 (170)상에 매립막 (보이지 않음)을 형성 한다. 매립막 (보이지 않음)은 깎필 능력이 좋은 TOZS로 형성한다. 또는 유기 물질등 몰드막과 식각율이 다른 물질을 사용 추후 몰드막 (168) 제거 공정 시 커패시터 하부 전극(170)이 떨어지지 않도록 하는 것이 디바이스 불량률 줄이는데 좋다.
- [0083] 상기 매립막 (보이지 않음)을 에치백 공정을 통하여 평탄화하면서 동시에 커패시터 하부 전극 (170) 상층부를 제거하여 전극을 분리시킨다. 전극 분리 공정은 습식 에치백 (etch back) 공정으로 진행 한다.
- [0084] 전극 분리시 전극 끝 부분이 뾰족하지 않게 형성 될 수 있도록 매립막(보이지 않음)을 약간 깊게 습식 식각 제거후 전극 물질도 약간의 습식 식각을 실시하여 라운드를 주어야 한다. 전극 끝 부분이 뾰족하게 되면 추후 형성되는 캐패시터 유전막이 끊어지는 현상이 발생하여 전극 리키지가 발생한다.
- [0085] 이후, LAL 리프트-오프 (lift-off) 공정을 통하여 몰드층 (168)과 매립막 (보이지 않음)을 제거 한다. 상기 몰드층 (168)과 매립막 제거 시 인접 전극들이 서로 붙지 않도록 세심한 주의가 필요하다.
- [0086] 일반적으로 인접하는 전극이 붙지 않거나 쓰러지지 않도록 전극 상호간에 구조물을 설치하여 보호 한다. 사다리 형태의 구조물을 설치하거나 링 형태의 절연막 구조물을 설치 넘어져도 전기적으로 연결되지 않는 구조를 설치 할 수 있다.
- [0087] 도 18을 참조하면, 상기 커패시터 하부 전극 (170)상에 커패시터 유전막(178)으로 사용되는 지르코늄 산화막을 형성한다. 형성하는 방법은, 원자층 증착 챔버안에 지르코늄막을 형성하기 위한 전구체로, 테트라키스 디에틸아미노 지르코늄(Tetrakis-ethylmethylamino zirconim, Zr [N (C<sub>2</sub>H<sub>5</sub>)<sub>2</sub>] 4 이하 TEMAZ)을 사용하여 커패시터 하부 전극 (170)상에 공급한다. 상기의 전구체는 커패시터 하부 전극(170)과 원자층으로 반응하여 결합되고 여분의 미반응된 기체가스를 제거하기 위하여 퍼지 가스를 챔버안에 공급한다. 퍼지 가스로는 아르곤 (Ar), 헬륨 (He), 질소 (N<sub>2</sub>) 가스를 사용 한다. 미반응된 전구체 가스를 제거하면, 커패시터 하부 전극 (170)상에 화학 흡착된 전구체가 원자 단층 수준으로 얇게 형성 된다. 이러한 전구체 증착 공정은 250℃ 근방의 낮은 온도에서 전구체가 공급되기 때문에 중형비가 매우 큰 커패시터 구조에서도 내외 및 상부 하부 등 모든 부분에 고르게 증착 된다. 특히 실린더 입구가 막히는 일이 없이 실린더 밑바닥까지 전구체가 고르게 분포되어 스텝 커버리지 문제를 발생 하지 않는다.
- [0088] 다시 챔버를 275℃ 고온으로 유지하며 산화제를 공급하며, 전구체와 결합하여 지르코늄 산화막을 형성한다. 산화제로는 O<sub>2</sub>, O<sub>3</sub>, H<sub>2</sub>O 산화제를 사용한다. 본 실시예에서는 지르코늄 산화막 형성에 있어서는 산화력이 비교적 강한 O<sub>3</sub>을 사용한다. 그러면 전구체 성분안에 있는 탄소나 질소 성분이 완전 산화되어 제거 되고, 지르코늄 산화막이 형성 된다. 잔여 부산물을 제거하기 위해서 퍼지 가스를 공급한다. 이러한 기본 사이클을 기준으로 수십 회를 반복하여 원하는 두께의 지르코늄 산화막을 얻는다. 본 발명에서는 바람직하게 100회에서 150회 사이를 반복하며, 두께로는 100Å에서 150Å 사이의 두께로 형성 한다.
- [0089] 지르코늄 산화막 형성후 상기 지르코늄 산화막상에 지르코늄 산질화막 (보이지 않음)을 형성 복합층으로 형성된 지르코늄 산화막을 형성 커패시터 유전막(178)을 형성 할 수 있다.
- [0090] 상기의 커패시터 유전막(178)은 설명상 편리하게 지르코늄 산화막 (ZrO<sub>2</sub>) 또는 지르코늄 산질화막(ZrOCN)을 가지고 공정을 진행 했지만, 또 다른 커패시터 유전막으로, ZAZ(ZrO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/ZrO<sub>2</sub>), ZAT(ZrO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/TaO<sub>2</sub>), Hf<sub>2</sub>O<sub>3</sub> 등 다양한 고유전율을 갖는 물질을 사용 할 수 있다.
- [0091] 이때 또한, 전구체 가스는 낮은 온도에서 공급하고, 산화제 가스는 높은 온도에서 공급하여 유전막을 형성하면, 중형비가 큰 구조에서 커패시터 유전막이 우수한 스텝 커버리지를 가질 수 있도록 공정을 진행 할 수 있다.
- [0092] 커패시터 유전막(178)상에 커패시터 상부 전극 (180)을 형성 한다. 커패시터 상부 전극 (180) 물질로는 TiN, Ti, TaN, Pt 등의 물질을 사용할 수 있다.

- [0093] 도 19를 참조하면, 상기 커패시터 상부 전극 (180) 및 식각 방지막 (160)상에 평탄화 절연막(185)을 형성한다. 상기 평탄화 절연막(185)은 셀 영역 A와 주변 회로 영역 B 사이에 있는 커다란 단차를 해결해주는 물질로 TEOS, HDP 층으로 형성하고, 평탄화 방법도 압력에 따라 연마 정도를 달리하는 (Self-Stopping CMP) 공정을 사용하여 실시한다.
- [0094] 평탄화후 메탈 콘택을 형성 메탈 플러그 및 금속배선(190)들을 형성하고, 보호막(보이지 않음)을 형성 한다.
- [0095] 상기의 공정으로 진행한 DRAM 반도체 디바이스는 매립형 게이트 전극(125)을 가짐으로, 메모리 셀 영역에 형성되는 비트라인이 직접 활성 영역과 접촉되면서 비트라인 높이를 줄일 수 있고, 커패시터 패드의 높이를 줄일 수 있어 후속하는 공정의 난이도가 줄어들고, 주변회로 영역에서 비트라인을 다마싱 공정으로 진행하여 저항이 좋은 재질을 사용하거나, 비트라인이 쓰러지는 문제점이 발생하지 않는다.
- [0096] 또한 비트라인 높이가 감소되고 셀 비트라인 로딩 캡이 감소되고, 주변회로 영역의 비트라인 저항이 감소되어 전기적인 특성이 좋고 디자인이 쉬워 고성능 DRAM 디바이스가 만들어 진다.
- [0097]
- [0098] 실시예 3
- [0099] 도 20 및 도 25는 본 발명의 다른 실시예로 만드는 매립형 게이트 전극을 갖고 활성 영역의 돌출부 또는 비트라인의 돌출부가 서로 직접 접촉되는 타입의 비트라인을 갖는 BCAT DRAM 반도체 디바이스를 형성 방법을 나타내는 단면도이다.
- [0100] 모든 기본적인 방법은 실시예 2와 동일하나 주변회로 영역의 비트라인을 다마싱 공정이 아니라 일반적인 식각 및 도전막 형성 방법으로 진행하는 경우이다.
- [0101] 발명의 설명은 실시예 2와 동일한 부분은 생략하고 차이 나는 부분부터 도면을 시작하여 설명하겠다.
- [0102] 도 20을 참조하면, 실시예 2의 도 7a 및 도 13a과 같은 공정을 진행한 반도체 기판(200)상의 층간 절연막(235) 및 제 2 도전막(255,)상에 감광액을 도포하고, 주변회로 영역 B의 제 1 도전막(240)상의 캡핑 절연막(245) 상부가 개구되는 홀(259)을 갖는 마스크(258)를 형성 한다.
- [0103] 도 21을 참조하면, 상기 마스크(258)를 이용하여 주변회로 영역 B의 제 1 도전막(240)상의 캡핑막(245)을 식각 제거 한다.
- [0104] 상기 마스크(258)를 제거하고 금속 박막을 형성하는 PVD 또는 CVD 공정을 통하여 캡핑막이 제거된 공간에 제 3 도전막(260)을 형성 한다. 상기 제 3 도전막(260)은 주변회로 영역의 비트라인이 된다. 상기 주변회로 비트라인의 재질은 텅스텐층 또는 전도성이 좋은 물질로 형성 한다.
- [0105] 상기 층간 절연막 (235) 및 커패시터 패드가 될 제 2 도전막(255)상에 식각 방지막(265)을 형성 한다. 상기 식각 방지막 (265)은 실리콘 질화막으로 CVD 공정으로 진행한다.
- [0106] 도 22를 참조하면, 상기 식각 방지막 (265)상에 몰드막 (268)을 형성한다. 상기 몰드막 (268)은 통상적으로 10000에서 20000Å 사이의 값으로 형성한다. 상기 몰드막 (268)은 산화막으로 CVD 공정으로 진행 한다. 몰드막 (268)은 도면에는 단일층으로 도시 되었지만 식각율이 상이한 다수의 층으로 형성 할 수 있다.
- [0107] 상기 몰드막 (268)을 증착 후 사진 식각 공정에 필요한 마스크층(보이지 않음)을 형성 한다. 통상의 사진 식각 공정을 통하여 상기 커패시터 콘택 패드 (255)상부에 접하게 커패시터 하부 전극 홀(269)을 형성 한다. 몰드막 (268) 식각은 건식 식각을 이용하고 식각 방지막 (265)을 식각 종점으로 사용한다.
- [0108] 도 23을 참조하면, 상기 커패시터 콘택 패드 (255) 상의 식각 방지막 (265)을 제거 후 마스크층을 제거하고 커패시터 하부 전극 홀(269)안에 커패시터 하부 전극(270)을 형성한다. 상기 하부 전극(270) 물질로는 TiN, Ti, TaN, Pt 등의 물질을 사용할 수 있다. 상기 하부 전극(270)은 커패시터 패드(255)와 잘 접촉되어야하고 식각 방지막층 (260)이 충분한 두께가 있어서 추후 전극 분리 후 몰드막(268) 제거시 커패시터 하부 전극(270)이 떨어지거나 넘어지지 않도록 지지해주어야 한다.
- [0109] 상기 하부 전극(270)상에 매립막 (보이지 않음)을 형성 한다. 매립막 (보이지 않음)은 깎필 능력이 좋은 TOZS로 형성한다. 또는 유기 물질등 몰드막과 식각율이 다른 물질을 사용 추후 몰드막 (268) 제거 공정 시 커패시터 하부 전극(270)이 떨어지지 않도록 하는 것이 디바이스 불량률 줄이는데 좋다.

- [0110] 상기 매립막 (보이지 않음)을 에치백 공정을 통하여 평탄화하면서 동시에 커패시터 하부 전극 (270) 상층부를 제거하여 전극을 분리시킨다. 전극 분리 공정은 습식 에치백 (etch back) 공정으로 진행 한다.
- [0111] 전극 분리시 전극 끝 부분이 뾰족하지 않게 형성 될 수 있도록 매립막(보이지 않음)을 약간 깊게 습식 식각 제거후 전극 물질도 약간의 습식 식각을 실시하여 라운드를 주어야 한다. 전극 끝 부분이 뾰족하게 되면 추후 형성되는 커패시터 유전막이 끊어지는 현상이 발생하여 전극 리키지가 발생한다.
- [0112] 이후, LAL 리프트-오프 (lift-off) 공정을 통하여 몰드층 (268)과 매립막 (보이지 않음)을 제거 한다. 상기 몰드층 (268)과 매립막 제거 시 인접 전극들이 서로 붙지 않도록 세심한 주의가 필요하다.
- [0113] 일반적으로 인접하는 전극이 붙지 않거나 쓰러지지 않도록 전극 상호간에 구조물을 설치하여 보호 한다. 사다리 형태의 구조물을 설치하거나 링 형태의 절연막 구조물을 설치 넘어져도 전기적으로 연결되지 않는 구조를 설치 할 수 있다.
- [0114] 도 24을 참조하면, 상기 커패시터 하부 전극 (270)상에 커패시터 유전막(278)으로 사용되는 지르코늄 산화막을 형성한다. 형성하는 방법은, 원자층 증착 챔버안에 지르코늄막을 형성하기 위한 전구체로, 테트라키스 디에틸아미노 지르코늄(Tetrakis-ethylmethyramino zirconim, Zr [N (C<sub>2</sub>H<sub>5</sub>)<sub>2</sub>]<sub>4</sub> 이하 TEMAZ)을 사용하여 커패시터 하부 전극 (270)상에 공급한다. 상기의 전구체는 커패시터 하부 전극 (270)과 원자층으로 반응하여 결합되고 여분의 미반응된 기체가스를 제거하기 위하여 퍼지 가스를 챔버안에 공급한다. 퍼지 가스로는 아르곤 (Ar), 헬륨 (He), 질소 (N<sub>2</sub>) 가스를 사용 한다. 미반응된 전구체 가스를 제거하면, 커패시터 하부 전극 (270)상에 화학 흡착된 전구체가 원자 단층 수준으로 얇게 형성 된다. 이러한 전구체 증착 공정은 250℃ 근방의 낮은 온도에서 전구체가 공급되기 때문에 중형비가 매우 큰 커패시터 구조에서도 내외 및 상부 하부 등 모든 부분에 고르게 증착 된다. 특히 실린더 입구가 막히는 일이 없이 실린더 밑바닥까지 전구체가 고르게 분포되어 스텝 커버리지 문제를 발생 하지 않는다.
- [0115] 다시 챔버를 275℃ 고온으로 유지하며 산화제를 공급하며, 전구체와 결합하여 지르코늄 산화막을 형성한다. 산화제로는 O<sub>2</sub>, O<sub>3</sub>, H<sub>2</sub>O 산화제를 사용한다. 본 실시예에서는 지르코늄 산화막 형성에 있어서는 산화력이 비교적 강한 O<sub>3</sub>을 사용한다. 그러면 전구체 성분안에 있는 탄소나 질소 성분이 완전 산화되어 제거 되고, 지르코늄 산화막이 형성 된다. 잔여 부산물을 제거하기 위해서 퍼지 가스를 공급한다. 이러한 기본 사이클을 기준으로 수십 회를 반복하여 원하는 두께의 지르코늄 산화막을 얻는다. 본 발명에서는 바람직하게 100회에서 150회 사이를 반복하며, 두께로는 100Å에서 150Å 사이의 두께로 형성 한다.
- [0116] 지르코늄 산화막 형성후 상기 지르코늄 산화막상에 지르코늄 산질화막 (보이지 않음)을 형성 복합층으로 형성된 지르코늄 산화막을 형성 커패시터 유전막(278)을 형성 할 수 있다.
- [0117] 상기의 커패시터 유전막(278)은 설명상 편리하게 지르코늄 산화막 (ZrO<sub>2</sub>) 또는 지르코늄 산질화막(ZrOCN)을 가지고 공정을 진행 했지만, 또 다른 커패시터 유전막으로, ZAZ(ZrO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/ZrO<sub>2</sub>), ZAT(ZrO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/TaO<sub>2</sub>), Hf<sub>2</sub>O<sub>3</sub> 등 다양한 고유전율을 갖는 물질을 사용 할 수 있다.
- [0118] 이때 또한, 전구체 가스는 낮은 온도에서 공급하고, 산화제 가스는 높은 온도에서 공급하여 유전막을 형성하면, 중형비가 큰 구조에서 커패시터 유전막이 우수한 스텝 커버리지를 가질 수 있도록 공정을 진행 할 수 있다.
- [0119] 커패시터 유전막(278)상에 커패시터 상부 전극 (280)을 형성 한다. 커패시터 상부 전극 (280) 물질로는 TiN, Ti, TaN, Pt 등의 물질을 사용할 수 있다.
- [0120] 도 25를 참조하면, 상기 커패시터 상부전극 (280) 및 식각 방지막 (165)상에 평탄화 절연막(285)을 형성한다. 평탄화 절연막(285)은 셀 영역 A와 주변 회로 영역 B 사이에 있는 커다란 단차를 해결해주는 물질로 TEOS, HDP 층으로 형성하고, 평탄화 방법도 압력에 따라 연마 정도를 달리하는 (Self-Stopping CMP) 공정을 사용하여 실시 한다.
- [0121] 평탄화후 메탈 콘택을 형성 메탈 플러그 및 금속배선(290)들을 형성하고, 보호막(보이지 않음)을 형성 한다.
- [0122] 상기의 공정으로 진행한 DRAM 반도체 디바이스는 매립형 게이트 전극(225)을 가짐으로, 메모리 셀 영역에 형성 되는 비트라인이 직접 활성 영역과 접촉되면서 비트라인 높이를 줄일 수 있고, 커패시터 패드의 높이를 줄일 수 있어 후속하는 공정의 난이도가 줄어든다.
- [0123] 또한 비트라인 높이가 감소되고 셀 비트라인 로딩캡이 감소되고, 주변회로 영역의 비트라인 저항이 감소되어 전기적인 특성이 좋고 디자인이 쉬워 고성능 DRAM 디바이스가 만들어 진다.

- [0124] 실시예 4
- [0125] 도 26 및 도 42는 본 발명의 다른 실시예로 만드는 매립형 게이트 전극을 갖고 활성 영역과 비트라인이 서로 이격 되었으나 매개물을 통하여 서로 간접 접촉되는 타입의 비트라인을 갖는 BCAT DRAM 반도체 디바이스를 형성 방법을 나타내는 단면도이다.
- [0126] 각 도면은 메모리 셀 영역을 절단한 단면을 A로 나타내고, 주변회로 영역을 절단한 단면을 B로 나타낸다.
- [0127] 각 도a는 절단면을 나타내고, 각 도b는 각 구성 소의 레이아웃을 나타내는 평면도로, 도a는 모든 도면에서 설명이 되나, 도b는 필요한 부분 또는 레이아웃이 크게 바뀌어지는 부분에서만 도시 또는 설명한다.
- [0128] 도 26을 참조하면, 모든 매립형 게이트 전극(60)(또는 워드 라인)은 쌍을 이루어 형성되어 있고, 비트라인(70)은 상기 게이트 전극(70)을 가로질러 게이트 전극과 직각을 이루며 형성 된다.
- [0129] 활성 영역(50)은 비트라인(70)과 직접 접하지 않고 간접적으로 DC를 통해서 공유하는 면(80)을 갖는 형태로 형성된다.
- [0130] 상기와 같이 활성영역(50)과 비트라인(70)이 간접 접촉하면서 전기적으로 연결 될 수 있으므로 돌출 부분을 이용하여 직접 접촉하는 실시예 1, 또는 실시예 2 방식보다 디자인이 간단하고 단순한 공정을 사용 할 수 있다.
- [0131] 도 27a를 참조하면, 반도체 기판 (300)에 소자 분리막(305)을 형성하여, 기판을 활성 영역과 비활성 영역으로 구분한다.
- [0132] 소자 분리막(305) 형성 공정은 STI(shallow trench isolation) 공정을 이용하며, 막은 필요에 따라서 트렌치 형성후 약간의 열산화막을 형성하고 질화막으로 라이너를 형성한후 SOG, CVD, 폴리실라젠, 또는 HDP 공정을 통하여 트렌치를 채우고 평탄화 한다.
- [0133] 반도체 기판 (300)상에 패드 산화막(310)을 형성한다. 패드 산화막 (310)은 열산화막 방식으로 형성하고, 약 50 내지 150 Å 두께로 형성 한다.
- [0134] 패드 산화막 (310) 상부에 하드 마스크막(315)을 형성한다. 하드 마스크막 (315)은 반도체 기판 (300), 패드 산화막 (310)과 식각율이 다른 물질로 사용한다. 예를 들면, 실리콘 질화막으로 사용 할 수 있다.
- [0135] 하드 마스크막(315)에 소정의 패턴을 만들고, 게이트 마스크층 제거후 하드 마스크(315)층을 마스크로 활성영역 (303) 안에 리세스 홀(318)을 형성 한다.
- [0136] 상기 리세스 홀(318)은 매립형 게이트 전극이 형성될 공간으로 필요에 따라서 하부를 둥글게 형성하여 표면적을 크게 할 수 도 있다.
- [0137] 도 27b를 참조하면, 메모리 셀 영역 A를 나타내는 레이아웃이다. 앞에서 언급한 것처럼 메모리 셀 활성 영역 (303)은 돌출 부위를 가지고 있지 않고 간단한 형태로 디자인 된다.
- [0138] 활성 영역(303)을 관통하여 쌍을 이루어 매립형 게이트 전극이 형성 될 리세스 홀(318)이 점선 형태로 도시 되어 있다.
- [0139] 활성 영역 이외의 영역은 비활성 영역(305)으로 소자 분리막으로 각각의 활성 영역을 감싸고 있다.
- [0140] 도 27a는, 도 27b에서 점선으로 표시한 A 영역을 화살표 방향으로 절단하였을 때 나타나는 단면을 표시한 형태로, 주변회로 영역은 레이아웃 영역에서 제외되었다.
- [0141] 도 28a를 참조하면, 반도체 기판(300)을 세정 후 상기 리세스 홀 (318) 공간에 게이트 유전막(320)을 형성한다.
- [0142] 게이트 유전막(320)은 실리콘 산화막(SiO<sub>2</sub>), 하프늄 산화막(HF<sub>2</sub>O), 탄탈륨 산화막(TA<sub>2</sub>O<sub>5</sub>), 또는 ONO (oxide/nitride/oxide) 막을 선택 디바이스가 요구하는 특성을 살려서 형성한다.
- [0143] 상기 게이트 유전막(320) 상에 게이트 전극막(323)을 형성한다. 도면에는 전극막(323) 상부가 단일층으로 도시 되었지만 전극의 특성을 고려하여 폴리 실리컨으로 하부를 형성하고 상부는 금속 실리사이드층을 형성할 수 있다.
- [0144] 또한 필요에 따라서 질화티타늄(TiN), 티타늄/질화티타늄(Ti/TiN), 질화 텅스텐(WN), 텅스텐/질화텅스텐(W/WN),

질화탄탈륨(TaN), 탄탈륨/질화탄탈륨(Ta/TaN), 질화티타늄실리콘(TiSiN), 및 질화텅스텐실리콘(WSiN) 중의 어느 하나와 게이트 유전막(320)과 결합된 게이트 전극(325)을 CVD, 또는 ALD 공정을 통하여 형성 할 수 있다.

[0145] 상기 게이트 전극(325)은 반도체 기판(300) 내부에 매립되는 형태의 BCAT(Buried gate Cell Array Transistor) 구조가 된다.

[0146] 상기 BCAT 구조를 갖는 반도체 소자는 게이트 전극이 기판 내로 완전히 매립됨으로써, 최종 반도체 소자의 높이를 줄일 수 있다. 비트라인을 직접 활성 영역과 접촉하게 형성하여 비트라인 높이를 줄일 수 있다.

[0147] 셀 영역이나 주변회로 영역의 비트라인 형성을 서로 다른 공정으로 진행 할 수 있다. DRAM 메모리 반도체 디바이스를 형성 시 커패시터 플러그를 게이트 전극을 이용한 SAC 공정을 진행하지 않고 직접 낮은 높이로 형성 할 수 있어 공정의 난이도가 매우 낮아진다.

[0148] 도 28b를 참조하면, 활성 영역(303)을 관통하여 형성 되었던 리세스 홀 (318)의 레이아웃이 게이트 전극(325)으로 형성 되었다.

[0149] 도 29a를 참조하면, 하드마스크(315) 및 패드 산화막(310)을 제거하고, 주변회로 영역 B에 사용될 게이트 유전막(327), 게이트 전극막(328), 및 게이트 스페이서(329)을 형성하여 주변회로 영역 B에 게이트 전극(330)을 형성한다.

[0150] 상기 주변회로 영역에 형성된 게이트 전극(330)은 메모리 셀 영역 A의 반도체 기판 내에 사용된 게이트 전극(325)과 같은 공정으로 진행 할 수 있고 필요에 따라서 약간의 변형을 가할 수 있다.

[0151] 상기 게이트 전극(330) 형성 후 반도체 기판에 소오스 드레인 불순물층(332)을 형성 한다.

[0152] 상기 소오스 드레인 불순물층(332) 형성 후 반도체 기판(300) 및 게이트 전극(330)상에 식각 방지막(333)을 형성 한다. 상기 식각 방지막(333)은 질화막으로 CVD 공정으로 100에서 200Å 사이의 두께로 형성 한다.

[0153] 상기 식각 방지막(333) 상에 층간 절연막(335)을 형성한다. 상기 층간 절연막(335)은 산화막으로 CVD 공정으로 1000에서 3000Å 사이의 두께로 형성 후 CMP 또는 에치백(etch back) 공정을 통하여 평탄화 한다.

[0154] 도 30a를 참조하면, 메모리 셀 영역 A에 층간 절연막(335)안에 비트라인을 형성 할 라인 형태(점선) 홀을 형성 하고, 주변회로 영역 B에 주변회로 비트라인이 형성될 콘택 홀을 형성 한다.

[0155] 상기 메모리 셀 영역 A에 형성된 라인 형태(점선) 홀은 비트라인과 활성 영역이 이격되어 있으므로 활성 영역 중간을 절단한 관계로 층간 절연막(335) 후면에 라인 형태로 형성 되어있어 점선으로 표기 되었고 추후 셀 DC를 통해서 활성 영역과 연결되는 비트라인이 된다.

[0156] 주변회로 영역 B에 형성된 콘택 홀은 주변회로 비트라인 기저부위가 된다. 상기 비트라인 콘택 홀 안에 제 1 도전막(340) 및 캡핑 절연막(345)을 형성 한다. 상기 제 1 도전막(340)은 메모리 셀 영역 A에서는 셀 비트라인이 되고, 주변회로 영역 B에서는 주변회로 비트라인 기저부위 DC(direct contact)가 된다.

[0157] 또한 캡핑 절연막(345)은 제 1 도전막의 보호뿐 아니라, 메모리 셀 영역 A에서는 셀 비트라인의 로딩 캡(load cap.) 역할이 됨으로 일정한 두께를 가지고 있어야 하지만, 주변회로 영역 B에서는 주변회로 비트라인 저항을 유발함으로 추후 제거 비트라인을 형성 할 공간이 된다.

[0158] 상기 제 1 도전막은 질화티타늄(TiN), 티타늄/질화티타늄(Ti/TiN), 질화 텅스텐(WN), 텅스텐/질화텅스텐(W/WN), 질화탄탈륨(TaN), 탄탈륨/질화탄탈륨(Ta/TaN), 질화티타늄실리콘(TiSiN), 및 질화텅스텐실리콘(WSiN) 중 하나 또는 복합막으로 구성 한다.

[0159] 가장 많이 사용되는 조합은 티타늄/질화티타늄(Ti/TiN), 또는 텅스텐/티타늄/질화티타늄(W/Ti/TiN)를 사용 한다.

[0160] 도 31a를 참조하면, 상기 메모리 셀 활성영역(303)과 비트라인(340)은 약간 이격 되어 형성되어 있으므로, 활성 영역(303)과 비트라인(340)이 전기적인 연결이 될 수 있는 구조를 만들어주기 위해서 콘택 홀 또는 셀 DC(348)을 형성 한다.

[0161] 셀 DC(348)는 실시예 2에서 활성 영역 또는 비트라인에 있는 돌출부가 서로를 직접 연결하였던 역할을 하는 구조를 만드는 공간이다.

[0162] 도 31b를 참조하면, 비트라인(345)이 게이트 전극(325) 라인을 가로질러 형성되고, 비트라인(345)과 활성영역

(303)이 직접 접촉하지 않기 때문에 전기적인 연결고리를 형성하기 위해서 DC(348)가 형성 되었다.

- [0163] 절단선 화살표가 활성영역(303)과 비트라인(345)의 이격된 사이를 지나 DC(348)중앙을 지난다. 앞에서 언급했듯이 이격된 사이를 절단하였기 때문에 셀 영역 A에서는 비트라인이 층간 절연막에 의해서 보이지 않기 때문에 사선으로 표시되고, DC(348) 중앙이 절단되어 홀이 형성 된다.
- [0164] 도 32a를 참조하면, 도 31a에서 셀 DC(348) 영역을 90°로 방향을 바꾸어 절단한 단면도 이다.
- [0165] 셀 비트라인 구조(340, 345)는 층간 절연막 (335)에 의해서 서로 이격되어있고, 셀 비트라인(340)은 소자 분리막(305)상을 지나감으로 활성 영역인 반도체 기관(300)과 접촉되지 않는다.
- [0166] 이러한 구조를 전기적으로 연결하는 구조를 만들어주기 위해서 동지형 콘택(nested contact) DC(348)가 형성 되었다.
- [0167] 도 32b를 참조하면, 도 31b에서 절단면의 방향이 90° 바뀐 상태를 나타내고 있다.
- [0168] 도 33a를 참조하면, 상기 동지형 콘택(nested contact)에 제 2 도전막을 채운 DC(350)가 셀 비트라인과 활성영역을 전기적으로 연결되게 한다.
- [0169] 상기 제 2 도전막은 제 1 도전막과 같은 질화티타늄(TiN), 티타늄/질화티타늄(Ti/TiN), 질화 텅스텐(WN), 텅스텐/질화텅스텐(W/WN), 질화탄탈륨(TaN), 탄탈륨/질화탄탈륨(Ta/TaN), 질화티타늄실리콘(TiSiN), 및 질화텅스텐실리콘(WSiN) 중 하나 또는 복합막으로 구성 한다.
- [0170] 또는 불순물이 함유된 폴리 실리콘으로 채울 수도 있다.
- [0171] 도 33b를 참조하면, DC안을 제 2 도전막(350)으로 채운 것을 나타내고 있다.
- [0172] 도 34a를 참조하면, 도 33a 공정을 다시 90° 방향으로 원위치 시켜선 본 절단면이다. 상기 메모리 셀 영역 A에 형성된 비트라인(점선)은 비트라인과 활성영역이 이격되어 있으므로 그 중간을 절단한 관계로 층간 절연막(335) 후면에 라인 형태로 형성 되어있어 점선으로 표기 되었고 셀 DC(350)를 통해서 활성 영역과 연결되는 라인 형태의 비트라인이 된다.
- [0173] 주변회로 영역 B에 형성된 콘택 홀은 제 1 도전막(340) 및 캡핑 절연막(345)으로 채워져 있다. 상기 제 1 도전막(340)은 메모리 셀 영역 A에서는 셀 비트라인이 되고, 주변회로 영역 B에서는 주변회로 비트라인 기저부 DC(direct contact)가 되었다.
- [0174] 도 34b를 참조하면, 도 33b에서 절단선을 다시 90° 방향으로 원위치 시켜 나타내고 있다.
- [0175] 도 35a를 참조하면, 메모리 셀 영역 A의 소오스 불순물층(332)과 접하여 커패시터 전극패드가 형성될 공간에 BC 홀 (353)을 형성 한다.
- [0176] 도면은 BC 홀(353')을 점선 처리한 것은 실시예 1에서 도 6의 레이아웃처럼 활성 영역을 배치했을 때 발생 할 수 있는 BC의 위치 및 후후 커패시터 구조를 감안하여 도식의 편리상 일직선이 아닌 경우도 포함하기 위해서 실선을 처리하지 않았다.
- [0177] 도 36a를 참조하면, 상기 BC(353) 안에 산화막 또는 질화막으로 스페이서(355)를 형성한다. 상기 BC 스페이서(355)는 제 1 도전막(340)과 격리 될 수 있도록 하기 위해서 형성한다.
- [0178] 상기 BC 스페이서(355) 형성후 BC 안에 제 3 도전막(360)을 형성 한다. 상기 제 3 도전막(360)은 커패시터 전극패드가 됨으로 불순물이 함유된 폴리 실리콘으로 CVD 공정을 통하여 형성 한다.
- [0179] 도 37a를 참조하면, 층간 절연막 (335) 및 커패시터 콘택 패드가 될 제 3 도전막(360)상에 식각 방지막(365)을 형성 한다. 상기 식각 방지막 (365)은 실리콘 질화막으로 CVD 공정으로 진행한다.
- [0180] 상기 식각 방지막상에 감광액을 도포 후 주변회로 영역 B의 제 1 도전막(340)상의 캡핑 절연막(345) 상부가 개구되는 홀(369)을 갖는 마스크(368)를 형성 한다.
- [0181] 도 38a를 참조하면, 상기 마스크(368)를 이용하여 제 1 도전막(340)상의 캡핑 절연막(345)을 식각 제거 한다.
- [0182] 상기 마스크(368)를 제거하고 다마싱 공정을 통하여 캡핑 절연막(345)이 제거된 공간에 제 4 도전막(370)을 형성 한다. 상기 제 4 도전막(370)은 주변회로 영역의 비트라인이 된다. 그리고 주변회로 비트라인 특성상 재질은 구리 또는 전도성이 좋은 물질로 형성 한다.

- [0183] 도 39a를 참조하면, 상기 식각 방지막 (365)상에 몰드막 (372)을 형성한다. 상기 몰드막 (372)은 통상적으로 10000에서 20000Å 사이의 값으로 형성한다. 상기 몰드막 (372)은 산화막으로 CVD 공정으로 진행 한다. 상기 몰드막 (372)은 도면에는 단일층으로 도시 되었지만 식각율이 상이한 다수의 층으로 형성 할 수 있다.
- [0184] 상기 몰드막 (372)을 증착 후 사진 식각 공정에 필요한 마스크층(보이지 않음)을 형성 한다. 통상의 사진 식각 공정을 통하여 상기 커패시터 패드 (360)상부에 접하게 커패시터 하부 전극 홀(373)을 형성 한다. 상기 몰드막 (372) 식각은 건식 식각을 이용하고 식각 방지막 (365)을 식각 종점으로 사용한다.
- [0185] 도 40을 참조하면, 상기 커패시터 패드 (360) 상의 식각 방지막 (365)을 제거 후 마스크층을 제거하고 커패시터 하부 전극 홀(373)안에 커패시터 하부 전극층 (375)을 형성한다. 상기 커패시터 하부 전극층 (375) 물질로는 TiN, Ti, TaN, Pt 등의 물질을 사용할 수 있다. 상기 커패시터 하부 전극층 (375)은 커패시터 패드(360)와 잘 접촉되어야하고 식각 방지막층 (365)이 충분한 두께가 있어서 추후 전극 분리 후 몰드막(372) 제거시 커패시터 하부 전극층 (375)이 떨어지거나 넘어지지 않도록 지지해주어야 한다.
- [0186] 상기 커패시터 하부 전극층 (375)상에 매립막 (보이지 않음)을 형성 한다. 매립막 (보이지 않음)은 깎필 능력이 좋은 TOZ로 형성한다. 또는 유기 물질등 몰드막과 식각율이 다른 물질을 사용 추후 몰드막 (372) 제거 공정 시 커패시터 하부 전극(375)이 떨어지지 않도록 하는 것이 디바이스 불량률 줄이는데 좋다.
- [0187] 상기 매립막 (보이지 않음)을 에치백 공정을 통하여 평탄화하면서 동시에 커패시터 하부 전극 (375) 상층부를 제거하여 전극을 분리시킨다. 전극 분리 공정은 습식 에치백 (etch back) 공정으로 진행 한다.
- [0188] 전극 분리시 전극 끝 부분이 뾰족하지 않게 형성 될 수 있도록 매립막(보이지 않음)을 약간 깊게 습식 식각 제거후 전극 물질도 약간의 습식 식각을 실시하여 라운드를 주어야 한다. 전극 끝 부분이 뾰족하게 되면 추후 형성되는 커패시터 유전막이 끊어지는 현상이 발생하여 전극 리키지가 발생한다.
- [0189] 이후, LAL 리프트-오프 (lift-off) 공정을 통하여 몰드층 (372)과 매립막 (보이지 않음)을 제거 한다. 상기 몰드층 (372)과 매립막 제거 시 인접 전극들이 서로 붙지 않도록 세심한 주의가 필요하다.
- [0190] 일반적으로 인접하는 전극이 붙지 않거나 쓰러지지 않도록 전극 상호간에 구조물을 설치하여 보호 한다. 사다리 형태의 구조물을 설치하거나 링 형태의 절연막 구조물을 설치 넘어져도 전기적으로 연결되지 않는 구조를 설치 할 수 있다.
- [0191] 도 41을 참조하면, 상기 커패시터 하부 전극 (375)상에 커패시터 유전막(380)으로 사용되는 지르코늄 산화막을 형성한다. 형성하는 방법은, 원자층 증착 챔버안에 지르코늄막을 형성하기 위한 전구체로, 테트라키스 디에틸아미노 지르코늄(Tetrakis-ethylmethylamino zirconim, Zr [N (C2H5)2] 4 이하 TEMAZ)을 사용하여 커패시터 하부 전극 (375)상에 공급한다. 상기의 전구체는 커패시터 하부 전극 (375)과 원자층으로 반응하여 결합되고 여분의 미반응된 기체가스를 제거하기 위하여 퍼지 가스를 챔버안에 공급한다. 퍼지 가스로는 아르곤 (Ar), 헬륨 (He), 질소 (N2) 가스를 사용 한다. 미반응된 전구체 가스를 제거하면, 커패시터 하부 전극 (375)상에 화학 흡착된 전구체가 원자 단층 수준으로 얇게 형성 된다. 이러한 전구체 증착 공정은 250℃ 근방의 낮은 온도에서 전구체가 공급되기 때문에 종횡비가 매우 큰 커패시터 구조에서도 내외 및 상부 하부 등 모든 부분에 고르게 증착 된다. 특히 실린더 입구가 막히는 일이 없이 실린더 밑바닥까지 전구체가 고르게 분포되어 스텝 커버리지 문제를 발생 하지 않는다.
- [0192] 다시 챔버를 275℃ 고온으로 유지하며 산화제를 공급하며, 전구체와 결합하여 지르코늄 산화막을 형성한다. 산화제로는 O2, O3, H2O 산화제를 사용한다. 본 실시예에서는 지르코늄 산화막 형성에 있어서는 산화력이 비교적 강한 O3을 사용한다. 그러면 전구체 성분안에 있는 탄소나 질소 성분이 완전 산화되어 제거 되고, 지르코늄 산화막이 형성 된다. 잔여 부산물을 제거하기 위해서 퍼지 가스를 공급한다. 이러한 기본 사이클을 기준으로 수십 회를 반복하여 원하는 두께의 지르코늄 산화막을 얻는다. 본 발명에서는 바람직하게 100회에서 150회 사이를 반복하며, 두께로는 100Å에서 150Å 사이의 두께로 형성 한다.
- [0193] 지르코늄 산화막 형성후 상기 지르코늄 산화막상에 지르코늄 산질화막 (보이지 않음)을 형성 복합층으로 형성된 지르코늄 산화막을 형성 커패시터 유전막(380)을 형성 할 수 있다.
- [0194] 상기의 커패시터 유전막(380)은 설명상 편리하게 지르코늄 산화막 (ZrO2) 또는 지르코늄 산질화막(ZrOCN)을 가지고 공정을 진행 했지만, 또 다른 커패시터 유전막으로, ZAZ(ZrO2/Al2O3/ZrO2), ZAT(ZrO2/Al2O3/TaO2), Hf2O3 등 다양한 고유전율을 갖는 물질을 사용 할 수 있다.
- [0195] 이때 또한, 전구체 가스는 낮은 온도에서 공급하고, 산화제 가스는 높은 온도에서 공급하여 유전막을 형성하면,

중형비가 큰 구조에서 커패시터 유전막이 우수한 스텝 커버리지를 가질 수 있도록 공정을 진행 할 수 있다.

- [0196] 커패시터 유전막(380)상에 커패시터 상부 전극 (385)을 형성 한다. 커패시터 상부 전극 (385) 물질로는 TiN, Ti, TaN, Pt 등의 물질을 사용할 수 있다.
- [0197] 도 42를 참조하면, 상기 커패시터 상부 전극 (385) 및 식각 방지막 (365)상에 평탄화 절연막(390)을 형성한다. 평탄화 절연막(390)은 셀 영역 A와 주변 회로 영역 B 사이에 있는 커다란 단차를 해결해주는 물질로 TEOS, HDP 층으로 형성하고, 평탄화 방법도 압력에 따라 연마 정도를 달리하는 (Self-Stopping CMP) 공정을 사용하여 실시 한다.
- [0198] 평탄화후 메탈 콘택을 형성 메탈 플러그 및 금속배선(395)들을 형성하고, 보호막(보이지 않음)을 형성 한다.
- [0199] 상기의 공정으로 진행한 DRAM 반도체 디바이스는 매립형 게이트 전극(325)을 가짐으로, 메모리 셀 영역에 형성 되는 비트라인이 직접 활성 영역과 접촉되면서 비트라인 높이를 줄일 수 있고, 커패시터 패드의 높이를 줄일 수 있어 후속하는 공정의 난이도가 줄어들고, 주변회로 영역에서 비트라인을 다마싱 공정으로 진행하여 저항이 좋은 재질을 사용하거나, 비트라인이 쓰러지는 문제점이 발생하지 않는다.
- [0200] 또한 비트라인 높이가 감소되고 셀 비트라인 로딩캡이 감소되고, 주변회로 영역의 비트라인 저항이 감소되어 전기적인 특성이 좋고 디자인이 쉬워 고성능 DRAM 디바이스가 만들어 진다.

[0201] 실시예 5

- [0202] 도 43 및 48은 본 발명의 다른 실시예로 만드는 매립형 게이트 전극을 갖고 활성 영역과 비트라인이 서로 직접 접촉되지 않는 타입의 비트라인을 갖는 BCAT DRAM 반도체 디바이스를 형성 방법을 나타내는 단면도이다.
- [0203] 모든 기본적인 방법은 실시예 4과 동일하나 주변회로 영역의 비트라인을 다마싱 공정이 아니라 일반적인 식각 및 도전막 형성 방법으로 진행하는 경우이다.
- [0204] 발명의 설명은 실시예 4와 동일한 부분은 생략하고 차이 나는 부분부터 도면을 시작하여 설명하겠다.
- [0205] 도 43을 참조하면, 실시예 4의 도 27a 및 도 36a과 같은 공정을 진행한 반도체 기판(400)상의 층간 절연막(435) 및 제 3 도전막(455)상에 감광액을 도포하고, 주변회로 영역 B의 제 1 도전막(440)상의 캡핑 절연막(445) 상부가 개구되는 홀(463)을 갖는 마스크(462)를 형성 한다.
- [0206] 도 44를 참조하면, 상기 마스크(462)를 이용하여 제 1 도전막(440)상의 캡핑 절연막(445)을 식각 제거 한다.
- [0207] 상기 마스크(462)를 제거하고 금속 박막을 형성하는 PVD 또는 CVD 공정을 통하여 캡핑막이 제거된 공간에 제 4 도전막(465)을 형성 한다. 상기 제 4 도전막(465)은 주변회로 영역의 비트라인이 된다. 상기 주변회로 비트라인의 재질은 텅스텐 또는 전도성이 좋은 물질로 형성 한다.
- [0208] 상기 층간 절연막 (435) 및 커패시터 패드가 될 제 3 도전막(455)상에 식각 방지막(470)을 형성 한다. 상기 식각 방지막 (470)은 실리콘 질화막으로 CVD 공정으로 진행한다.
- [0209] 도 45를 참조하면, 상기 식각 방지막 (470)상에 몰드막 (472)을 형성한다. 상기 몰드막 (472)은 통상적으로 10000에서 20000Å 사이의 값으로 형성한다. 상기 몰드막 (472)은 산화막으로 CVD 공정으로 진행 한다. 상기 몰드막 (472)은 도면에는 단일층으로 도시 되었지만 식각율이 상이한 다수의 층으로 형성 할 수 있다.
- [0210] 상기 몰드막 (472)을 증착 후 사진 식각 공정에 필요한 마스크층(보이지 않음)을 형성 한다. 통상의 사진 식각 공정을 통하여 상기 커패시터 콘택 패드 (460)상부에 접하게 커패시터 하부 전극 홀(473)을 형성 한다. 상기 몰드막 (472) 식각은 건식 식각을 이용하고 식각 방지막 (470)을 식각 종점으로 사용한다.
- [0211] 도 46을 참조하면, 상기 커패시터 패드 (460) 상의 식각 방지막 (470)을 제거 후 마스크층을 제거하고 커패시터 하부 전극 홀(473)안에 커패시터 하부 전극층 (475)을 형성한다. 상기 커패시터 하부 전극층 (475) 물질로는 TiN, Ti, TaN, Pt 등의 물질을 사용할 수 있다. 상기 커패시터 하부 전극층 (475)은 커패시터 패드(460)와 잘 접촉되어야하고 식각 방지막층 (470)이 충분한 두께가 있어서 추후 전극 분리 후 몰드막(472) 제거 시 커패시터 하부 전극층 (475)이 떨어지거나 넘어지지 않도록 지지해주어야 한다.
- [0212] 상기 커패시터 하부 전극층 (475)상에 매립막 (보이지 않음)을 형성 한다. 매립막 (보이지 않음)은 깎필 능력이 좋은 TO2S로 형성한다. 또는 유기 물질등 몰드막과 식각율이 다른 물질을 사용 추후 몰드막 (472) 제거 공정



시 커패시터 하부 전극(475)이 떨어지지 않도록 하는 것이 디바이스 불량을 줄이는데 좋다.

- [0213] 상기 매립막 (보이지 않음)을 에치백 공정을 통하여 평탄화하면서 동시에 하부 전극 (475) 상층부를 제거하여 전극을 분리시킨다. 전극 분리 공정은 습식 에치백 (etch back) 공정으로 진행 한다.
- [0214] 전극 분리시 전극 끝 부분이 뾰족하지 않게 형성 될 수 있도록 매립막(보이지 않음)을 약간 깊게 습식 식각 제거 후 전극 물질도 약간의 습식 식각을 실시하여 라운드를 주어야 한다. 전극 끝 부분이 뾰족하게 되면 추후 형성되는 캐패시터 유전막이 끊어지는 현상이 발생하여 전극 리키지가 발생한다.
- [0215] 이후, LAL 리프트-오프 (lift-off) 공정을 통하여 몰드층 (472)과 매립막 (보이지 않음)을 제거 한다. 상기 몰드층 (472)과 매립막 제거 시 인접 전극들이 서로 붙지 않도록 세심한 주의가 필요하다.
- [0216] 일반적으로 인접하는 전극이 붙지 않거나 쓰러지지 않도록 전극 상호간에 구조물을 설치하여 보호 한다. 사다리 형태의 구조물을 설치하거나 링 형태의 절연막 구조물을 설치 넘어져도 전기적으로 연결되지 않는 구조를 설치 할 수 있다.
- [0217] 도 47을 참조하면, 상기 커패시터 하부 전극 (475)상에 커패시터 유전막(480)으로 사용되는 지르코늄 산화막을 형성한다. 형성하는 방법은, 원자층 증착 챔버안에 지르코늄을 형성하기 위한 전구체로, 테트라키스 디에틸아미노 지르코늄(Tetrakis-ethylmethylamino zirconim, Zr [N (C<sub>2</sub>H<sub>5</sub>)<sub>2</sub>]<sub>4</sub> 이하 TEMAZ)을 사용하여 커패시터 하부 전극 (475)상에 공급한다. 상기의 전구체는 커패시터 하부전극 (475)과 원자층으로 반응하여 결합되고 여분의 미반응된 기체가스를 제거하기 위하여 퍼지 가스를 챔버안에 공급한다. 퍼지 가스로는 아르곤 (Ar), 헬륨 (He), 질소 (N<sub>2</sub>) 가스를 사용 한다. 미반응된 전구체 가스를 제거하면, 커패시터 하부전극 (475)상에 화학 흡착된 전구체가 원자 단층 수준으로 얇게 형성 된다. 이러한 전구체 증착 공정은 250℃ 근방의 낮은 온도에서 전구체가 공급되기 때문에 중형비가 매우 큰 커패시터 구조에서도 내외 및 상부 하부 등 모든 부분에 고르게 증착 된다. 특히 실린더 입구가 막히는 일이 없이 실린더 밑바닥까지 전구체가 고르게 분포되어 스텝 커버리지 문제를 발생 하지 않는다.
- [0218] 다시 챔버를 275℃ 고온으로 유지하며 산화제를 공급하며, 전구체와 결합하여 지르코늄 산화막을 형성한다. 산화제로는 O<sub>2</sub>, O<sub>3</sub>, H<sub>2</sub>O 산화제를 사용한다. 본 실시예에서는 지르코늄 산화막 형성에 있어서는 산화력이 비교적 강한 O<sub>3</sub>을 사용한다. 그러면 전구체 성분안에 있는 탄소나 질소 성분이 완전 산화되어 제거 되고, 지르코늄 산화막이 형성 된다. 잔여 부산물을 제거하기 위해서 퍼지 가스를 공급한다. 이러한 기본 사이클을 기준으로 수십 회를 반복하여 원하는 두께의 지르코늄 산화막을 얻는다. 본 발명에서는 바람직하게 100회에서 150회 사이를 반복하며, 두께로는 100Å에서 150Å 사이의 두께로 형성 한다.
- [0219] 지르코늄 산화막 형성후 상기 지르코늄 산화막상에 지르코늄 산질화막 (보이지 않음)을 형성 복합층으로 형성된 지르코늄 산화막을 형성 커패시터 유전막(480)을 형성 할 수 있다.
- [0220] 상기의 커패시터 유전막(480)은 설명상 편리하게 지르코늄 산화막 (ZrO<sub>2</sub>) 또는 지르코늄 산질화막(ZrOCN)을 가지고 공정을 진행 했지만, 또 다른 커패시터 유전막으로, ZAZ(ZrO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/ZrO<sub>2</sub>), ZAT(ZrO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/TaO<sub>2</sub>), Hf<sub>2</sub>O<sub>3</sub> 등 다양한 고유전율을 갖는 물질을 사용 할 수 있다.
- [0221] 이때 또한, 전구체 가스는 낮은 온도에서 공급하고, 산화제 가스는 높은 온도에서 공급하여 유전막을 형성하면, 중형비가 큰 구조에서 커패시터 유전막이 우수한 스텝 커버리지를 가질 수 있도록 공정을 진행 할 수 있다.
- [0222] 커패시터 유전막(480)상에 커패시터 상부 전극 (485)을 형성 한다. 커패시터 상부 전극 (485) 물질로는 TiN, Ti, TaN, Pt 등의 물질을 사용할 수 있다.
- [0223] 도 25를 참조하면, 상기커패시터 상부 전극 (485) 및 식각 방지막 (470)상에 평탄화 절연막(490)을 형성한다. 평탄화 절연막(490)은 셀 영역 A와 주변 회로 영역 B 사이에 있는 커다란 단차를 해결해주는 물질로 TEOS, HDP 층으로 형성하고, 평탄화 방법도 압력에 따라 연마 정도를 달리하는 (Self-Stopping CMP) 공정을 사용하여 실시 한다.
- [0224] 평탄화후 메탈 콘택을 형성 메탈 플러그 및 금속배선(495)들을 형성하고, 보호막(보이지 않음)을 형성 한다.
- [0225] 상기의 공정으로 진행한 DRAM 반도체 디바이스는 매립형 게이트 전극(425)을 가짐으로, 메모리 셀 영역에 형성 되는 비트라인이 직접 활성 영역과 접촉되면서 비트라인 높이를 줄일 수 있고, 커패시터 패드의 높이를 줄일 수 있어 후속하는 공정의 난이도가 줄어든다.
- [0226] 또한 비트라인 높이가 감소되고 셀 비트라인 로딩캡이 감소되고, 주변회로 영역의 비트라인 저항이 감소되어 전

기적인 특성이 좋고 디자인이 쉬워 고성능 DRAM 디바이스가 만들어 진다.

[0227] 실시예 6

[0228] 도 49는 매립형 게이트 전극을 갖고 활성 영역의 돌출부와 비트라인의 돌출부가 서로 직접 접촉되는 타입의 비트라인을 갖는 BCAT DRAM을 채용한 시스템 실시예를 도시한 블록다이어그램이다.

[0229] 도 49를 참조하면, 상기 메모리(520)는 컴퓨터 시스템(500) 내에 있는 CPU(central processing unit, 510)과 연결되어 있으며 매립형 게이트 전극을 갖고 활성 영역의 돌출부와 비트라인의 돌출부가 서로 직접 접촉되는 타입의 비트라인을 갖는 BCAT DRAM 메모리이다. 상기와 같은 컴퓨터 시스템은 DRAM 메모리를 사용하는 매체로 사용하는 노트북 PC 또는 일반적으로 DRAM 메모리가 사용되는 데스크톱 PC 또는 메모리가 필요하고 CPU가 장착된 전자기기가 될 수 있다. 그리고 메모리(520)가 내장되어 데이터를 저장하고 기능을 컨트롤하는 디지털 제품군들 또한 시스템(500)이 될 수 있다. 상기 메모리(520)는 바로 CPU(510)와 연결될 수 있고 버스(BUS) 등을 통해서 연결 될 수 있다.

### 산업이용 가능성

[0230] 상기 설명한 것과 같이, 매립형 게이트 전극을 갖고 활성 영역의 돌출부와 비트라인의 돌출부가 서로 직접 접촉되는 타입의 비트라인, 또는 매개체 구조를 통한 비트라인과 활성 영역이 전기적으로 접촉되는 비트라인을 갖는 BCAT DRAM은, 메모리 셀 영역에 형성되는 비트라인이 직접 또는 간접으로 활성 영역과 접촉되면서 비트라인 높이를 줄일 수 있고, 커패시터 패드의 높이를 줄일 수 있어 후속하는 공정의 난이도가 줄어든다.

[0231] 또한 비트라인 높이가 감소됨으로 셀 비트라인 로딩 캡이 감소되고, 주변회로 영역은 셀 비트라인과 다르게 비트라인 재질을 다르게 형성 비트라인 저항이 감소되어 전기적인 특성이 좋고 디자인이 쉬워 고성능 DRAM 디바이스가 만들어 진다.

[0232] 또한 상기의 구조를 갖는 트랜지스터를 이용하여 만든 DRAM를 시스템에 적용하여 성능이 매우 좋은 디지털 제품을 구현 할 수 있다.

[0233] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명했지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경 시킬 수 있음을 이해할 수 있을 것이다.

### 도면의 간단한 설명

[0234] 도 1은 일반적인 기술로 만들어진 BCAT 구조를 갖는 반도체 장치.

[0235] 도 2 및 도 6은 본 발명의 기술로 BCAT 구조를 갖도록 레이아웃 하는 방법.

[0236] 도 7a 및 도 19는 본발명의 실시예를 통하여 BCAT를 갖는 DRAM를 만드는 제조방법을 나타내는 단면도.

[0237] 도 20 및 도 25는 본발명의 다른 실시예를 통하여 BCAT를 갖는 DRAM를 만드는 제조방법을 나타내는 단면도.

[0238] 도 26 및 42는 본 발명의 또 다른 실시예에서 만들어진 BCAT를 갖는 DRAM를 만드는 제조 방법을 나타내는 단면도.

[0239] 도 43 및 48은 본 발명의 또 다른 실시예에서 만들어진 BCAT를 갖는 DRAM를 만드는 제조 방법을 나타내는 단면도.

[0240] 도 49는 본 발명에 의해서 만들어진 메모리를 사용하는 시스템 블록다이어그램.

[0241] < 도면의 주요 부분에 대한 부호의 설명 >

[0242] 100, 200, 300 400: 반도체 기판

[0243] 105, 205, 305, 405: 소자 분리막

[0244] 110, 210, 310 : 패드 산화막 115, 215, 315: 하드 마스크

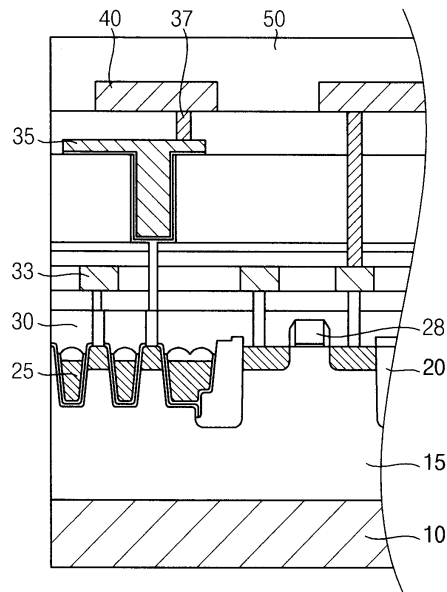
[0245] 125, 225, 325, 425: 매립 게이트 전극

[0246] 130, 230, 330, 430: 게이트 전극

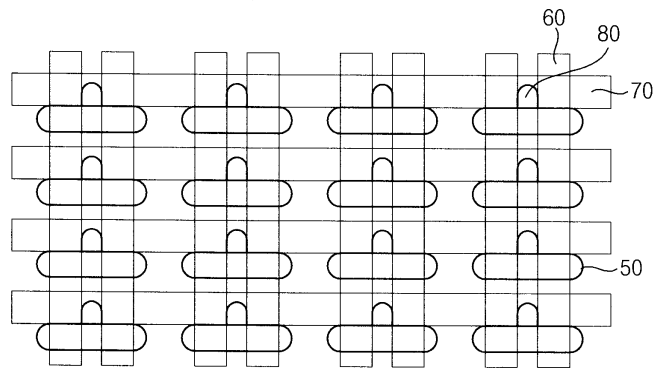
- [0247] 140, 240, 340, 440: 제 1 도전막
- [0248] 145: 245: 345, 445: 캡핑 절연막
- [0249] 132, 232, 332, 432: 소오스 드레인 불순물
- [0250] 135, 235, 335, 435: 층간 절연막
- [0251] 150, 250, 355, 455: BC 측벽 스페이서
- [0252] 155, 255, 360, 460: 하부 전극 패드
- [0253] 160, 265, 365, 470: 식각 방지막
- [0254] 170, 270, 375, 475: 하부 전극
- [0255] 175, 275, 380, 480: 커패시터 유전막
- [0256] 180, 280, 385, 485: 상부 전극
- [0257] 185, 285, 390, 490: 평탄화 절연막
- [0258] 190, 290, 395, 496: 금속 배선
- [0259] 510: 메모리            520: CPU

**도면**

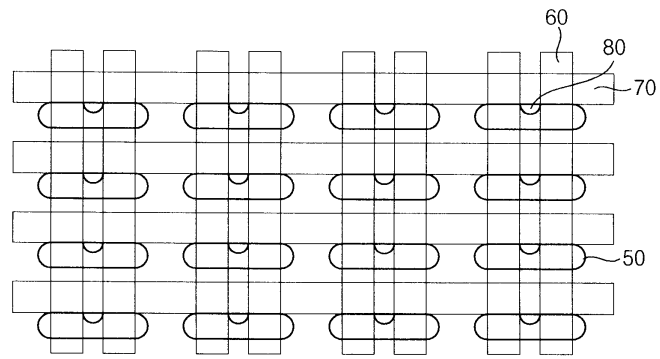
**도면1**



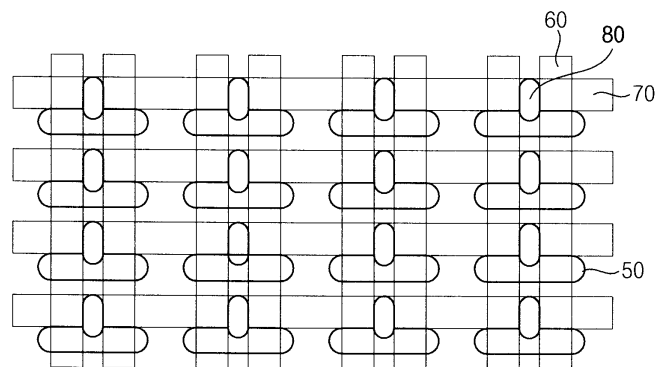
도면2



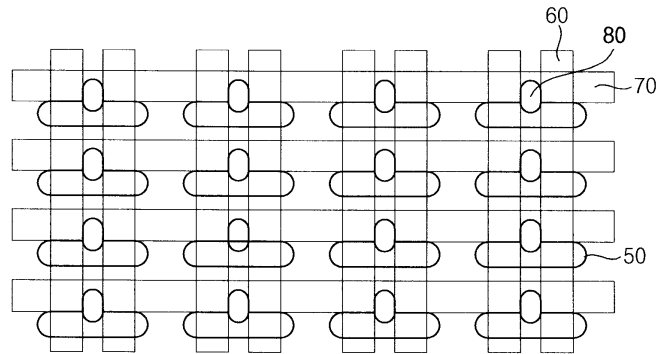
도면3



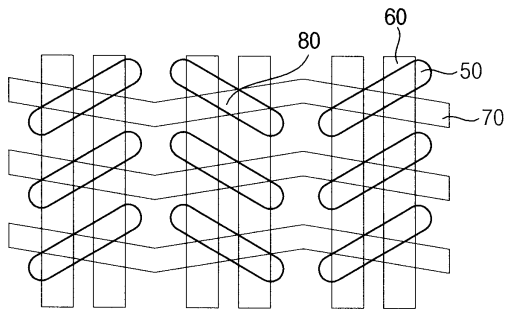
도면4



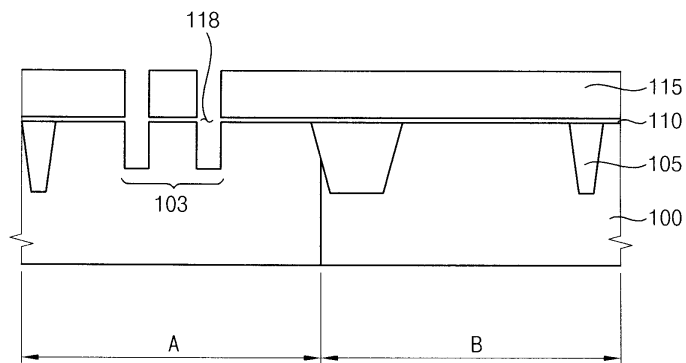
도면5



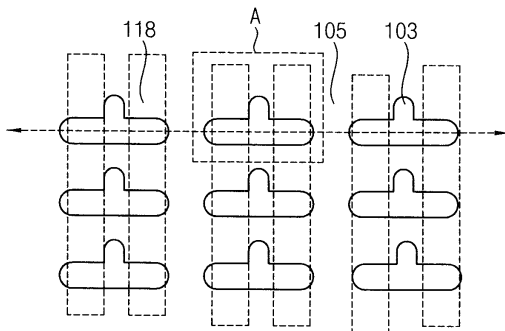
도면6



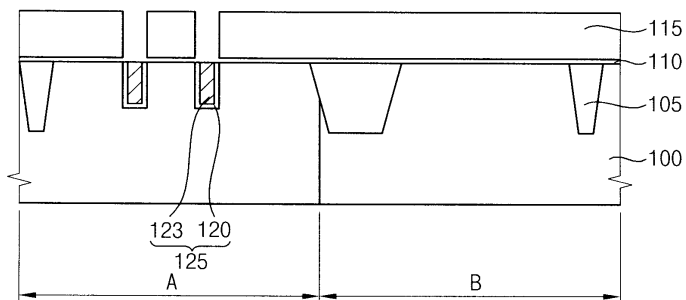
도면7a



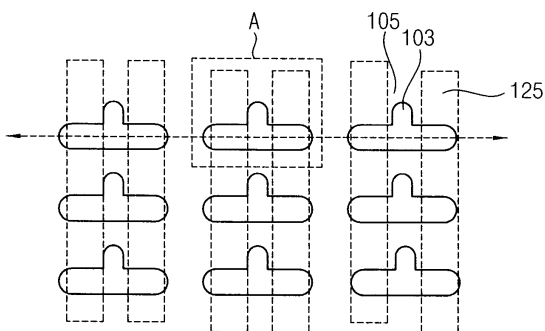
도면7b



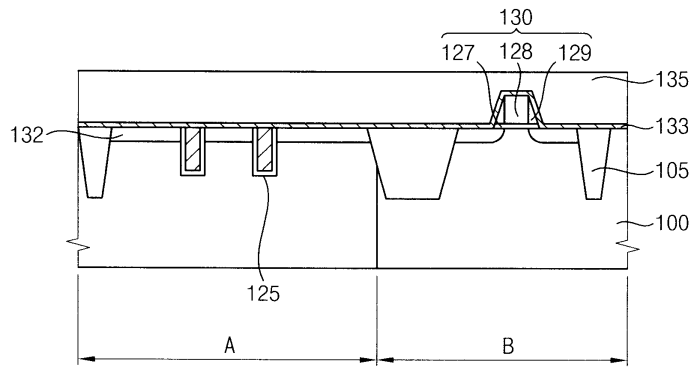
도면8a



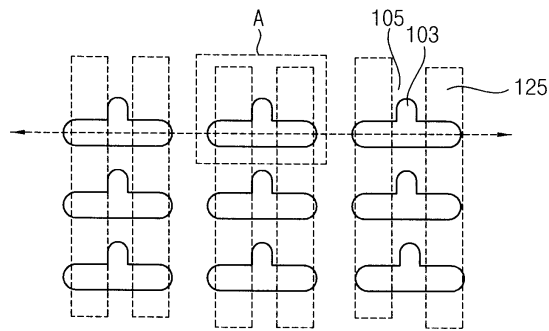
도면8b



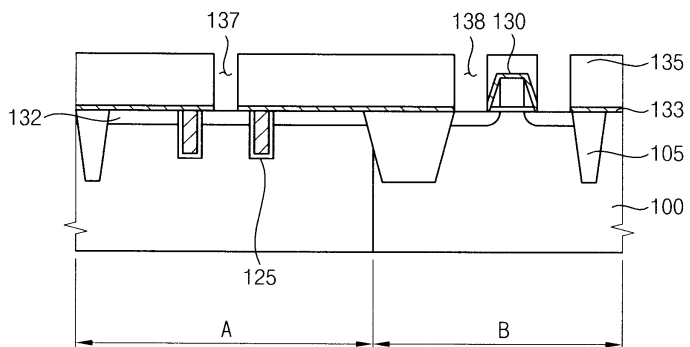
도면9a



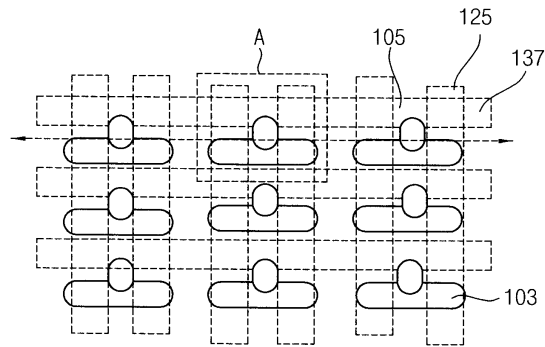
도면9b



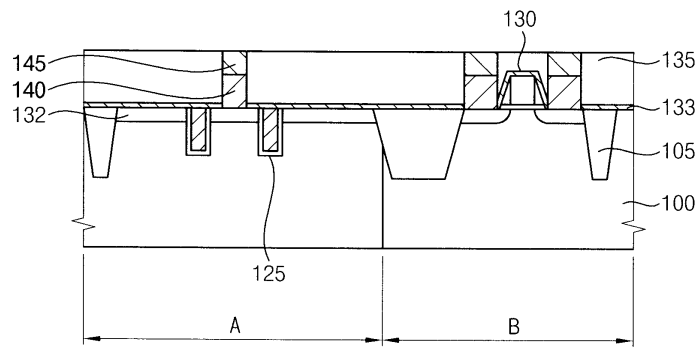
도면10a



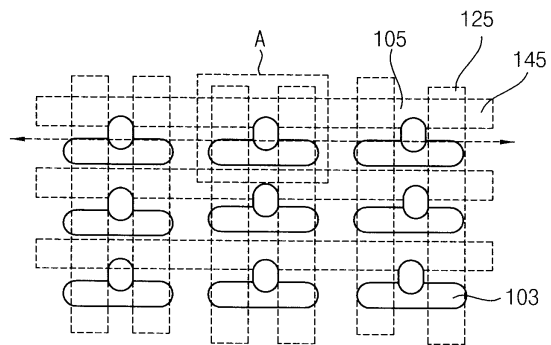
도면10b



도면11a

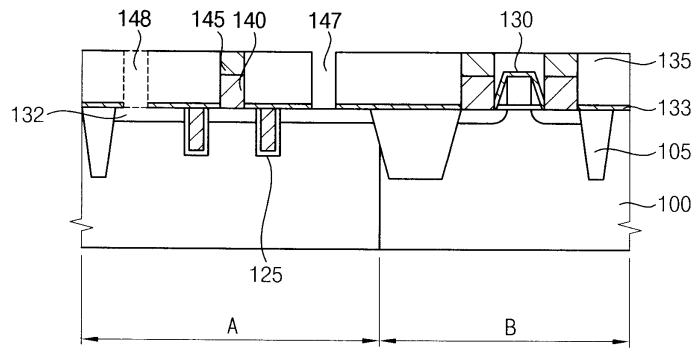


도면11b

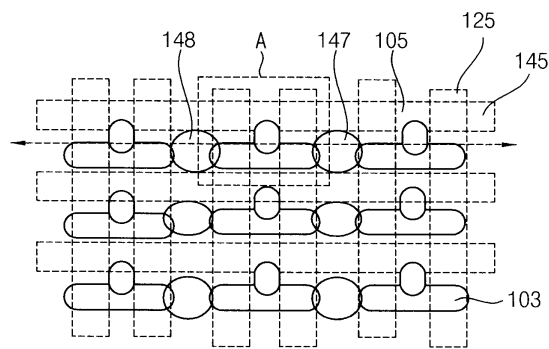




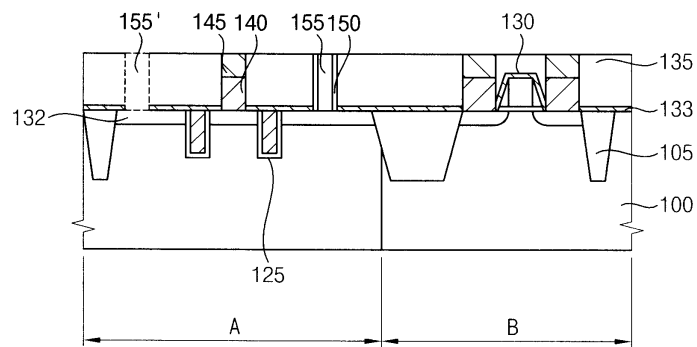
도면12a



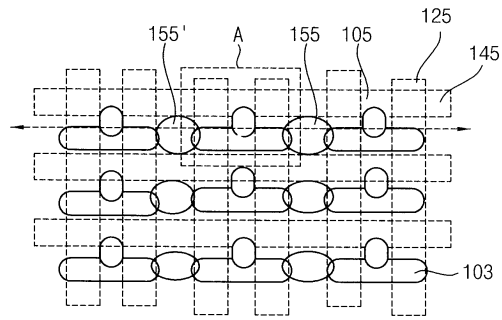
도면12b



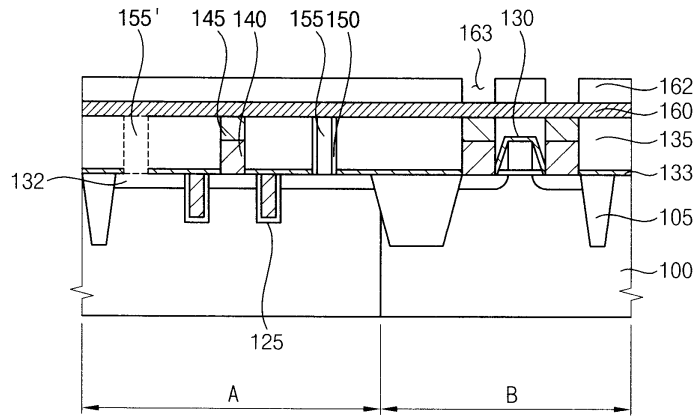
도면13a



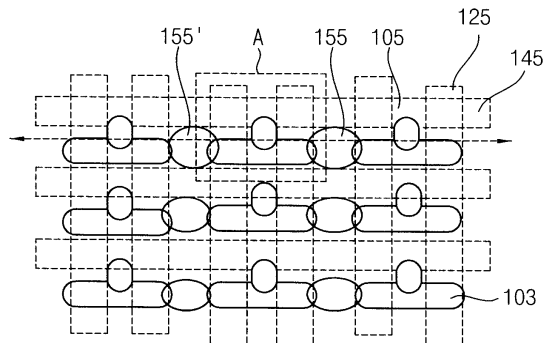
도면13b



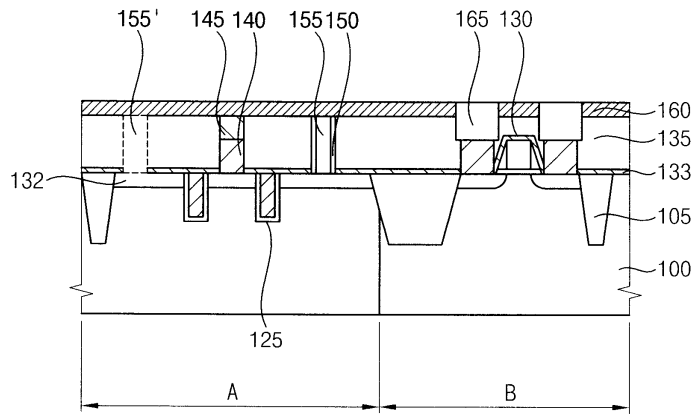
도면14a



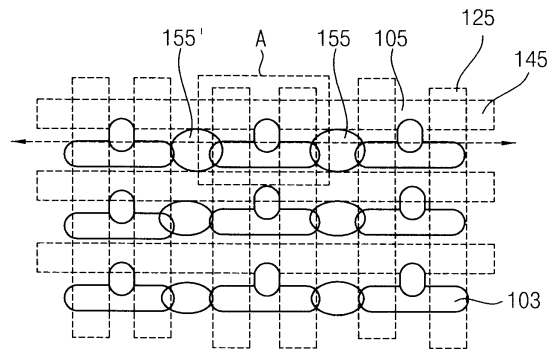
도면14b



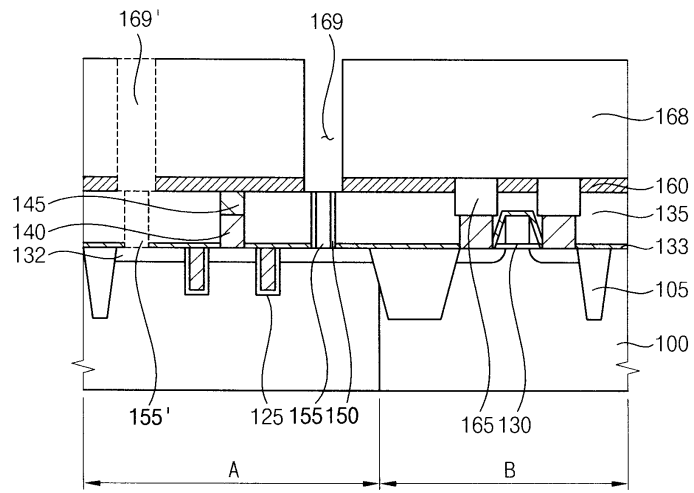
도면15a



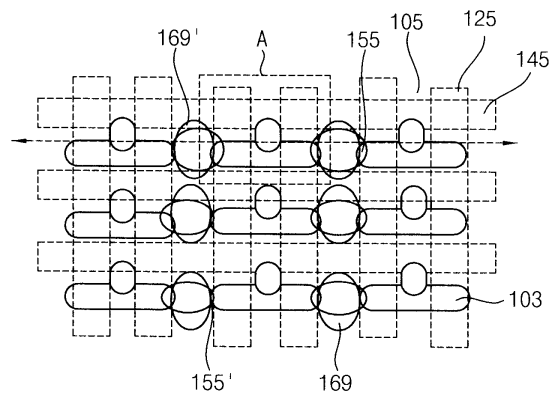
도면15b



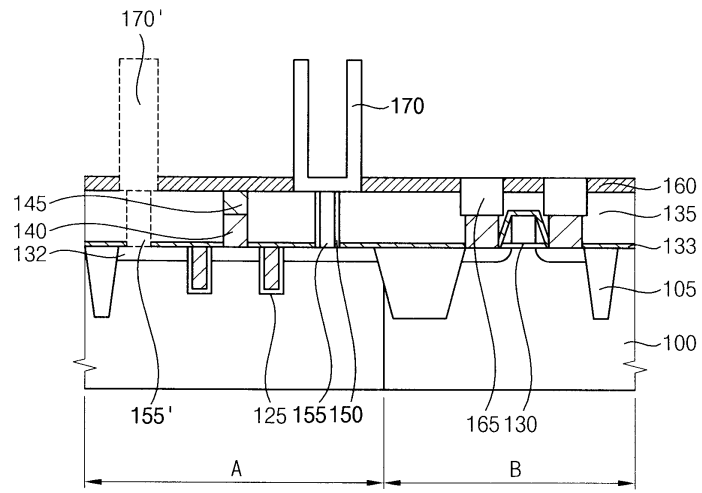
도면16a



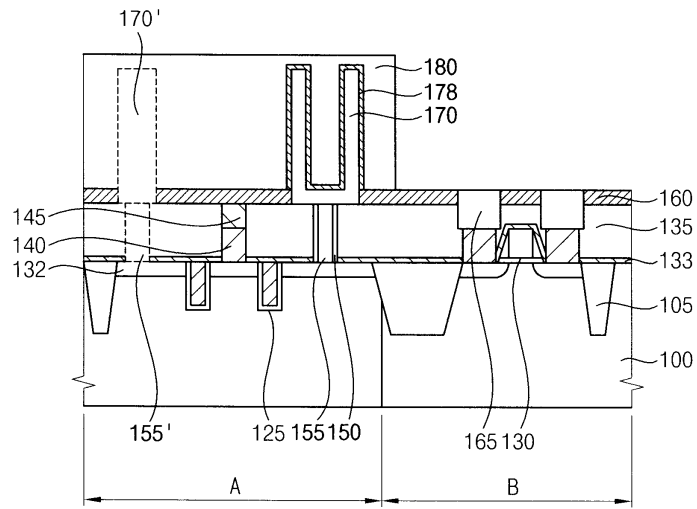
도면16b



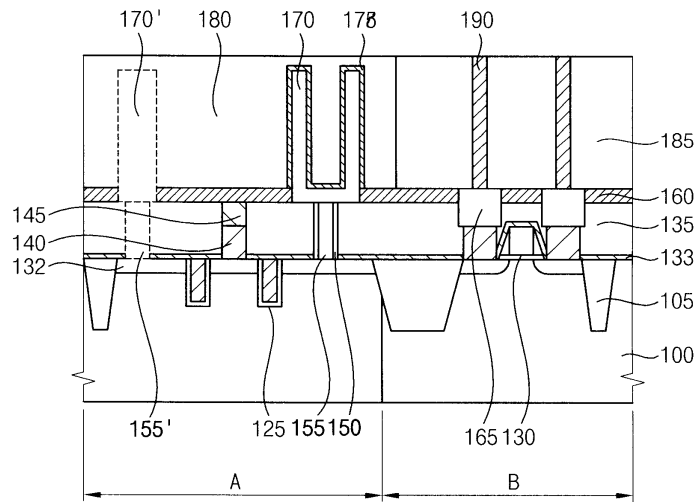
도면17



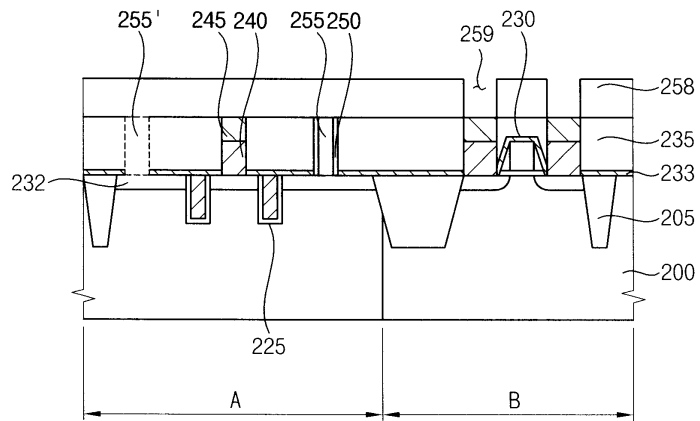
도면18



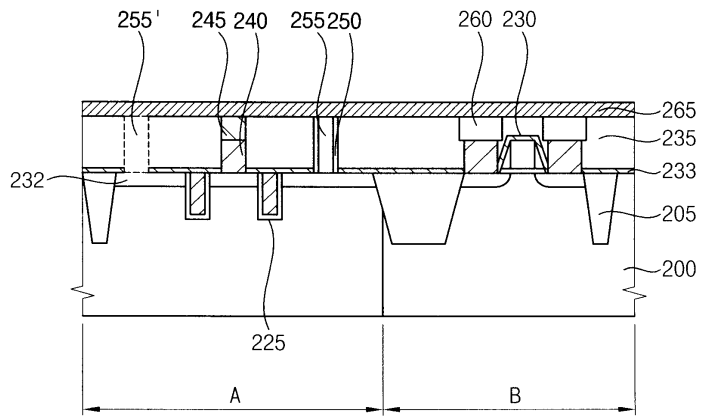
도면19



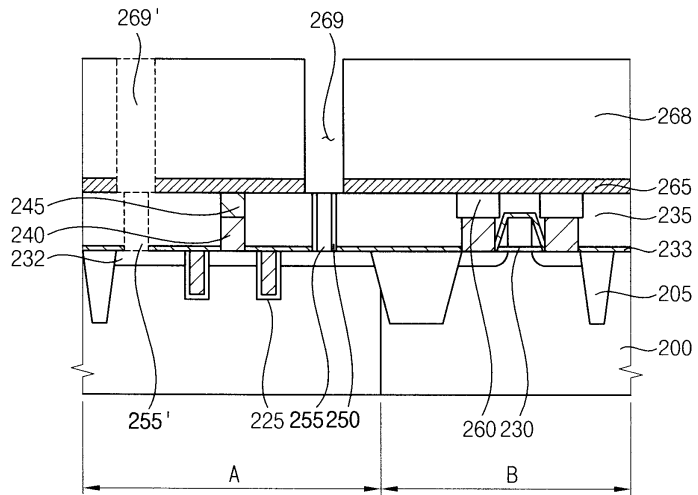
도면20



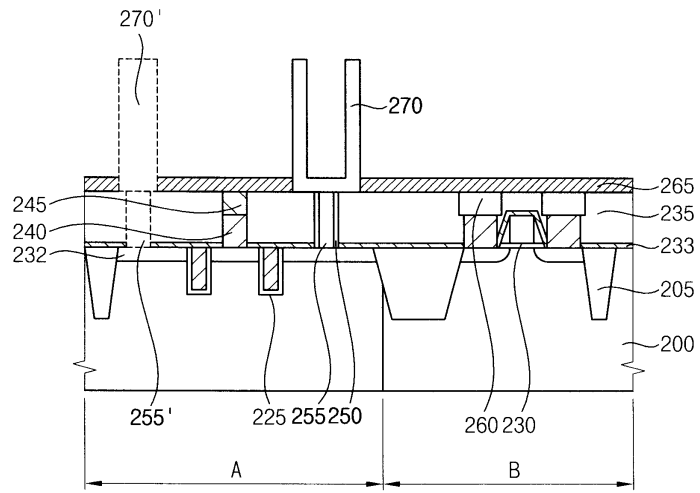
도면21



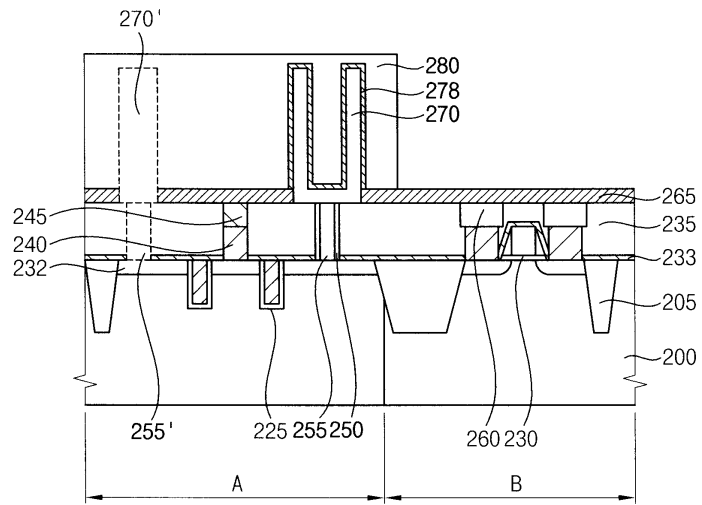
도면22



도면23

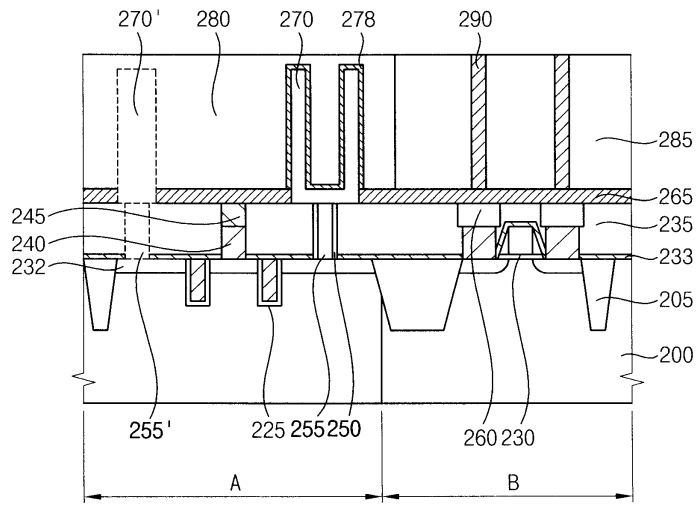


도면24

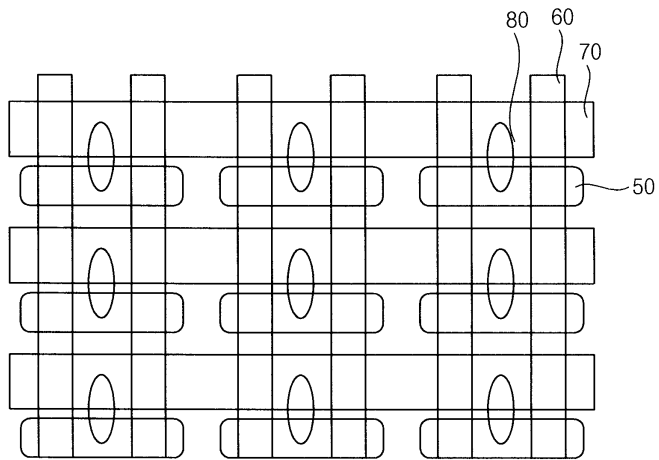




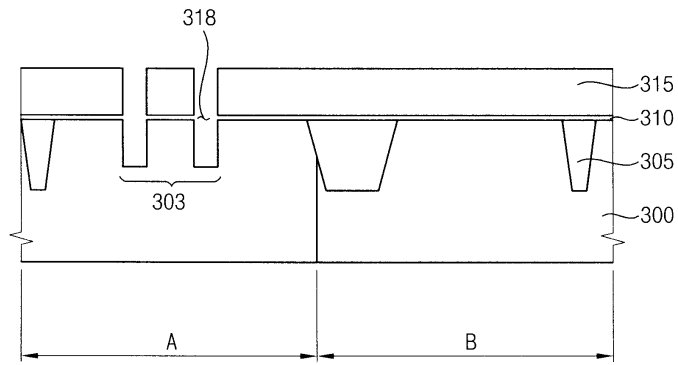
도면25



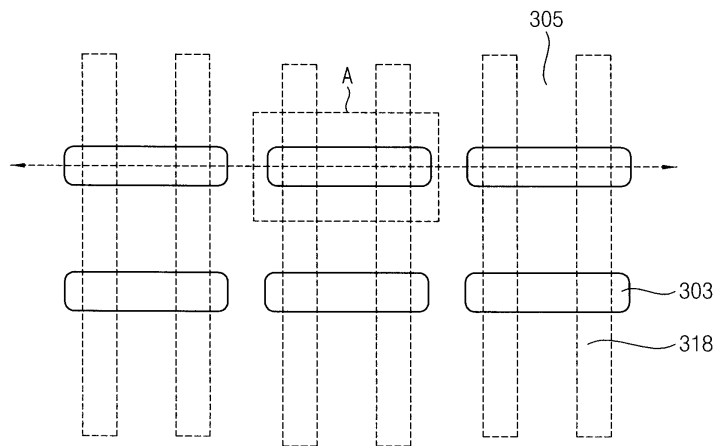
도면26



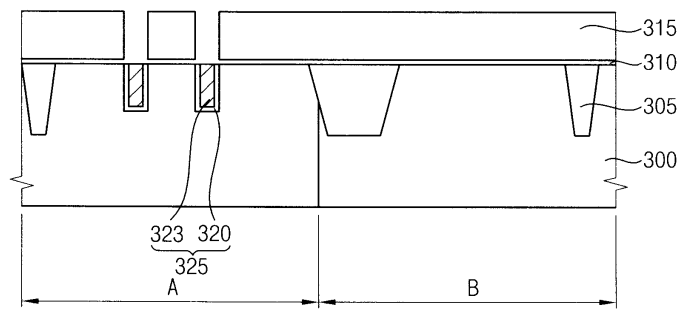
도면27a



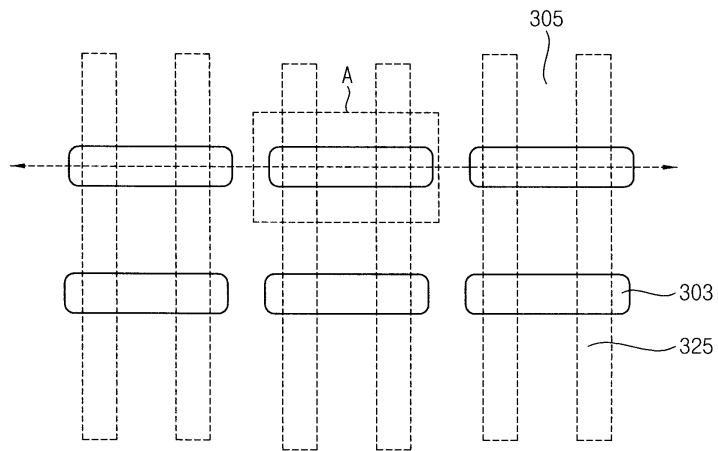
도면27b



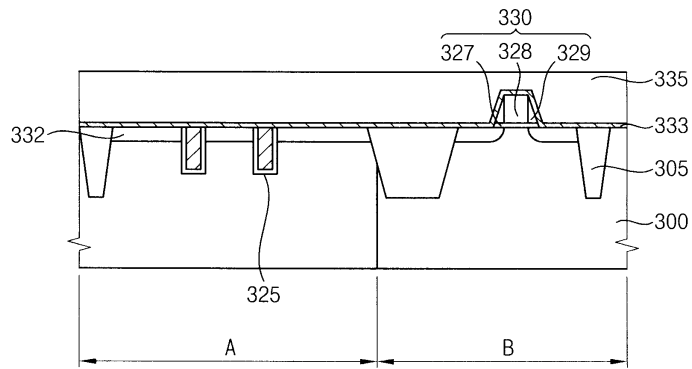
도면28a



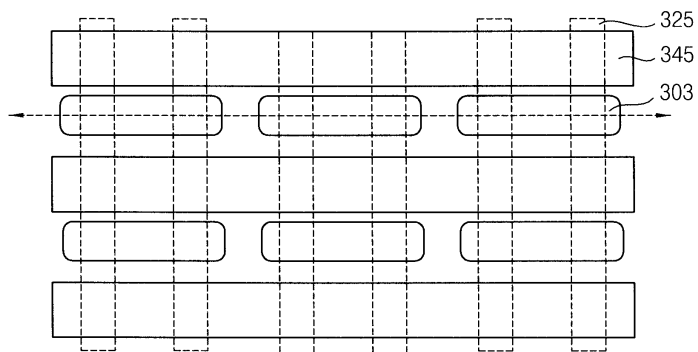
도면28b



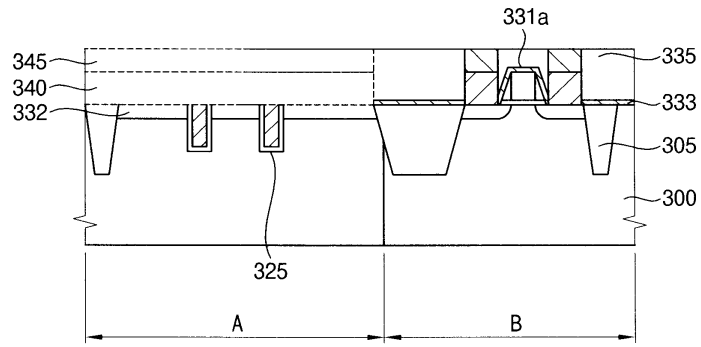
도면29a



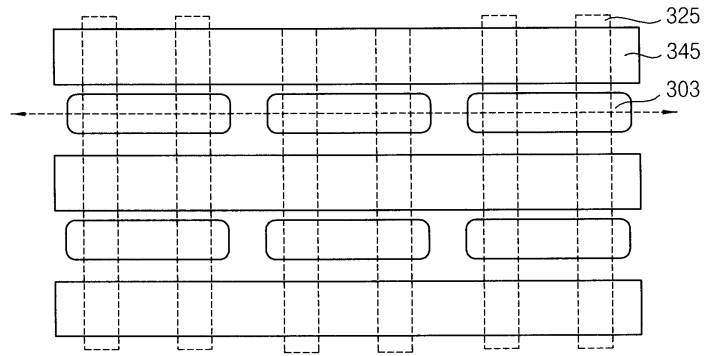
도면29b



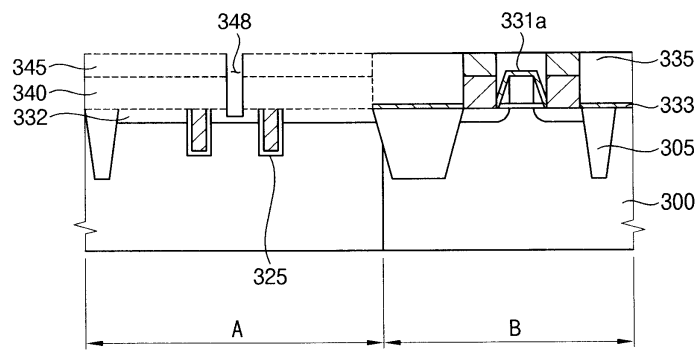
도면30a



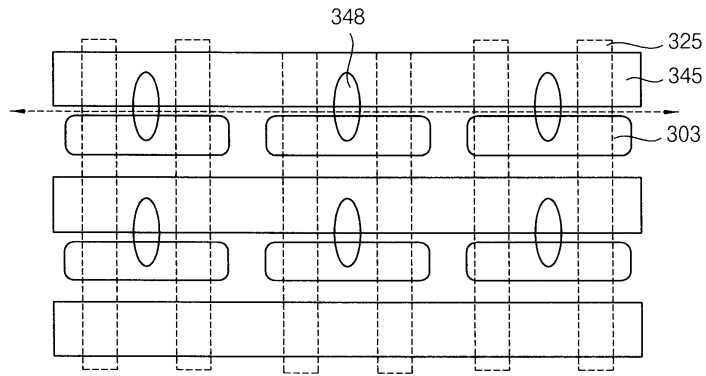
도면30b



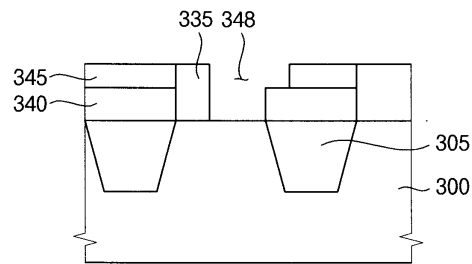
도면31a



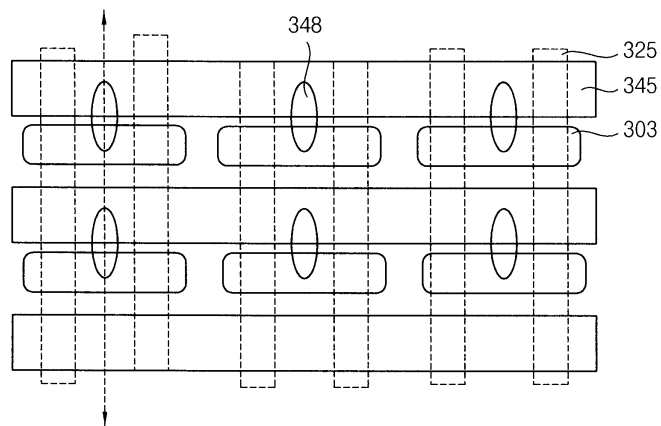
도면31b



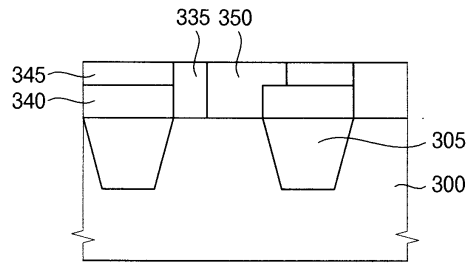
도면32a



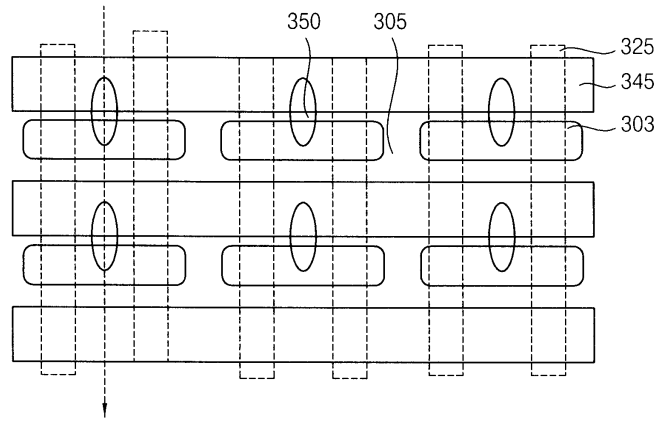
도면32b



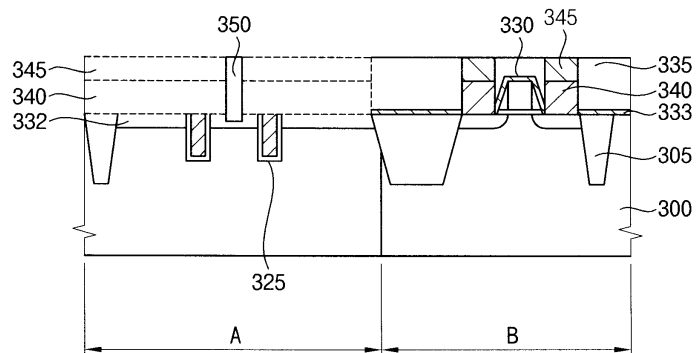
도면33a



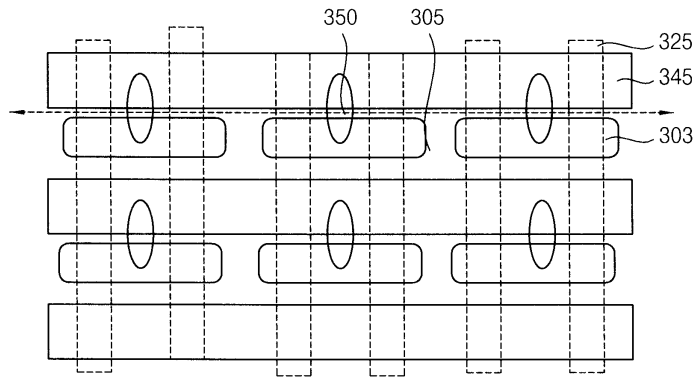
도면33b



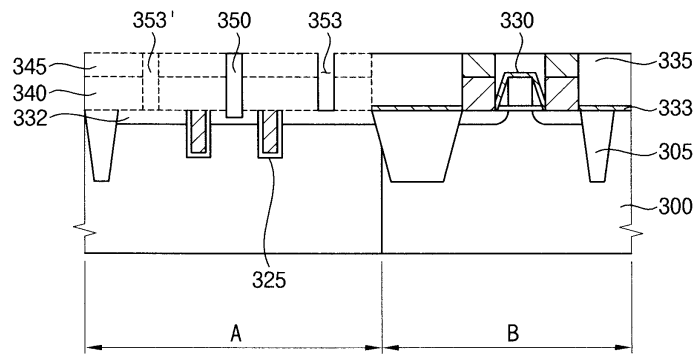
도면34a



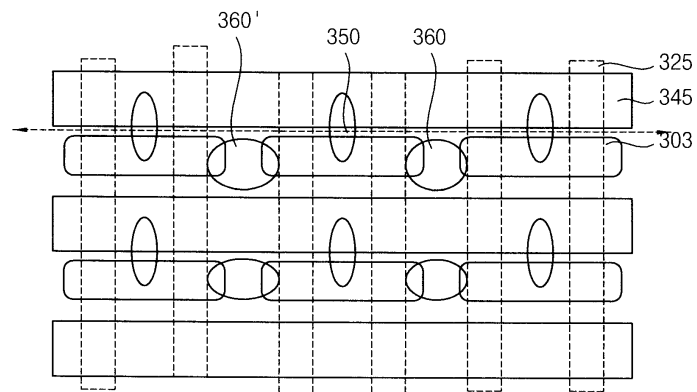
도면34b



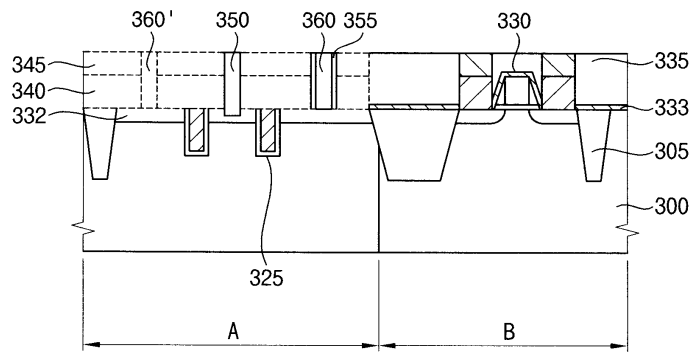
도면35a



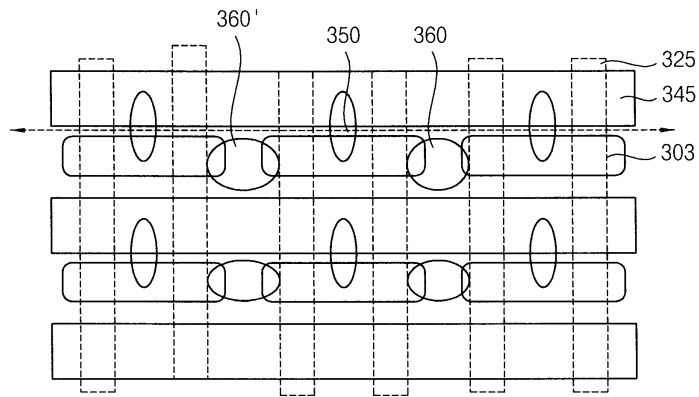
도면35b



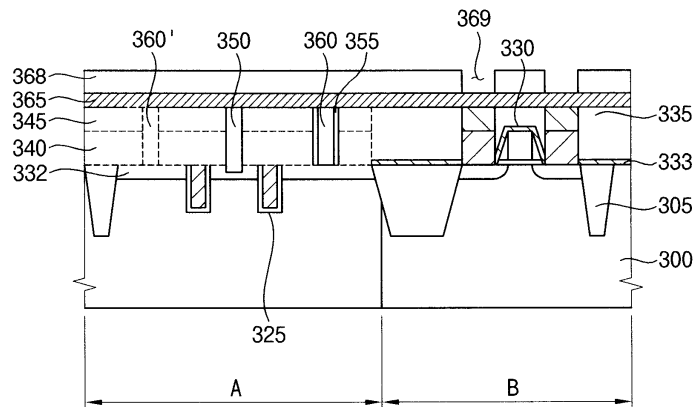
도면36a



도면36b

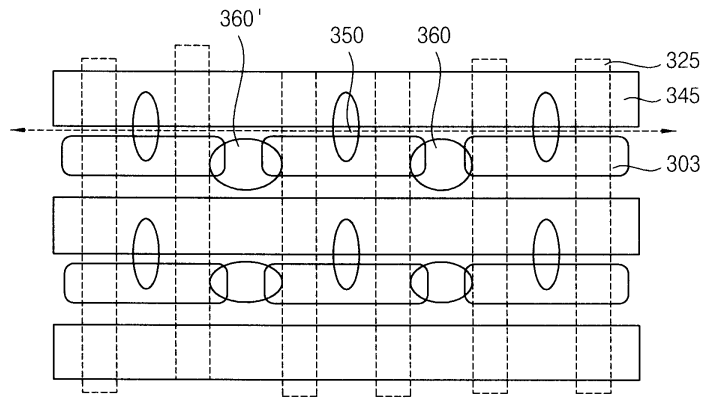


도면37a

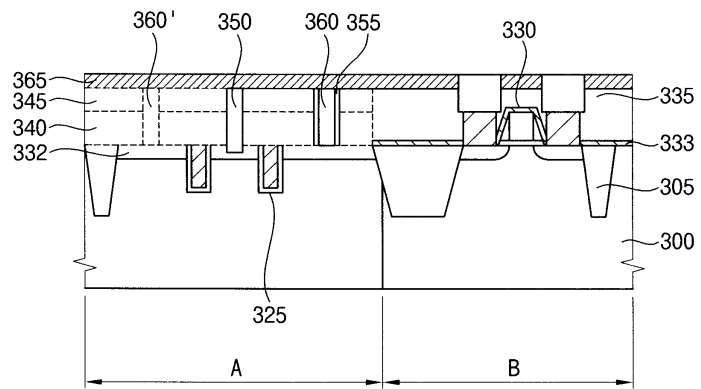




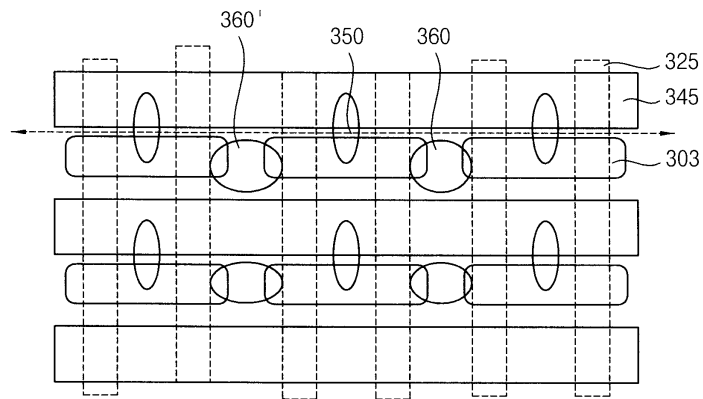
도면37b



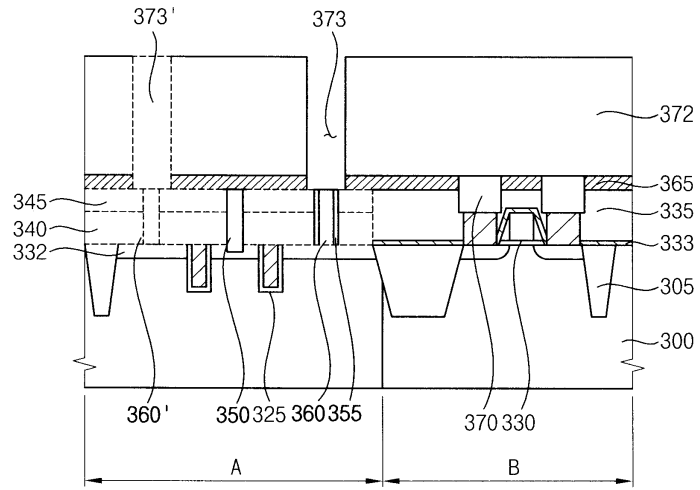
도면38a



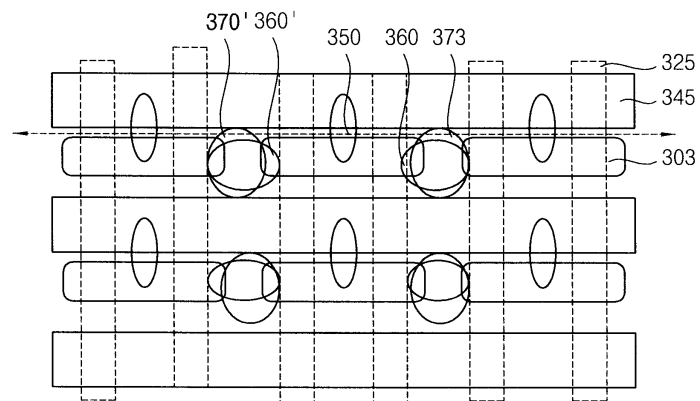
도면38b



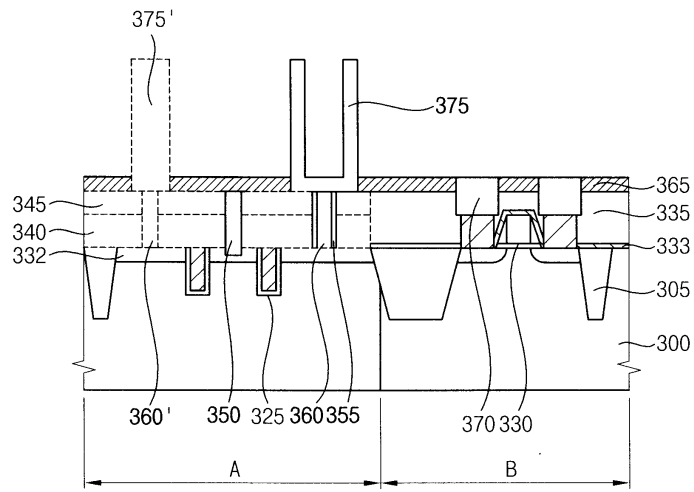
도면39a



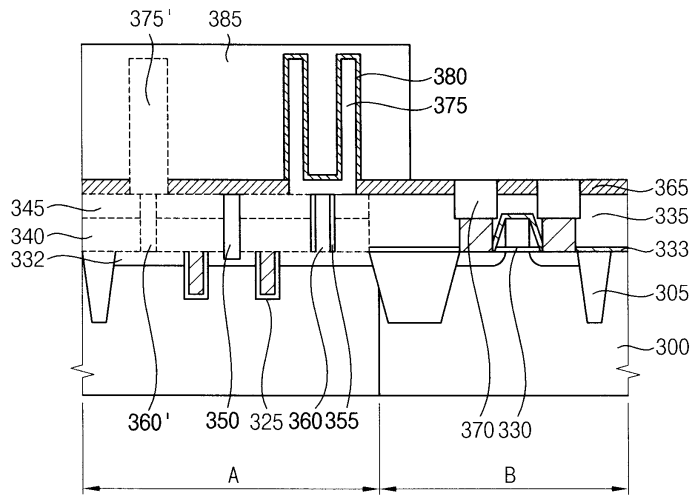
도면39b



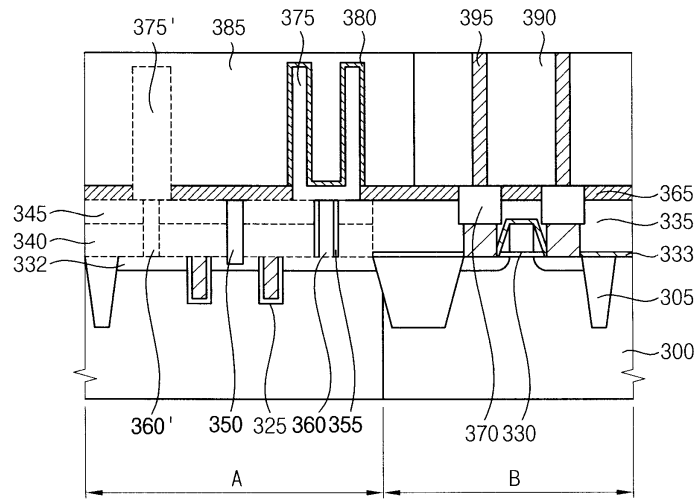
도면40



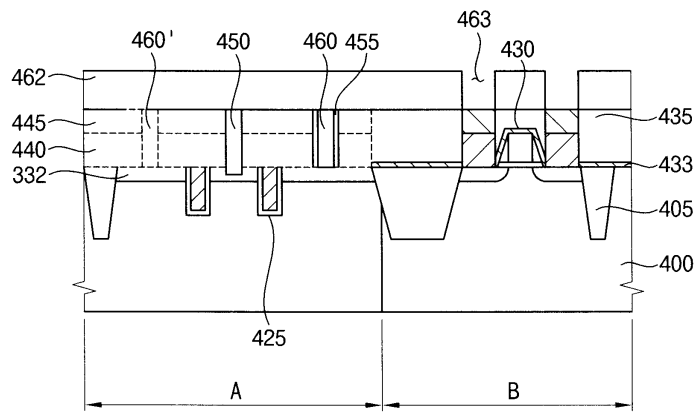
도면41



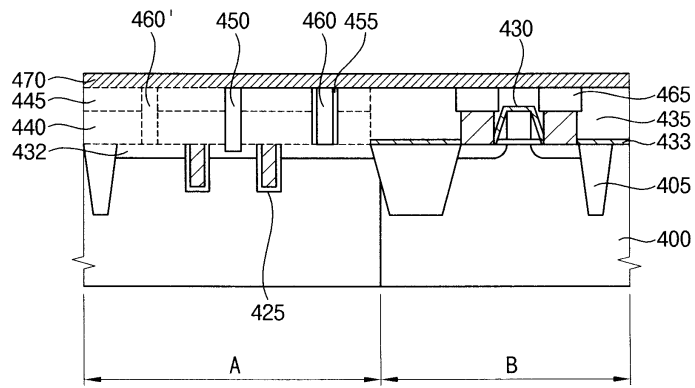
도면42



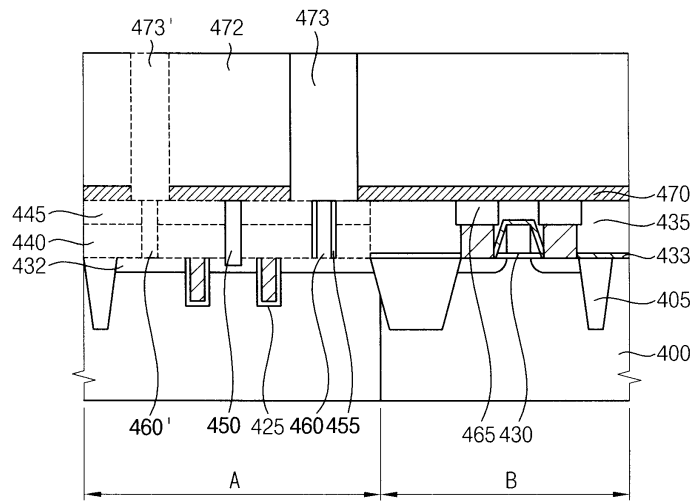
도면43



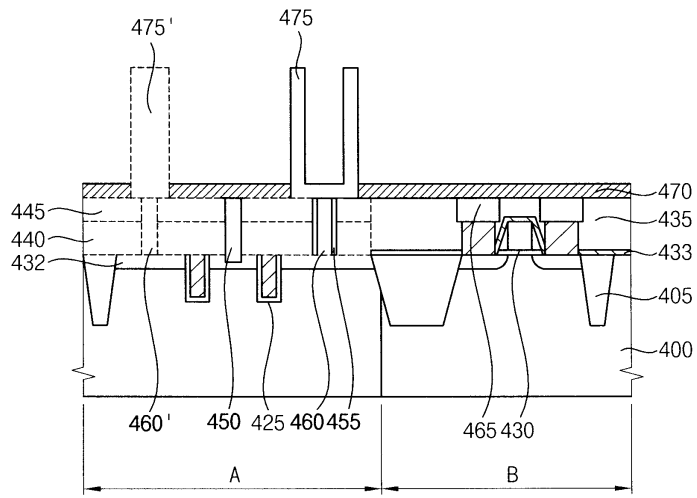
도면44



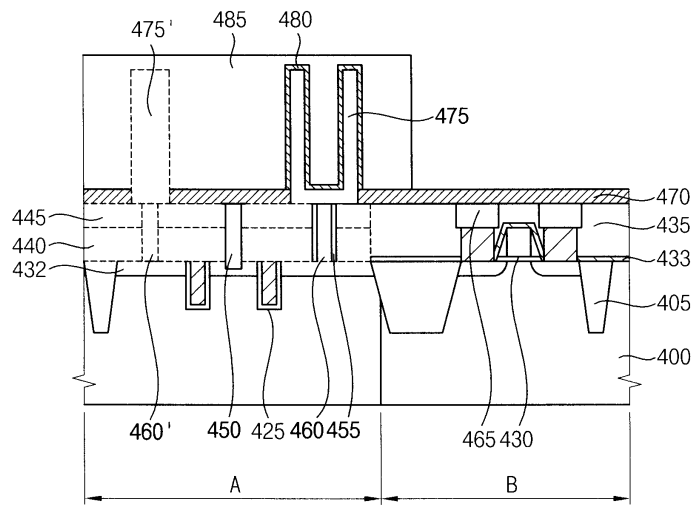
도면45



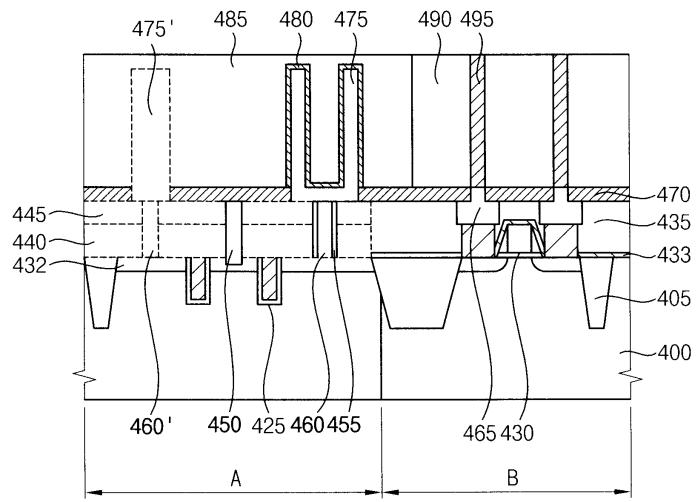
도면46



도면47



도면48



도면49

