

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5068149号  
(P5068149)

(45) 発行日 平成24年11月7日(2012.11.7)

(24) 登録日 平成24年8月24日(2012.8.24)

(51) Int.Cl.	F I
HO 1 L 31/10 (2006.01)	HO 1 L 31/10 A
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 2 Z
HO 1 L 21/336 (2006.01)	HO 1 L 27/14 C
HO 1 L 27/146 (2006.01)	GO 2 F 1/1368
GO 2 F 1/1368 (2006.01)	GO 2 F 1/133 5 3 0
請求項の数 11 (全 15 頁) 最終頁に続く	

(21) 出願番号	特願2007-308593 (P2007-308593)	(73) 特許権者	598172398
(22) 出願日	平成19年11月29日(2007.11.29)		株式会社ジャパンディスプレイウエスト
(65) 公開番号	特開2009-135185 (P2009-135185A)		愛知県知多郡東浦町大字緒川字上舟木50番地
(43) 公開日	平成21年6月18日(2009.6.18)	(74) 代理人	100092152
審査請求日	平成22年11月4日(2010.11.4)		弁理士 服部 毅巖
		(72) 発明者	田中 勉
			東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	大谷 夏樹
			東京都港区港南1丁目7番1号 ソニー株式会社内
		審査官	眞壁 隆一
最終頁に続く			

(54) 【発明の名称】 光センサ素子、光センサ素子の駆動方法、表示装置、および表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項 1】

受光部として用いられる i 型領域を挟む状態で p 型領域および n 型領域が設けられた半導体層と、ゲート絶縁膜を介して前記 i 型領域を挟む位置に互いに対向配置されると共に、少なくとも一方が光透過性を有する 2 つの制御電極とを備えた光センサ素子の駆動方法であって、

前記 i 型領域から電気信号を読み出す際には、前記 2 つの制御電極に互いに逆極性の電位を印加する

光センサ素子の駆動方法。

【請求項 2】

前記 2 つの制御電極に印加する電圧により、前記 i 型領域から読み出す電気信号量を制御する

請求項 1 に記載の光センサ素子の駆動方法。

【請求項 3】

前記 2 つの制御電極に印加する電圧により、前記 i 型領域から電気信号を読み出す際に前記 p 型領域と n 型領域との間に印加する読出電圧を制御する

請求項 1 に記載の光センサ素子の駆動方法。

【請求項 4】

基板上に画素部と共に光センサ素子とが設けられた表示装置において、

前記光センサ素子は、

受光部として用いられる i 型領域を挟む状態で p 型領域および n 型領域が設けられた半導体層と、

ゲート絶縁膜を介して前記 i 型領域を挟む位置に互いに対向配置されると共に、少なくとも一方が光透過性を有する 2 つの制御電極と、

前記 2 つの制御電極に互いに逆極性の電位を印加することにより、前記 i 型領域から電気信号を読み出す回路部と

を備えた表示装置。

【請求項 5】

前記 2 つの制御電極のうち前記半導体層の上面側に設けられた制御電極は、前記画素部に設けられた画素電極と同一層で構成されている

請求項 4 に記載の表示装置。

【請求項 6】

前記画素電極は、前記基板の上方を覆う平坦化絶縁膜上に形成され、

前記画素電極と同一層で構成された前記制御電極は、前記平坦化絶縁膜に形成された開口窓内において前記半導体層上に配置されている

請求項 5 に記載の表示装置。

【請求項 7】

前記基板には、前記画素電極を駆動するための薄膜トランジスタが設けられ、

前記半導体層は、前記画素電極を駆動するための薄膜トランジスタの半導体層と同一層で構成され、

前記 2 つの制御電極のうちの一方は、前記薄膜トランジスタのゲート電極と同一層で構成されている

請求項 5 に記載の表示装置。

【請求項 8】

前記光センサ素子は、前記画素部が配置された表示領域内に複数配列されている

請求項 4 に記載の表示装置。

【請求項 9】

前記基板の裏面側にバックライトが設けられている

請求項 4 に記載の表示装置。

【請求項 10】

画素部が設けられた基板上に、受光部として用いられる i 型領域を挟む状態で p 型領域および n 型領域が設けられた半導体層と、ゲート絶縁膜を介して前記 i 型領域を挟む位置に互いに対向配置されると共に、少なくとも一方が光透過性を有する 2 つの制御電極とを含む光センサ素子を備えた表示装置の駆動方法であって、

前記光センサ素子に設けた 2 つの制御電極に互いに逆極性の電位を印加することによって当該光センサ素子における前記 i 型領域から電気信号を読み出す

表示装置の駆動方法。

【請求項 11】

前記基板の裏面側に設けたバックライトの光強度を、前記 i 型領域から読み出した電気信号の大きさに基づいて制御する

請求項 10 に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、P I N 型半導体構造の光センサ素子、この光センサ素子の駆動方法、さらにはこの光センサ素子を備えた表示装置、およびその駆動方法に関する。

【背景技術】

【0002】

近年、液晶表示装置や有機 E L 表示装置のような平面型の表示装置においては、表示画面やその近傍に光センサ素子を設けることにより、タッチパネルやペン入力などの画面入

10

20

30

40

50

力や、バックライトの輝度制御を実現するなどの多機能化が進んでいる。このような表示装置に設けられる光センサ素子としては、製造工程の簡便さからシリコン(Si)薄膜を用いたPIN型薄膜ダイオードが多く用いられている。

【0003】

PIN型薄膜ダイオード構造の光センサ素子は、i型領域に隣接してこれを挟む状態でp型領域およびn型領域を半導体層(シリコン薄膜)に設けた構成であり、i型領域を受光部として用いている。またこのような構成の光センサ素子においては、リーク電流の防止を目的として、i型領域に絶縁膜を介して制御電極を設ける構成が提案されている。

【0004】

このような構成により、PIN型ダイオードに電流が流れ始めるときのバイアス電圧のしきい値を、制御電極に印加するゲート電圧によって制御可能としている。またこれにより、光が照射された状態で、ゲート電圧よりも高いバイアス電圧が印加されていない光センサ素子に、リーク電流が発生することを防止している。

(例えば、下記特許文献1参照)。

【0005】

【特許文献1】特開2004-119719号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、以上のような構成の光センサ素子が設けられる表示装置においては、高品位な画質を得るために、画素開口間の狭ピッチ化や画素開口率の向上が求められている。このため、画素開口間や表示領域の外側に設けられる光センサ素子には、占有面積の縮小化が求められており、より微細な素子での光感度な受光が求められている。

【0007】

そこで本発明は、受光感度の向上を図ることが可能な光センサ素子およびその駆動方法を提供すること、さらにはこの光センサ素子を用いることで光センサ素子の占有面積の縮小化によって画素開口率の向上を図ることが可能な表示装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の光センサ素子の駆動方法は、受光部として用いられるi型領域を挟む状態でp型領域およびn型領域が設けられた半導体層と、ゲート絶縁膜を介してi型領域を挟む位置に互いに対向配置されると共に、少なくとも一方が光透過性を有する2つの制御電極とを備えた光センサ素子の駆動方法であって、i型領域から電気信号を読み出す際には、2つの制御電極に互いに逆極性の電位を印加するものである。

【0010】

このような構成の光センサ素子では、i型領域の上下に設けた2つの制御電極に異なる電位を与えることにより、i型領域での受光によって発生した正孔-電子対を、i型領域の膜厚方向に分離させることができる。これにより、i型領域内の膜厚方向に正孔と電子とを分離させた状態で、正孔をアノード(p型領域)方向に、電子をカソード(n型領域)方向に移動させることができる。このため、受光によって発生した電子/正孔対が、i型領域内を移動する際に再結合する確率が小さくなり、電流の取出効率が向上する。

【0011】

本発明の表示装置は、基板上に画素部と共に光センサ素子とが設けられた表示装置において、光センサ素子は、受光部として用いられるi型領域を挟む状態でp型領域およびn型領域が設けられた半導体層と、半導体層の両側面におけるi型領域を挟む位置にゲート絶縁膜を介してそれぞれ電氣的に独立して設けられると共に、少なくとも一方が光透過性を有する2つの制御電極と、2つの制御電極に互いに異なる電位を印加することにより、i型領域から電気信号を読み出す回路部とを備えたものである。

【0012】

10

20

30

40

50

このような構成の表示装置では、上述したような電流の取出効率の向上が図られる光センサ素子を設けることにより、光センサ素子の占有面積を縮小して画素開口の拡大が図られる。

【発明の効果】

【0013】

以上説明したように本発明によれば、電流の取出効率の向上により光センサ素子における受光感度の向上を図ることが可能になる。そして、このような光センサ素子を設けたことにより、表示装置における光センサ素子の占有面積を縮小化し、画素開口率の向上による画質の高品位化を図ることが可能になる。

【発明を実施するための最良の形態】

【0014】

以下本発明の実施の形態を、光センサ素子、光センサ素子の駆動方法、表示装置、表示装置の駆動方法の順に図面に基づいて詳細に説明する。

【0015】

<光センサ素子の構成>

図1は、本発明を適用した光センサ素子の構成を示す概略断面図である。この図に示す光センサ素子Sは、いわゆるPIN型薄膜ダイオード構造の光センサ素子Sであり、以下のように構成されている。

【0016】

すなわち、基板1上には、例えばアルミニウムのような光反射性材料からなる第1制御電極G1が配線され、これを覆う状態でゲート絶縁膜5が設けられている。このゲート絶縁膜5は光透過性であることが好ましい。ゲート絶縁膜5上には、第1制御電極G1を跨ぐ状態でポリシリコンや酸化物半導体などからなる半導体層7がパターン形成されている。この半導体層7は、第1制御電極G1脇の一方側がp型領域7pとなり、第1制御電極G1脇の他方側がn型領域7nとなっている。また、第1制御電極G1と重なる位置のシリコン薄膜7部分は、不純物濃度が低く抑えられた受光部(i型領域)7iが設けられている。つまり、半導体層7は、受光部(i型領域)7iに隣接してこれを挟む状態で、p型領域7pとn型領域7nとが設けられた構成となっているのである。

【0017】

さらに、このような半導体層7を覆う状態で光透過性材料からなる層間絶縁膜9が設けられ、この層間絶縁膜9上には、接続孔を介してp型領域7pやn型領域7nに接続された各配線11が設けられている。またこれらの配線11を覆う状態で、層間絶縁膜9上には光透過性材料からなる平坦化絶縁膜13が設けられている。この平坦化絶縁膜13には、受光部7i上を広く開口して層間絶縁膜9を底面とした開口窓13aが設けられている。

【0018】

このような平坦化絶縁膜13上には、第2制御電極G2が設けられている。この第2制御電極G2は、開口窓13の底部において、層間絶縁膜9をゲート絶縁膜として受光部7iに対向配置されている。これにより、半導体層7の両側面には、ゲート絶縁膜5および層間絶縁膜9からなるゲート絶縁膜を介して、i型領域7iを挟む状態で第1制御電極G1および第2制御電極G2が配置された状態となっている。これらの第1制御電極G1および第2制御電極G2は、電気的に独立して配線されていることとする。

【0019】

またここでは、第2制御電極G2は、受光部7iで受光する光に対する光透過性を有する材料で構成され、例えばITOのような透明導電性材料からなることとする。このような材料からなる第2制御電極G2は、光透過性を確保するために薄膜で設けられることが好ましい。またこのような第2制御電極G2の導電性を確保するために、平坦化絶縁膜13の下層の配線11に第2制御電極G2を接続させても良い。

【0020】

以上のような構成の光センサ素子Sでは、第2制御電極G2側から照射された光hは、

10

20

30

40

50

第2制御電極G2および層間絶縁膜(ゲート絶縁膜)9を透過して受光部7iで受光されて光電変換される。そして、p型領域7pをアノードとし、n型領域7nをカソードとしたPIN型薄膜ダイオード構造に逆バイアスを印加することにより、受光部(i型領域7i)で光電変換されて蓄積された電荷を電気信号として読み出すことができる。

【0021】

以上のように受光部(i型領域)7iから電気信号を読み出す際には、次に説明するように2つの制御電極G1、G2を独立して制御する駆動を行うこととする。

【0022】

尚、この光センサ素子Sは、第2制御電極G2側からの光だけではなく、第2制御電極G1側からの光を受光する構成であっても良い。この場合、基板1、第1制御電極G1、およびゲート絶縁膜5の全てを光透過性材料で構成することにより、基板1側から照射された光が受光部7iで光電変換されて読み出される。さらに、第1制御電極G1と第2制御電極G2の両方から照射された光を受光部7iで光電変換させて読み出す構成であっても良い。

【0023】

<光センサ素子の駆動方法 - 1 >

次に、先の図1の構成図、および図2のバンド構造の模式図に基づいて、光センサ素子Sの駆動方法を説明する。尚、図2A-A'は半導体層におけるp型領域7p-n型領域7n方向のバンド構造であり、図2B-B'は半導体層における第2制御電極2G-第1制御電極G1方向のバンド構造である。

【0024】

先に説明したように、光センサ素子Sの受光部(i型領域)7iから電気信号を読み出す際には、p型領域7pをアノードとしn型領域7nをカソードとしたPIN型薄膜ダイオード構造に逆バイアスを印加する。つまりp型領域7p-n型領域7n間に印加する読出電圧として、p型領域7pにマイナスのアノード電位V<sub>ac</sub>を印加し、n型領域7nにプラスのカソード電位V<sub>c</sub>を印加する。そして、ある程度の大きさの逆バイアスが読出電圧(しきい値電圧)として印加されることにより、p型領域7p(アノード)-n型領域7n(カソード)間に急激に電流が流れるオン状態となり、電気信号が取り出される。

【0025】

この際、図3に示すように、(1)第1制御電極G1および第2制御電極G2を制御せずに電圧印加をしない状態では、上記オン状態になるよりも小さいアノード電位V<sub>ac</sub>(逆バイアス)においても漏れ電流が流れる。これに対して、(2)第1制御電極G1(または第2制御電極G2)のみに電圧を印加する制御を行うことにより、オン状態(しきい値電圧)になるよりも小さいアノード電位V<sub>ac</sub>の範囲での漏れ電流を防止することができる。

【0026】

そしてさらに(3)第1制御電極G1および第2制御電極G2の両方に電圧を印加する制御を行うことにより、オン状態とした状態での電流値を制御する。この場合の制御は、例えば第1制御電極G1と第2制御電極G2とに、逆極性の電圧を印加すれば良い。一例としては、p型領域7pのアノード電位V<sub>ac</sub> = -7V、n型領域7nのカソード電位V<sub>c</sub> = 0Vの場合、第1制御電極G1の電位V<sub>g1</sub> = -5V、第2制御電極G2の電位V<sub>g2</sub> = +5Vとする。

【0027】

このように、例えば第1制御電極G1と第2制御電極G2とに、逆極性の電圧を印加することにより、受光部(i型領域)7i内に膜厚方向の電界が形成される。このような電界により、受光部(i型領域)7iにおいて光電変換によって発生した正孔/電子対が、受光部7i内において膜厚方向に分離される。そして、受光部7i内において再結合して消費されることを防止できる。これにより、電気信号の取り出し効率の向上、すなわち感度の向上を図ることが可能になる。

【0028】

10

20

30

40

50

また、受光部 (  $i$  型領域 )  $7i$  内に形成された電界により、半導体層  $7$  内の不純物濃度によらずに、受光部  $7i$  内のバンドギャップ  $E_c - E_v$  間におけるフェルミ準位  $E_f$  を制御することができる。これにより、エネルギーの低い長波長の光照射によっても、光電変換によって正孔電子対を発生させ易くすることが可能になり、これによる感度向上も期待できる。

【 0 0 2 9 】

< 光センサ素子の駆動方法 - 2 >

光センサ素子  $S$  の駆動方法の他の例を説明する。

【 0 0 3 0 】

ここでは、上述したように  $p$  型領域  $7p$  (アノード) と  $n$  型領域  $7n$  (カソード) とに逆バイアスを印加して電気信号が取り出す際、図 4 に示すように、( 3 ) ' 第 1 制御電極  $G_1$  および第 2 制御電極  $G_2$  の両方に電圧を印加する制御を行うことにより、 $i$  型領域  $7i$  から電気信号を読み出す際に、 $p$  型領域と  $n$  型領域とに印加する読出電圧 (しきい値電圧) を制御する。この制御の一例としては、 $p$  型領域  $7p$  のアノード電位  $V_{ac} = -7V$ 、 $n$  型領域  $7n$  のカソード電位  $V_c = 0V$  の場合、第 1 制御電極  $G_1$  の電位  $V_{g1} = -10V$ 、第 2 制御電極  $G_2$  の電位  $V_{g2} = +5V$  とする。

10

【 0 0 3 1 】

ここで、( 1 ) 第 1 制御電極  $G_1$  および第 2 制御電極  $G_2$  を制御せずに電圧印加をしない状態では、上記オン状態になるよりも小さいアノード電位  $V_{ac}$  (逆バイアス) においても漏れ電流が流れる。これに対して、( 2 ) 第 1 制御電極  $G_1$  (または第 2 制御電極  $G_2$ ) のみに電圧を印加する制御を行うことにより、オン状態 (しきい値電圧) になるよりも小さいアノード電位  $V_{ac}$  の範囲での漏れ電流を防止することができる。

20

【 0 0 3 2 】

そしてさらに上述したように、( 3 ) ' 第 1 制御電極  $G_1$  および第 2 制御電極  $G_2$  の両方に電圧を印加する制御を行うことにより、オン状態 (しきい値電圧) になるよりも小さいアノード電位  $V_{ac}$  の範囲での漏れ電流を防止しつつも、さらに小さい読出電圧 (しきい値電圧) での電気信号の読出が可能になる。

【 0 0 3 3 】

< 表示装置の構成 >

次に、上述した光センサ素子  $S$  を用いた表示装置の構成を説明する。図 5 は、本発明に係る表示装置  $20$  の全体構成を表す図であり、上述した光センサ素子を用いて構成されているところが特徴的である。この表示装置  $20$  は、表示パネル  $21$  と、バックライト  $22$  と、表示ドライブ回路  $23$  と、受光ドライブ回路  $24$  と、画像処理部  $25$  と、アプリケーションプログラム実行部  $26$  とを備えている。

30

【 0 0 3 4 】

表示パネル  $21$  は、中央の表示領域  $21a$  に複数の画素が全面に渡ってマトリクス状に配置された液晶パネル (LCD (Liquid Crystal Display)) からなり、線順次動作をしながら表示データに基づく所定の図形や文字などの画像を表示する機能 (表示機能) を有する。また、後述するように、表示領域  $21a$  には、光センサ素子が配置され、表示パネル  $21$  の表示面に接触または近接する物体を検知するセンサー機能 (撮像機能) が設けられている。

40

【 0 0 3 5 】

また、バックライト  $22$  は、表示パネル  $21$  の光源であり、例えば複数の発光ダイオードを面内に配列してなる。このバックライト  $22$  は、後述するように表示パネル  $21$  の動作タイミングに同期した所定のタイミングで、高速に発光ダイオードのオン・オフ動作を行うようになっている。特に本発明においては、後述するようにバックライト  $22$  が、画像表示のための可視光と共に、紫外光を射出するものであることが第 1 の特徴である。

【 0 0 3 6 】

表示ドライブ回路  $23$  は、表示パネル  $21$  において表示データに基づく画像が表示されるように (表示動作を行うように)、この表示パネル  $21$  の駆動を行う (線順次動作の駆

50

動を行う)回路である。

【0037】

受光ドライブ回路24は、表示パネル21において受光データが得られるように(物体を撮像するように)、この表示パネル21の駆動を行う(線順次動作の駆動を行う)回路である。なお、各画素での受光データは、例えばフレーム単位でフレームメモリ23aに蓄積され、撮像画像として画像処理部25へ出力されるようになっている。

【0038】

画像処理部25は、受光ドライブ回路24から出力される撮像画像に基づいて所定の画像処理(演算処理)を行い、表示パネル21に接触または近接する物体に関する情報(位置座標データ、物体の形状や大きさに関するデータなど)を検出し、取得するものである。

10

【0039】

アプリケーションプログラム実行部26は、画像処理部25による検知結果に基づいて所定のアプリケーションソフトに応じた処理を実行するものであり、例えば検知した物体の位置座標を表示データに含むようにし、表示パネル21上に表示させるものなどが挙げられる。なお、このアプリケーションプログラム実行部26で生成される表示データは表示ドライブ回路23へ供給されるようになっている。

【0040】

<表示領域の回路構成>

図6は、表示パネル21の表示領域21aにおける回路構成を示す図である。

20

【0041】

この図5に示すように、表示領域21aには、複数の画素部31と、複数のセンサー部32とが配列形成されている。

【0042】

画素部31は、表示領域21a内において、水平方向に配線された複数の走査線31aと垂直方向に配線された複数の信号線31bとの各交差部に配置される。各画素部31には、例えばスイッチング素子としての薄膜トランジスタ(Thin Film Transistor: TFT)Trが設けられている。

【0043】

薄膜トランジスタTrは、ゲートが走査線31aに接続され、ソース/ドレインの一方が信号線31bに接続され、ソース/ドレインの他方が画素電極31cに接続されている。また、各画素部31には、全ての画素部31に共通電位Vcomを与える共通電極31dが設けられており、これらの各画素電極31cと共通電極31dとの間に液晶層LCが挟持される。

30

【0044】

そして、走査線31aを介して供給される駆動信号に基づいて薄膜トランジスタTrがオン・オフ動作し、オン状態のときに信号線31bから供給される表示信号に基づいて画素電極31cに画素電圧が印加され、画素電極31cと共通電極31dとの間の電界によって液晶層LCが駆動される構成となっている。

【0045】

一方、センサー部32は、表示領域21a内における所定部に配置され、各画素部31に対応して設けられていても良く、複数の画素部31に対して1つの割合で設けられても良い。このセンサー部32には、図1を用いて説明した構成の2つの制御電極を備えたPIN型薄膜ダイオード構造の光センサ素子Sが設けられている。そしてこの光センサ素子Sが、次に詳細に説明するように画素部31の薄膜トランジスタTrと同一層を用いて構成されているところが特徴的である。尚、光センサ素子Sの構成要素には図1と同様の符号を付して説明する。

40

【0046】

各光センサ素子Sは、n型領域(カソード)7nが電源線(Vdd)32aに接続され、p型領域(アノード)7pが容量素子Csに接続されている。そして各光センサ素子S

50

の両面に設けた2つの制御電極G1, G2のうちの一方は走査線31aに接続され、他方は制御線32bに接続されている。

【0047】

またこのセンサー部32には、ソース/ドレインで接続された2つのトランジスタTr1, Tr2が設けられている。一方のトランジスタTr1は、ゲートが光センサ素子Sのp型領域(アノード)7pと容量素子Csに接続され、ソース/ドレインが電源線(Vdd)32aに接続されている。またもう一方のトランジスタTr2はゲートが読出制御電極32cに接続され、ソース/ドレインが信号出力用電極32dに接続されている。尚、容量素子Csのもう一方の電極は、電源線(Vss)32eに接続されている。

【0048】

そして、光センサ素子Sには、ここでの図示を省略したリセットスイッチによってリセットされながら、容量素子Csにおいて受光量に対応した電荷が蓄積されるようになっている。容量素子Csに蓄積された電荷は、読出制御電極32cにより供給される信号により信号出力用電極32dに供給され、外部へ出力される構成となっている。

【0049】

<表示パネルの構成>

図7は、画素部31に配置される薄膜トランジスタTrの構成と、センサー部32に配置される光センサ素子Sの構成を説明するための表示パネル21の概略断面図である。尚、図1および図5で説明したと同様の構成要素には同一の符号を付している。

【0050】

この図に示すように、画素部31には、画素駆動用のスイッチング素子としてボトムゲート型の薄膜トランジスタTrが設けられ、一方、センサー部32には、図1を用いて説明した2つの制御電極を備えたPIN型薄膜ダイオード構造の光センサ素子Sや、ここでの図示を省略した薄膜トランジスタ(Tr1, Tr2)および容量素子(Cs)が設けられている。そして、特にこれらの薄膜トランジスタTrと光センサ素子Sとは、同一工程で形成されたポリシリコンや酸化物半導体などからなる半導体層7を用いて次のように構成されていることが特徴的である。

【0051】

すなわち、薄膜トランジスタTrは、光透過性材料からなる基板1を第1基板1とし、この第1基板1上に、光センサ素子Sの第1制御電極G1と同一層からなるゲート電極3gを備え、これを覆う状態でゲート絶縁膜5が設けられている。ゲート絶縁膜5上には、ゲート電極3g上からその両脇に掛けてを覆う状態で、光センサ素子Sの半導体層7と同一層からなる半導体層7がパターン形成されている。この半導体層7には、ゲート電極3gの両脇に不純物を導入したソース/ドレイン7sdが設けられている。また、半導体層7において、ゲート電極3gと重なる部分は、チャンネル部が形成される活性層7chとして用いられる。また、ソース/ドレイン7sdと活性層7chとの間には、低濃度で不純物が導入されたLDDが設けられている。

【0052】

このような構成の薄膜トランジスタTrおよび光センサ素子Sにおいて、ゲート電極3gおよび第1制御電極G1は同一層からなり、半導体層7は同一工程で形成された同一層からなる。尚、第1基板1上における表示領域21aの周辺領域には、表示領域21aの薄膜トランジスタTrと同一層にpチャンネル型およびnチャンネル型の薄膜トランジスタTrからなるCMOS構成の駆動回路構成が設けられており、これらのソース/ドレイン7sdを形成するための不純物導入において、光センサ素子Sのp型領域7pおよびn型領域7nが形成される。

【0053】

以上のような薄膜トランジスタTrおよび光センサ素子Sを覆う状態で、光透過性材料からなる層間絶縁膜9が設けられている。この層間絶縁膜9上には、薄膜トランジスタTrのソース/ドレイン7sdや光センサ素子Sのp型領域7pおよびn型領域7nに接続された複数の配線11が設けられている。尚、図6に示した回路は、第1制御線G1およ

10

20

30

40

50

びゲート電極 3 g、半導体層 7、さらには配線 1 1 などの導電層と同一層を用いた配線を用いて構成されていることとする。

【 0 0 5 4 】

また以上の配線 1 1 を覆う状態で、平坦化絶縁膜 1 3 が設けられ、この平坦化絶縁膜 1 3 上に第 2 制御電極 G 2 と同一層からなる画素電極 3 1 c が設けられている。この画素電極 3 1 c は、透明導電性材料からなり、平坦化絶縁膜 1 3 に設けられた接続孔を介して薄膜トランジスタ T r のソース/ドレイン 7 s d から引き出された配線 1 1 に接続されている。

【 0 0 5 5 】

また、この画素電極 3 1 c を覆う状態で、配向膜 ( 図示省略 ) が設けられ、第 1 基板 1 の上部が構成されている。

10

【 0 0 5 6 】

一方、以上のような第 1 基板 1 における画素電極 3 1 c の形成面側には、第 2 基板 4 1 が対向配置されている。この第 2 基板 4 1 は、光透過性材料からなり画素電極 3 1 c に向かう面上には、必要に応じて各色カラーフィルタが画素毎にパターン形成されたカラーフィルタ層 4 2 が設けられている。そして、このカラーフィルタ層 4 2 を覆う状態で、透明導電性材料からなる共通電極 3 1 d、および配向膜 ( 図示省略 ) が設けられている。そして、二つの基板 1 - 4 1 の配向膜間に、スペーサ ( 図示省略 ) と共に液晶層 L C が挟持されている。

【 0 0 5 7 】

20

また、基板 1 - 4 1 の外側には、偏向板 4 3 , 4 4 を配置して表示パネル 2 1 が構成されている。

【 0 0 5 8 】

< 表示装置の駆動方法 >

以上の図 5 ~ 図 7 を用いて説明した構成の表示装置 2 0 の駆動は、第 1 基板 1 側のバックライト 2 2 から照射された光のうち、偏光板 4 3 を通過して液晶層 L C に達した光を、画素電極 3 1 c の駆動による液晶層 L C のスイッチングにより所定状態に偏光させる。そして、第 2 基板 4 1 側の偏光板 4 4 と同一方向に偏光させた光のみを、偏光板 4 4 を通過させて表示光として表示させる。

【 0 0 5 9 】

30

また、表示画面側となる第 2 基板 4 1 の外側から指やスタイラペン等の物体が接近した場合には、この物体による外光の影を光センサ素子 S で検知するか、またはバックライトからの光を物体で反射させて光センサ素子 S で検知する。そして光センサ素子 S で検知した光を電気信号として読み出すことにより、表示画面における指やスタイラペンの接近位置を検出して撮像を行う。

【 0 0 6 0 】

そして特に、光センサ素子 S で検知した光を電気信号として取り出す際には、上述したように、光センサ素子 S の第 1 制御電極 G 1 と第 2 制御電極 G 2 との両方に印加する電圧により、光線センサ素子 S から読み出す電気信号量を制御して電気信号の取り出し効率の向上を図り、また光センサ素子 S から電気信号を読み出す際に当該光センサ素子 S の p 型領域 ( アノード ) 7 p と n 型領域 ( カソード ) 7 n との間に印加する読出電圧 ( しきい値電圧 ) を制御する。

40

【 0 0 6 1 】

以上説明した構成の表示装置 2 0 では、光センサ素子 S として上述した構成の感度の向上が図られた光センサ素子 S を用いたことにより、表示領域 2 1 a 内における光センサ素子 S の微細化を図ることができる。

【 0 0 6 2 】

これにより、光センサ素子 S が設けられたセンサー部 3 1 の占有面積を縮小し、画素部 3 2 の拡大による画素開口率の向上を図ることができる。したがって、センサー機能 ( 撮像機能 ) 付きの表示装置 2 0 における画質の高品位化を達成することが可能になる。

50

## 【0063】

また、光センサ素子Sは、第1制御電極G1と第2制御電極G2との両方に印加する電圧の制御により、受光部(i型領域)7i内に電界を形成し、半導体層7内の不純物濃度によらずに、受光部7i内のバンドギャップ $E_c - E_v$ 間におけるフェルミ準位 $E_F$ を制御することができるものである。このため、薄膜トランジスタTrの特性に合わせて半導体層7内の不純物濃度を設計した場合であっても、第1制御電極G1と第2制御電極G2とに印加する電圧によって、光センサ素子Sを所望の特性に制御することが可能である。したがって、光センサ素子Sと同一層を用いた薄膜トランジスタの特性によらずに、光センサ素子Sの感度を維持することができる。これによっても、光センサ素子Sが設けられたセンサー部31の占有面積の縮小と、センサー機能(撮像機能)付きの表示装置20における画質の高品位化を達成することが可能になる。

10

## 【0064】

尚、以上の実施形態においては、センサ機能(撮像機能)を有する表示装置として液晶表示装置を例示したが、表示領域内に光センサ素子が配置された表示装置であれば液晶表示装置に限定されることはなく、本発明構成の光センサ素子Sを用いることにより同様の効果を得ることが可能である。

## 【0065】

<表示装置の他の例>

上述した構成の光センサ素子Sを用いた表示装置の他の例としては、光センサ素子Sを備えたセンサー部を表示領域21aの周辺に設け、受光した外光の強度によってバックライトを調整する機能を備えた構成への適用も可能である。この場合、光センサ素子Sを備えたセンサー部の回路構成は、例えば図8に示すような構成とすることができる。

20

## 【0066】

すなわち、センサ素子Sは、n型領域(カソード)7nが電源線(Vdd)に接続され、p型領域(アノード)7pが容量素子Csとリセット回路と読出回路とに接続されている。そして各光センサ素子Sの両面に設けた2つの制御電極G1, G2は、それぞれが独立した制御線51, 52に接続されている。尚、容量素子Csのもう一方の電極は、電源線(Vss)に接続されている。

## 【0067】

そして、光センサ素子Sには、リセット回路からの信号によってリセットされながら、容量素子Csにおいて受光量に対応した電荷が蓄積されるようになっている。容量素子Csに蓄積された電荷は、読出回路からの信号によって外部へ出力される構成となっている。

30

## 【0068】

またこのような表示装置においては、図5に示した表示装置20が備えている受光ドライブ回路24、画像処理部25、およびアプリケーションプログラム実行部26に換えて、光センサ素子Sから出力された電気信号に基づいて、バックライトの光強度を制御する回路を備えていることとする。

## 【0069】

このような構成の表示装置であっても、受光感度の向上した光センサ素子Sを用いたことにより、光センサ素子Sの占有面積を微細化して表示領域の面積拡大を図ることが可能になる。

40

## 【0070】

尚、以上の実施形態においては、センサ機能(撮像機能)を有する表示装置として液晶表示装置を例示したが、バックライトを備えた表示装置であれば液晶表示装置に限定されることはなく、本発明構成の光センサ素子Sを用いることにより同様の効果を得ることが可能である。また、バックライトの構成では、通常白色光を用いることも出来るが、表示に影響しない非可視光(赤外光や紫外光)でアシストしたものを用いてもよい。特に赤外光を組み合わせる場合には、本発明の方式で長波長領域での感度が向上することとあわせて、効果が大きい。また、他にも、バックライトを用いず有機LED(OLED)を

50

回路面に形成する自発光ディスプレイにおいても、本発明の光センサ素子を設けた構成とすることにより、同様の効果を得ることができる。

【0071】

また以上の実施形態においては、画素部または周辺領域の薄膜トランジスタを構成する層と同一層を用いて光センサ素子Sの各層を構成した例を説明した。しかしながら本発明の表示装置は、図1を用いて説明した光センサ素子Sを備えた構成であれば良く、光センサ素子Sの占有面積を微細化して表示領域の面積拡大を図る効果を得ることが可能である。

【0072】

<適用例>

以上説明した本発明に係る表示装置は、図9～図13に示す様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラなど、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。以下に、本発明が適用される電子機器の一例について説明する。

【0073】

図9は、本発明が適用されるテレビを示す斜視図である。本適用例に係るテレビは、フロントパネル102やフィルターガラス103等から構成される映像表示画面部101を含み、その映像表示画面部101として本発明に係る表示装置を用いることにより作成される。

【0074】

図10は、本発明が適用されるデジタルカメラを示す図であり、(A)は表側から見た斜視図、(B)は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部111、表示部112、メニュースイッチ113、シャッターボタン114等を含み、その表示部112として本発明に係る表示装置を用いることにより作製される。

【0075】

図11は、本発明が適用されるノート型パーソナルコンピュータを示す斜視図である。本適用例に係るノート型パーソナルコンピュータは、本体121に、文字等を入力するとき操作されるキーボード122、画像を表示する表示部123等を含み、その表示部123として本発明に係る表示装置を用いることにより作製される。

【0076】

図12は、本発明が適用されるビデオカメラを示す斜視図である。本適用例に係るビデオカメラは、本体部131、前方を向いた側面に被写体撮影用のレンズ132、撮影時のスタート/ストップスイッチ133、表示部134等を含み、その表示部134として本発明に係る表示装置を用いることにより作製される。

【0077】

図13は、本発明が適用される携帯端末装置、例えば携帯電話機を示す図であり、(A)は開いた状態での正面図、(B)はその側面図、(C)は閉じた状態での正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。本適用例に係る携帯電話機は、上側筐体141、下側筐体142、連結部(ここではヒンジ部)143、ディスプレイ144、サブディスプレイ145、ピクチャーライト146、カメラ147等を含み、そのディスプレイ144やサブディスプレイ145として本発明に係る表示装置を用いることにより作製される。

【図面の簡単な説明】

【0078】

【図1】実施形態の光センサ素子の構成を説明するための概略断面図である。

【図2】実施形態の光センサ素子における半導体層のバンド構造の模式図である。

【図3】実施形態の光センサ素子の駆動例と、この駆動によって得られる素子特性を示す図である。

10

20

30

40

50

【図4】実施形態の光センサ素子の駆動の他の例と、この駆動によって得られる素子特性を示す図である。

【図5】本発明に係る表示装置の全体構成を表す図である。

【図6】実施形態における表示パネルの表示領域における回路構成を示す図である。

【図7】実施形態の表示装置における画素部の構成とセンサー部の構成を説明するための概略断面図である。

【図8】実施形態の表示装置におけるセンサー部の回路構成の他の例を示す図である。

【図9】本発明が適用されるテレビを示す斜視図である。

【図10】本発明が適用されるデジタルカメラを示す図であり、(A)は表側から見た斜視図、(B)は裏側から見た斜視図である。

10

【図11】本発明が適用されるノート型パーソナルコンピュータを示す斜視図である。

【図12】本発明が適用されるビデオカメラを示す斜視図である。

【図13】本発明が適用される携帯端末装置、例えば携帯電話機を示す図であり、(A)は開いた状態での正面図、(B)はその側面図、(C)は閉じた状態での正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。

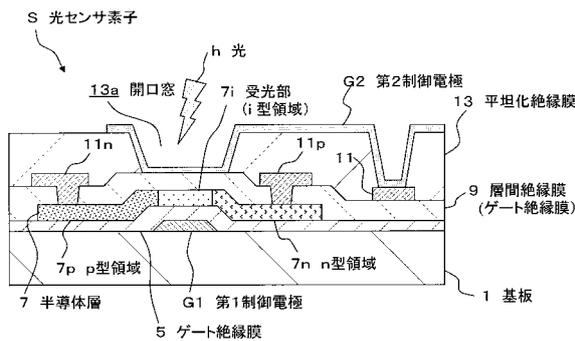
【符号の説明】

【0079】

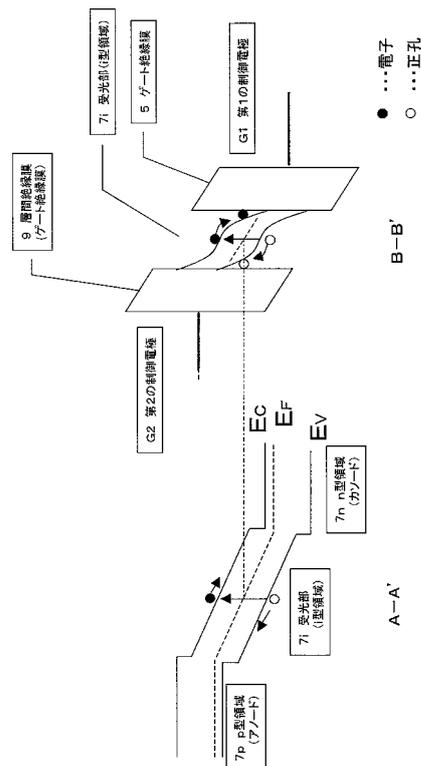
1...基板(第1基板)、5...ゲート絶縁膜、7...半導体層、7i...受光部(i型領域)、7n...n型領域、7p...p型領域、9...層間絶縁膜(ゲート絶縁膜)、13...平坦化絶縁膜、13a...開口窓、20...表示装置、21a...表示領域、31...画素部、31c...画素電極、G1...第1制御電極、G2...第2制御電極、S...光センサ素子、Tr...薄膜トランジスタ

20

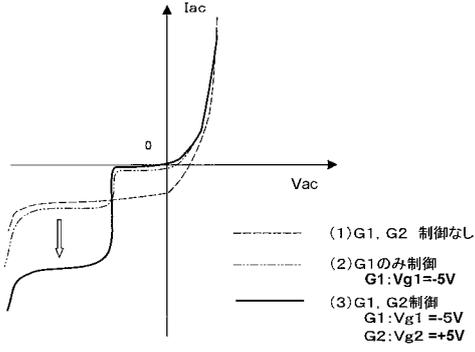
【図1】



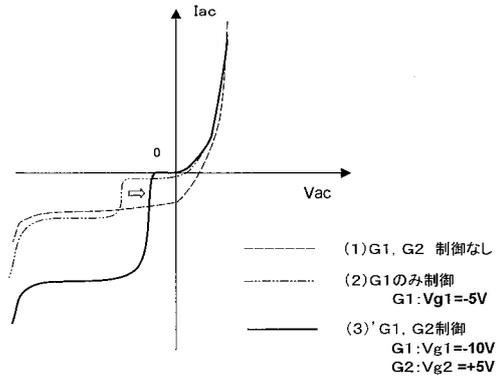
【図2】



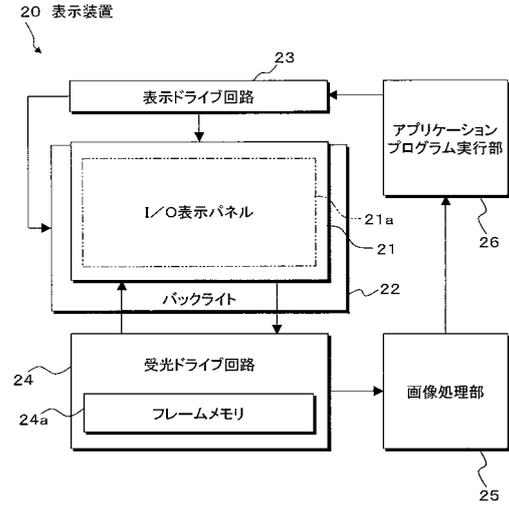
【図3】



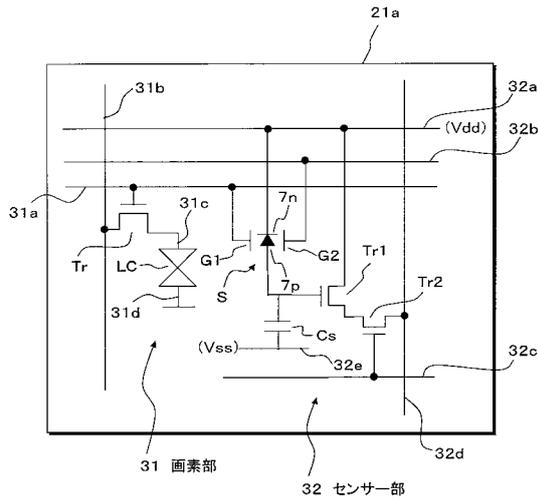
【図4】



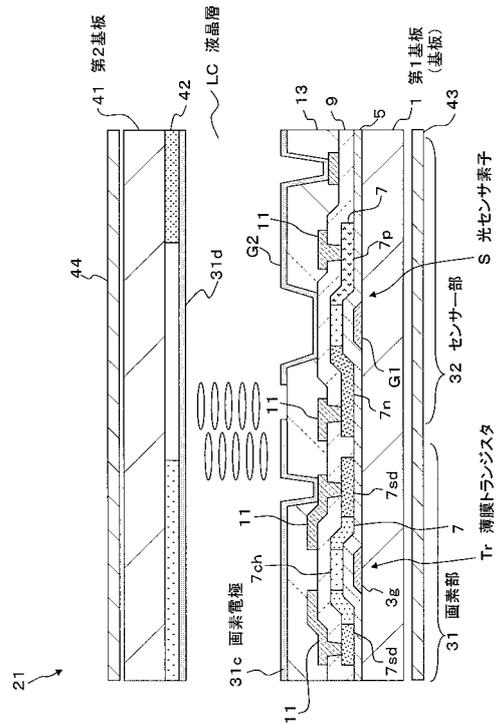
【図5】



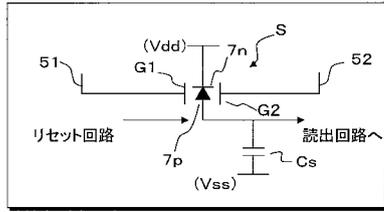
【図6】



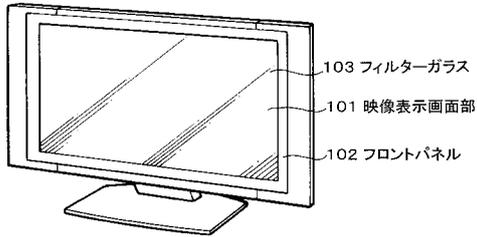
【図7】



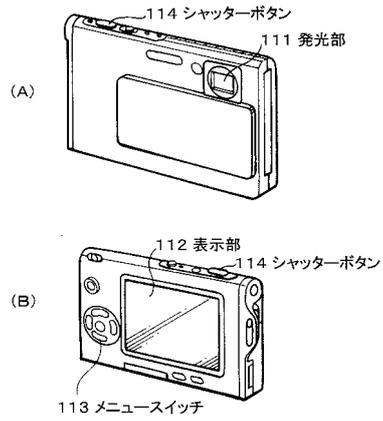
【図8】



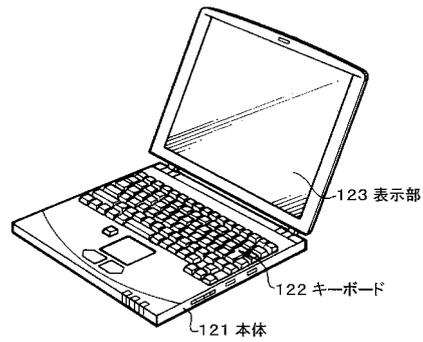
【図9】



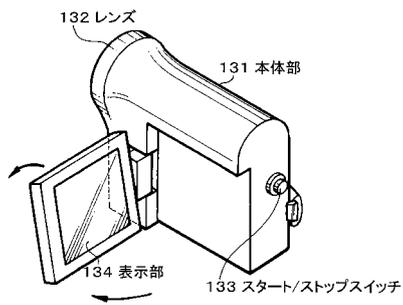
【図10】



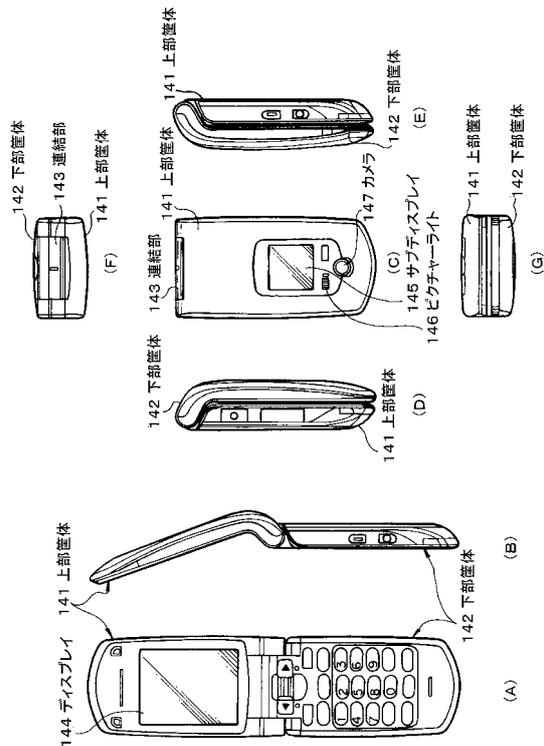
【図11】



【図12】



【図13】



---

フロントページの続き

(51)Int.Cl. F I

G 0 2 F 1/133 (2006.01)

(56)参考文献 特開平04 - 291968 (JP, A)  
特開2007 - 114315 (JP, A)  
特表2007 - 524197 (JP, A)  
特開2004 - 119719 (JP, A)  
特開2005 - 019636 (JP, A)  
特開2006 - 332287 (JP, A)  
特開2005 - 043672 (JP, A)  
特開平11 - 040841 (JP, A)  
特開平06 - 216359 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 31/10 - 31/119