



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년03월28일
(11) 등록번호 10-1963294
(24) 등록일자 2019년03월22일

- (51) 국제특허분류(Int. Cl.)
H01G 4/40 (2006.01) H01G 2/06 (2006.01)
H01G 2/14 (2006.01) H01G 4/012 (2006.01)
H01G 4/232 (2006.01) H05K 9/00 (2018.01)
- (52) CPC특허분류
H01G 4/40 (2013.01)
H01G 2/065 (2013.01)
- (21) 출원번호 10-2018-0007288(분할)
- (22) 출원일자 2018년01월19일
심사청구일자 2018년01월19일
- (65) 공개번호 10-2018-0073522
- (43) 공개일자 2018년07월02일
- (62) 원출원 특허 10-2016-0176313
원출원일자 2016년12월22일
심사청구일자 2016년12월22일
- (56) 선행기술조사문헌
KR1020150135909 A*
KR101578544 B1*
*는 심사관에 의하여 인용된 문헌
- (73) 특허권자
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
- (72) 발명자
변만수
경기도 수원시 영통구 매영로 150 (매탄동)
김호윤
경기도 수원시 영통구 매영로 150 (매탄동)
(뒷면에 계속)
- (74) 대리인
특허법인씨엔에스

전체 청구항 수 : 총 8 항

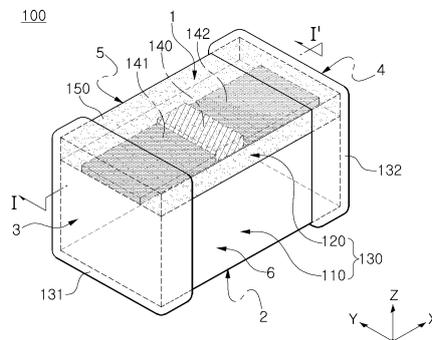
심사관 : 황승희

(54) 발명의 명칭 **복합 전자부품 및 그 실장 기판**

(57) 요약

본 발명은, 복수의 유전체층과 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 내부전극이 적층된 바디로 이루어진 커패시터와 상기 바디 상에 배치된 제1 및 제2 리드 전극, 상기 제1 및 제2 리드 전극 사이에 배치된 방전부 및 상기 제1 및 제2 리드 전극과 방전부 상에 배치된 보호층을 포함하는 ESD(Electro Static Discharge) 보호소자가 결합된 복합체; 상기 커패시터의 내부전극 및 상기 제1 전극과 연결되는 입력단자; 및 상기 커패시터의 내부전극 및 상기 제2 전극과 연결되는 접지단자; 를 포함하고, 서로 인접한 내부전극 사이의 거리를 G1으로, 상기 제1 및 제2 리드 전극 사이의 거리를 G2로 정의할 때, G2/G1이, G2/G1<4.0인 복합 전자부품 및 그 실장 기판을 제공한다.

대표도



(52) CPC특허분류

H01G 2/14 (2013.01)
H01G 4/012 (2013.01)
H01G 4/232 (2013.01)
H05K 9/0067 (2019.01)
H05K 2201/10015 (2013.01)

(72) 발명자

천민경

경기도 수원시 영통구 매영로 150 (매탄동)

유경화

경기도 수원시 영통구 매영로 150 (매탄동)

손수환

경기도 수원시 영통구 매영로 150 (매탄동)

정대현

경기도 수원시 영통구 매영로 150 (매탄동)

명세서

청구범위

청구항 1

서로 대향하는 제1 및 제2 면, 제1 및 제2 면과 연결되고 서로 대향하는 제3 및 제4 면, 제1 및 제2 면과 연결되고 제3 및 제4 면과 연결되며 서로 대향하는 제5 및 제6 면을 포함하고, 복수의 유전체층과 상기 유전체층들 사이에 두고 바디의 제3 및 제4 면을 통해 각각 노출되도록 배치되는 제1 및 제2 내부전극이 적층된 바디로 이루어진 커패시터와 상기 바디의 제1 면에 배치된 제1 및 제2 리드 전극, 상기 바디의 제1 면에서 상기 제1 및 제2 리드 전극 사이에 배치된 방전부 및 상기 제1 및 제2 리드 전극과 방전부 상에 배치된 보호층을 포함하는 ESD(Electro Static Discharge) 보호소자가 결합된 복합체;

상기 제1 리드 전극과 연결되는 입력단자; 및

상기 제2 리드 전극과 연결되는 접지단자; 를 포함하고,

서로 인접한 제1 내부전극과 제2 내부전극 사이의 거리를 G1으로, 상기 제1 및 제2 리드 전극 사이의 거리를 G2로 정의할 때, $G2/G1$ 이, $0.2 < G2/G1 \leq 3.9$ 인 복합 전자부품.

청구항 2

제1항에 있어서,

상기 ESD 보호소자는 상기 바디의 제2 면에 배치된 복합 전자부품.

청구항 3

제1항에 있어서,

상기 제1 및 제2 리드 전극은 동일 평면상에서 서로 대향하는 복합 전자부품.

청구항 4

제1항에 있어서,

상기 방전부는 전도성 고분자를 포함하는 복합 전자부품.

청구항 5

제1항에 있어서,

상기 보호층은 에폭시계 수지를 포함하는 복합 전자부품.

청구항 6

제1항에 있어서,

상기 입력단자는 상기 바디와 상기 ESD 보호소자의 제3 면에 배치되며, 상기 제1 내부전극 및 상기 제1 리드 전극과 연결되고,

상기 접지단자는 상기 바디와 상기 ESD 보호소자의 제4 면에 배치되며, 상기 제2 내부전극 및 상기 제2 리드 전

극과 연결되는 복합 전자 부품.

청구항 7

제1항에 있어서,
상기 입력단자와 접지단자 외측에 도금층이 배치된 복합 전자부품.

청구항 8

상부에 복수의 전극 패드를 갖는 기판;
상기 기판 위에 설치된 제1항 내지 제7항 중 어느 한 항의 복합 전자부품; 및
상기 전극 패드와 상기 복합 전자부품을 연결하는 솔더; 를 포함하는 복합 전자부품의 실장 기판.

발명의 설명

기술분야

[0001] 본 발명은 복합 전자부품 및 그 실장 기판에 관한 것이다.

배경기술

- [0003] 최근 반도체 산업의 급격한 발전으로 인해 소형화 및 고성능화를 위한 초고집적화를 추구하고 있어서 IC 내부에 정전기 대책에 대한 충분한 대책 방안 마련이 어렵다.
- [0004] 이에, IC의 전원 및 신호의 입력단에 ESD(Electro Static Discharge) 보호소자의 적용의 필요성이 증대하고 있다.
- [0005] 또한, 휴대 전화기, 디지털 카메라 및 PDA와 같은 휴대형 제품, 고속 데이터선, USB 및 HDMI 등에서 데이터의 전송 속도는 점점 빨라지고 있어서, 상기 ESD(Electro Static Discharge)에 대한 대책은 더욱 중요한 문제로 부각되고 있다.
- [0006] 또한, 자동차 및 TV 등의 여러 기능을 하는 전자 보드(Board)를 구성하는 제품에서 보드 간 연결 케이블이나 외부 포트(Port)를 접속하는 커넥터가 필수인데, 이 부분은 공정이나 작업자 및 사용자가 쉽게 접촉 가능한 부분이어서 제품의 신뢰성을 위해 노이즈 및 정전기에 대한 대책이 매우 중요하다.
- [0007] 종래에는 이러한 ESD(Electro Static Discharge) 방지 대책 부품으로 MLCC(Multilayer ceramic capacitor), TVS(Transient Voltage Suppression) Diode, Varistor 또는 ESD(Electro Static Discharge) Suppressor 등이 단독 혹은 병렬로 연결되어 사용되어 왔다.
- [0008] 이 경우, 전자 기기의 부품 배치 면적이 증가할 수밖에 없으므로, 전자 기기의 소형화에 제한이 될 수 있다.
- [0009] 또한, 이 중 MLCC를 제외한 부품은 MLCC가 갖고 있는 고유의 노이즈 필터 특성을 비롯한 전기적인 특성을 확보하기 어렵기 때문에 초고주파 통신단을 제외하고는 단독으로 적용되는 경우가 매우 드문 실정이다.
- [0011] 또한, 전자 기기의 충전시 어댑터에서 유기된 고전압이 스마트 폰의 PCB 그라운드와 대지간에 형성된다.
- [0012] 이때, 전자 기기의 케이스를 금속으로 사용하게 되면 안테나 특성을 확보하기 위해 PCB 그라운드와 케이스간에 쇼트가 발생하게 되고, 이는 감전 사고의 원인이 될 수 있다.
- [0013] 이러한 감전 사고의 방지책으로 ESD를 사용할 수 있다.
- [0014] 그러나, 적층형 커패시터의 경우 금속 케이스에서 유입되는 ESD에 의해 적층형 커패시터가 손상될 가능성이 있으므로, 이에 적층형 커패시터에서 보다 강한 ESD 내구성이 요구되고 있다.

선행기술문헌

특허문헌

- [0016] (특허문헌 0001) 국내공개특허공보 제2015-0135909호
- (특허문헌 0002) 일본공개특허공보 제2000-114005호

발명의 내용

해결하려는 과제

- [0017] 본 발명은 ESD를 사용하면서 부품 실장 면적을 감소시킬 수 있는 복합 전자부품 및 그 실장 기판을 제공하는데 목적이 있다.

과제의 해결 수단

- [0019] 본 발명의 일 측면은, 복수의 유전체층과 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 내부전극이 적층된 바디로 이루어진 커패시터와 상기 바디 상에 배치된 제1 및 제2 리드 전극, 상기 제1 및 제2 리드 전극 사이에 배치된 방전부 및 상기 제1 및 제2 리드 전극과 방전부 상에 배치된 보호층을 포함하는 ESD(Electro Static Discharge) 보호소자가 결합된 복합체; 상기 커패시터의 내부전극 및 상기 제1 전극과 연결되는 입력단자; 및 상기 커패시터의 내부전극 및 상기 제2 전극과 연결되는 접지단자; 를 포함하고, 서로 인접한 내부전극 사이의 거리를 G1으로, 상기 제1 및 제2 리드 전극 사이의 거리를 G2로 정의할 때, G2/G1이 4.0 미만인 복합 전자부품.
- [0021] 본 발명의 다른 측면은, 상부에 복수의 전극 패드를 갖는 기판과 상기 기판 위에 설치된 상기 복합 전자부품 및 상기 전극 패드와 상기 복합 전자부품을 연결하는 솔더를 포함하는 복합 전자부품의 실장 기판을 제공한다.

발명의 효과

- [0023] 본 발명의 일 실시 형태에 따르면, ESD를 사용하면서 부품 실장 면적을 감소시킬 수 있는 복합 전자부품을 제공할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 제1 실시 형태에 따른 복합 전자부품을 개략적으로 도시한 투명 사시도이다.
- 도 2는 도 1의 I-I' 단면도이다.
- 도 3은 본 발명의 제2 실시 형태에 따른 복합 전자부품을 개략적으로 도시한 투명 사시도이다.
- 도 4는 도 3의 II-II' 단면도이다.
- 도 5는 도 3의 복합 전자부품이 기판에 실장된 모습을 도시한 사시도이다.
- 도 6a는 ESD 보호소자로 Turn On이 정상적으로 이루어질 경우의 적층형 커패시터의 전압 파형을 나타낸 그래프이다.
- 도 6b는 ESD 보호소자로 Turn On이 정상적으로 이루어지지 않을 경우의 적층형 커패시터의 전압 파형을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 발명의 실시 형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시 형태로 한정되는 것은 아니다.
- [0027] 또한, 본 발명의 실시 형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다.
- [0028] 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0030] **복합 전자 부품**

- [0032] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 형태를 설명한다.
- [0034] 도 1은 본 발명의 제1 실시 형태에 따른 복합 전자부품을 개략적으로 도시한 투명 사시도이고, 도 2는 도 1의 A-A' 단면도이다.
- [0036] 도 1을 참조하면, 본 발명의 일 실시형태에 따른 복합 전자부품에 있어서, '길이 방향'은 도 1의 'X' 방향, '폭 방향'은 'Y' 방향, '두께 방향'은 'Z' 방향으로 정의하기로 한다.
- [0037] 여기서 '두께 방향'은 커패시터의 유전체층을 쌓아 올리는 방향, 즉 '적층 방향'과 동일한 개념으로 사용할 수 있다.
- [0039] 한편, 상기 복합 전자부품의 길이, 폭 및 두께 방향은 후술하는 바와 같이, 커패시터 및 ESD(Electro Static Discharge) 보호소자의 길이, 폭 및 두께 방향과 동일한 것으로 정의하도록 한다.
- [0040] 또한, 본 발명의 일 실시형태에서, 상기 복합 전자부품의 형상은 특별히 제한은 없지만, 도시된 바와 같이 육면체 형상일 수 있다.
- [0041] 이때, 복합 전자부품은 Z방향으로 서로 대향하는 제1 면 및 제2 면(1, 2)과, 제1 및 제2 면(1, 2)을 연결하고 X 방향으로 서로 대향하는 제3 및 제4 면(3, 4)과, 제1 및 제2 면(1, 2)과 연결되고 제3 및 제4 면(3, 4)과 연결되고 Y방향으로 서로 대향하는 제5 및 제6 면(5, 6)을 포함할 수 있다.
- [0042] 또한, 상기 복합 전자부품의 제3 내지 제6 면은 후술하는 바와 같이, 커패시터 및 ESD(Electro Static Discharge) 보호소자의 제3 내지 제6 면과 동일한 방향의 면으로 정의하도록 한다.
- [0044] 한편, 상기 복합 전자부품은 커패시터와 ESD(Electro Static Discharge) 보호소자가 결합된 형태로서, 커패시터 하부에 ESD(Electro Static Discharge) 보호소자가 결합되어 있는 경우 상기 복합 전자부품의 상면은 상기 커패시터의 상면으로 정의되며, 상기 복합 전자부품의 하면은 상기 ESD(Electro Static Discharge) 보호소자의 하면으로 정의될 수 있다.
- [0046] 도 1 및 도 2를 참조하면, 본 발명의 제1 실시형태에 따른 복합 전자부품(100)은 복수의 유전체층(111)과 상기 유전체층(111)을 사이에 두고 서로 대향하도록 배치되는 내부전극(121, 122)이 적층된 바디로 이루어진 커패시터(110)와 상기 바디 상에 배치된 제1 및 제2 리드 전극(141, 142), 제1 및 제2 리드 전극(141, 142) 사이에 배치된 방전부(140) 및 제1 및 제2 리드 전극(141, 142)과 방전부(140) 상에 배치된 보호층(150)을 포함하는 ESD(Electro Static Discharge) 보호소자(120)가 결합된 복합체(130)를 포함한다.
- [0048] 본 실시형태에서, 복합체(130)는 커패시터(110)와 ESD(Electro Static Discharge) 보호소자(120)가 결합되어 형성될 수 있으며, 상기 복합체(130)의 형성 방법은 특별히 제한되지 않는다.
- [0049] 예를 들면, 복합체(130)의 형성은 별도로 제작된 커패시터(110)와 ESD(Electro Static Discharge) 보호소자(120)를 도전성 접착제 혹은 수지 등으로 결합시킬 수 있으며, 커패시터(110)를 구성하는 바디 상에 제1 및 제2 리드 전극(141, 142)과 방전부(140) 및 보호층(150)을 순차적으로 배치하여 형성할 수 있으며, 특별히 제한되지 않는다.
- [0050] 본 발명의 제1 실시형태에 따르면, 커패시터(110)를 구성하는 바디 상에 상기 제1 및 제2 리드 전극(141, 142)과 방전부(140) 및 보호층(150)을 순차적으로 배치하여 복합체(130)를 형성한다.
- [0052] 이하에서는 복합체(130)를 구성하는 커패시터(110)와 ESD(Electro Static Discharge) 보호소자(120)에 대하여 구체적으로 설명하도록 한다.
- [0054] 커패시터(110)를 구성하는 바디는 복수의 유전체층(111)이 적층됨으로써 형성되며, 바디의 내에는 복수의 내부 전극들(121, 122: 순차적으로 제1 및 제2 내부 전극)이 유전체층(111)을 사이에 두고 서로 분리되어 배치될 수 있다.
- [0055] 바디를 구성하는 복수의 유전체층(111)은 소결된 상태로서, 인접하는 유전체층(111)끼리의 경계는 확인할 수 없을 정도로 일체화되어 있을 수 있다.
- [0056] 유전체층(111)은 세라믹 파우더, 유기 용제 및 유기 바인더를 포함하는 세라믹 그린시트의 소성에 의하여 형성될 수 있다.

- [0057] 상기 세라믹 파우더는 높은 유전율을 갖는 물질로서 이에 제한되는 것은 아니나 티탄산바륨(BaTiO₃)계 재료, 티탄산스트론튬(SrTiO₃)계 재료 등을 사용할 수 있다.
- [0059] 한편, 본 발명의 제1 실시형태에 따르면, 상기 내부전극은 상기 복합체(130)의 제3 면(3)으로 노출된 제1 내부전극(121)과 제4 면(4)으로 노출된 제2 내부전극(122)을 포함할 수 있으나, 반드시 이에 제한되는 것은 아니다.
- [0060] 제1 및 제2 내부전극(121, 122)은 도전성 금속을 포함하는 도전성 페이스트에 의하여 형성될 수 있다.
- [0061] 상기 도전성 금속은 이에 제한되는 것은 아니나, 니켈(Ni), 구리(Cu), 팔라듐(Pd), 또는 이들의 합금일 수 있다.
- [0062] 이러한 제1 및 제2 내부 전극(121, 122)은 유전체층(111)을 형성하는 세라믹 그린시트 상에 스크린 인쇄법 또는 그라비아 인쇄법과 같은 인쇄법을 통하여 도전성 페이스트로 인쇄할 수 있다.
- [0063] 그리고, 내부전극이 인쇄된 세라믹 그린시트를 번갈아 가며 적층하고 소성하여 바디를 형성할 수 있다.
- [0064] 본 실시 형태의 커패시터는 신호 인터페이스(Signal Interface), IC Block 또는 통신 라인(Line)에서 저주파의 노이즈 성분을 필터링하는 역할을 수행할 수 있다.
- [0066] 본 발명의 제1 실시형태에 따르면, ESD(Electro Static Discharge) 보호소자(120)는 상기 커패시터(110)를 구성하는 바디 상에 제1 및 제2 리드 전극(141, 142)과 방전부(140) 및 보호층(150)을 순차적으로 배치하여 형성될 수 있다.
- [0067] 일반적으로, 이러한 ESD(Electro Static Discharge) 방지 대책 부품으로서 MLCC(Multilayer ceramic capacitor) 또는 ESD(Electro Static Discharge) 써프레스서(Suppressor) 등이 단독 혹은 병렬로 연결하여 사용되어 왔다.
- [0069] 그러나, 본 발명의 제1 실시형태에 따르면, 복합 전자부품(100)은 커패시터(110)와 ESD(Electro Static Discharge) 보호소자(120)가 결합된 부품이다.
- [0070] ESD(Electro Static Discharge) 보호소자(120)는 ESD(Electro Static Discharge) 써프레스서(Suppressor)일 수 있으나, 반드시 이에 제한되는 것은 아니다.
- [0071] 본 발명의 일 실시형태에 따른 ESD(Electro Static Discharge) 보호소자(120)는 ESD(Electro Static Discharge) 써프레스서(Suppressor)이기 때문에 하기와 같은 이유로 바리스터(Varistor)와는 구조 및 작용에 있어 차이가 있다.
- [0073] 본 발명의 제1 실시형태에 따르면 제1 및 제2 리드 전극(141, 142)은 동일 평면상에서 서로 대향하여 배치될 수 있다.
- [0074] 일반적인 EOS(Electrical Overstress) 보호소자로서 바리스터(Varistor)는 산화아연(Zinc Oxide)을 원료물질로 하며, 팔라듐(Pd) 또는 은(Ag) 전극이 상기 산화아연(Zinc Oxide)을 사이에 두고 적층 방향으로 대향하며 적층되는 형태이다.
- [0075] 그러나, 본 발명의 제1 실시형태에 따르면 상기 제1 및 제2 리드 전극(141, 142)은 동일 평면상에서 서로 대향하는 형태로 배치될 수 있다.
- [0076] 다만, 반드시 이에 제한되는 것은 아니며, 제1 및 제2 리드 전극(141, 142)은 복합체(130)의 Z방향으로 일부가 서로 대향하여 배치될 수도 있다.
- [0077] 제1 및 제2 리드 전극(141, 142)은 도전성 금속을 포함하는 도전성 페이스트에 의하여 형성될 수 있다.
- [0078] 상기 도전성 금속은 이에 제한되는 것은 아니나, 니켈(Ni), 구리(Cu), 팔라듐(Pd), 또는 이들의 합금일 수 있다.
- [0079] 이러한 제1 리드 전극(141, 142)은 상기 바디 상에 스크린 인쇄법 또는 그라비아 인쇄법과 같은 인쇄법을 통하여 도전성 페이스트로 인쇄할 수 있다.
- [0081] 방전부(140)는 전도성 고분자를 포함할 수 있으나, 반드시 이에 제한되는 것은 아니다.
- [0082] 상기 전도성 고분자는 커넥터에서 시스템 또는 IC로 신호가 전달되는 신호 인터페이스(Signal Interface)나 원단의 IC Block 또는 통신 라인(Line)에서 입력되는 신호 전압이 정격 전압(회로 전압) 수준인 경우에는 부도

체의 특성을 가지나, 순간적으로 ESD 등의 과전압이 발생할 경우 도체의 특성을 가진다.

- [0083] 상기 ESD 등의 과전압 발생시 도체의 특성을 갖는 방전부(140)으로 인해 제1 및 제2 리드 전극(141, 142)은 서로 쇼트 될 수 있다.
- [0084] 이로 인하여, 상기 ESD 등의 과전압은 ESD(Electro Static Discharge) 보호소자(120)를 통해 접지로 바이패스되며, 이로써 상기 신호 인터페이스(Signal Interface)나 IC Block 또는 통신 라인(Line)을 보호할 수 있다.
- [0086] 상기 전도성 고분자는 특별히 제한되는 것은 아니나, 예를 들어 실리콘(Silicone)계 수지일 수 있다.
- [0087] 본 발명의 제1 실시형태에 따르면, 방전부(140)가 실리콘(Silicone)계 수지인 전도성 고분자를 포함하기 때문에 ESD(Electro Static Discharge) 보호소자(120)는 커패시터(110)의 외부 면에 결합하여야 하며, 커패시터(110)의 내부에 배치될 수 없다.
- [0088] 그 이유는 상기 실리콘(Silicone)계 수지는 비점(Boiling point)이 상기 커패시터 제작시 요구되는 바디의 소성 온도보다 훨씬 낮기 때문에 상기 커패시터의 내부에 배치될 경우 증발되어 제거될 수 있기 때문이다.
- [0089] 또한, 본 발명의 제1 실시형태에 따르면 ESD(Electro Static Discharge) 보호소자(120)가 제1 및 제2 리드 전극(141, 142)과 그 사이에 배치된 방전부(140)에 의해 ESD 등의 과전압을 바이패스 할 수 있으나, 바리스터(Varistor)는 정격 전압에 대하여는 절연체로 작용하다가 과전압 발생시 가변저항체로서 작용하여 과전압을 바이패스 한다.
- [0091] 보호층(150)은 ESD(Electro Static Discharge) 보호소자(120)에 있어서, 제1 및 제2 리드 전극(141, 142)과 그 사이에 배치된 방전부(140)를 외부의 환경으로부터 보호하는 작용을 하는 구성으로서, 그 재료는 특별히 제한되는 것은 아니다.
- [0092] 본 발명의 제1 실시형태에 따르면, 보호층(150)은 에폭시계 수지를 포함할 수 있다.
- [0093] 이렇게 보호층(150)이 에폭시계 수지를 포함함으로써, 제1 및 제2 리드 전극(141, 142)과 그 사이에 배치된 방전부(140)를 외부의 환경으로부터 보호할 수 있다.
- [0094] 또한, 본 실시 형태에서, 보호층(150)은 ESD(Electro Static Discharge) 보호소자(120)가 커패시터(110)의 외부 면에 결합하기 때문에 외부 환경으로부터 상기 소자를 보호하기 위하여 필수적인 구성일 수 있다.
- [0096] 본 발명의 제1 실시형태에 따른 복합 전자부품(100)은 복합체(130)의 제3 면(3)에 배치되며, 커패시터(110)의 제1 내부전극(121) 및 ESD(Electro Static Discharge) 보호소자(120)의 제1 리드 전극(141)과 연결되는 입력단자(131)와 복합체(130)의 제4 면(4)에 형성되며, 커패시터(110)의 제2 내부전극(122) 및 제2 리드 전극(142)과 연결되는 접지단자(132)를 포함한다.
- [0097] 입력 단자(131)는 복합체(130)의 제3 면(3)에서 바디의 제1 면(1)의 일부와 보호층(150)의 제2 면(2)의 일부까지 연장되게 형성될 수 있다.
- [0098] 접지 단자(132)는 복합체(130)의 제4 면(4)에서 바디의 제1 면(1)의 일부와 보호층(150)의 제2 면(2)의 일부까지 연장되게 형성될 수 있다.
- [0099] 이러한 입력 단자(131)와 접지 단자(132)는 커패시터(110)의 제1 및 제2 내부전극(121, 122)과 각각 연결되어, 복합 전자부품(100)은 입력 신호의 노이즈 성분을 필터링하는 역할을 수행할 수 있다.
- [0100] 또한, 입력 단자(131)와 접지 단자(132)가 ESD(Electro Static Discharge) 보호소자(120)의 제1 및 제2 리드 전극(141, 142)과 연결되면, 복합 전자부품(100)은 정격 전압 이상의 과전압을 바이패스 할 수 있다.
- [0101] 이러한 입력 단자(131)와 접지 단자(132)는 도전성 금속을 포함하는 도전성 페이스트에 의하여 형성될 수 있다.
- [0102] 상기 도전성 금속은 이에 제한되는 것은 아니나, 니켈(Ni), 구리(Cu), 주석(Sn), 또는 이들의 합금일 수 있다.
- [0103] 또한, 상기 도전성 페이스트는 절연성 물질을 더 포함할 수 있으며, 이에 제한되는 것은 아니나, 예를 들어 상기 절연성 물질은 글라스일 수 있다.
- [0104] 또한, 입력 단자(131) 및 접지 단자(132)를 형성하는 방법은 특별히 제한되지 않으며, 상기 복합체를 디핑(dipping)하여 형성할 수 있으나, 도금 등의 다른 방법을 사용할 수 있음은 물론이다.
- [0105] 또한, 도면에 도시하지는 않았으나, 입력 단자(131)와 접지 단자(132)의 외측에는 도금에 의한 니켈/주석

(Ni/Sn) 도금층이 더 배치될 수 있다.

- [0107] 전자 기기 제조 업체에서는, 소비자 요구를 만족시키기 위하여, 전자 기기에 구비되는 PCB 사이즈를 줄이기 위한 노력을 하고 있다.
- [0108] 이를 위해서는, PCB에 실장되는 IC의 집적도를 높이는 것이 요구되고 있다. 본 발명의 실시형태에 의하면, 복수 개의 소자를 하나의 복합 부품으로 구성함으로써 이러한 요구를 만족시킬 수 있다.
- [0109] 또한, 본 발명의 실시형태에 의하면, 두 개의 부품(커패시터와 ESD(Electro Static Discharge) 보호 소자)을 하나의 복합 전자부품으로 구현함으로써, 소자의 집적도를 향상시켜 PCB의 실장 면적을 감소시킬 수 있다.
- [0110] 본 실시 형태에서는, 기존의 두 개의 부품이 분리되어 구성된 전자부품에 비해 50% 이상의 실장 면적 감소 효과를 기대할 수 있다.
- [0112] 또한, 본 발명의 실시형태에 따른 복합 전자부품은 고속 데이터선, USB 3.0 이상 및 HDMI 등에 사용될 수 있으며, 자동차 및 TV 등의 여러 기능을 하는 전자 보드(Board)를 구성하는 제품에서 보드 간 연결 케이블이나 외부 포트(Port)에 사용될 수 있다.
- [0113] 상기 어플리케이션(Application)은 데이터 전송 속도가 고속이며, 반응 속도가 매우 높은 지점이며, 주파수도 고주파 대역이기 때문에 ESD(Electro Static Discharge) 보호 소자 역시 상기 어플리케이션(Application)에 적합한 부품이어야 한다.
- [0114] 즉, 본 발명의 실시형태에 따른 복합 전자부품에 있어서 상기 ESD(Electro Static Discharge) 보호소자는 데이터 전송 속도가 고속이며, 반응 속도가 매우 높고, 주파수도 고주파 대역인 상기 고속 데이터선, USB 3.0 이상, HDMI 및 외부 포트에서 사용 가능한 ESD(Electro Static Discharge) 써프레서(Suppressor)일 수 있다.
- [0116] 한편, 제1 및 제2 리드 전극(141, 142)의 이격 거리에 따라 ESD 유입시의 켜짐전압(turn-on voltage)이 상이해지고, 일정 조건에 따라 커패시터에 흐르는 전류가 전자부품에 치명적인 영향을 미칠 수 있다.
- [0117] 여기서, Turn-on voltage는 ESD 보호소자가 작동하여 고전압의 정전기가 리드 전극으로 통하는 전압을 의미한다.
- [0118] 전자부품에 고전압의 전류가 흐를 때 리드 전극으로 흐르지 않는 경우, ESD가 커패시터에 가해지는 전류를 버터내는 정도는 커패시터의 내부 전극 간의 거리와 상관 관계가 있다.
- [0119] 리드 전극을 타고 흐르는 전류에서 누설전류(LC: leakage current)가 생기면 전자부품의 내부전극에 새로운 전계가 형성된다.
- [0120] 누설전류는 리드전극을 타고 흐르는 전류 중 일부가 전자부품의 내부전극으로 흐를 때의 전류이다.
- [0121] 내부 전극 간의 거리가 누설전류에서 가해지는 힘을 버터내지 못하면 커패시터에 크랙 등의 데미지(damage)가 생길 수 있다.
- [0122] 이때, 커패시터의 Z방향으로 서로 인접한 제1 및 제2 내부 전극 사이의 거리를 G1으로 정의하면, G1이 커질수록 커패시터의 내구성도 비례하여 커지게 된다.
- [0123] 즉, 내부전극 간 거리가 멀어질수록 커패시터의 절연저항 및 파괴전압(Break Down Voltage)이 상승한다.
- [0124] 이를 바탕으로 간단한 수식을 작성하면 $m \times G1 > LC$ 가 된다. 내부전극 간 거리가 LC의 영향을 버티기 위해서는 G1이 일정 값 이상이 되어야 하고, 이를 만족하는 G1 값을 아래에서 밝히고자 한다.
- [0125] 여기서, m은 단위보정인자로서 LC에 데미지를 받지 않을 수 있는 내부 전극간 거리와 누설전류(Leakage Current) 간의 차원을 보정하는 상수이다.
- [0126] 또한, 리드전극 간 거리를 G2로 정의할 때, $LC \propto G2$ 가 되고, $TOV = k \times G2$, 여기서 TOV는 Turn-on voltage이고, k는 비례상수이다.
- [0127] 일정한 TOV를 얻기 위해서는 일정 수치 내의 G2가 수반되며 G2가 수반된 ESD 내구성 강화 전자부품에서는 전자부품 쪽으로 흐르는 전류가 발생한다. 즉, 누설전류가 필연적으로 발생하게 된다.
- [0128] 상기 식들을 조합해보면 G2는 TOV 및 LC와 비례하게 되고, LC가 생길 경우 커패시터를 보호할 수 있는 최소한의 G1 값은 G2에 따라 그 크기가 변할 수 있다.

[0129] 즉, 아래 수학적 식 1과 같이 G2/G1이 일정 상수 미만이면 되어야 커패시터에 손상을 입지 않고 ESD 내구성이 강화된 커패시터가 정 기능을 할 수 있게 된다.

[0131] $G2/G1 < (TOV / k) / (LC / m)$

[0132] $\therefore (TOV / k) / ((TOV * 1) / m)$

[0133] $\therefore m / (k \times 1)$

[0135] [수학적 식 1]

[0136] $G2/G1 < n \times m$ (m: 단위 보정인자, n: 무차원의 상수. k ×1의 역수)

[0138] 따라서, 상기 수학적 식 1과 그 내용을 참조할 때, 본 실시 형태에서, G2/G1은, G2/G1<4.0일 수 있다. 이러한 수치 범위를 만족할 때 ESD 내구성이 강화되면서 전자부품에 테미지(damage)가 발생되지 않을 수 있다. 또한, 상기 G2/G1은 더 바람직하게는 0.2<G2/G1<4.0일 수 있다.

[0140] **실험 예**

[0142] 도 6a는 ESD 보호소자로 Turn On이 정상적으로 이루어질 경우의 적층형 커패시터의 전압 파형을 나타낸 그래프이고, 도 6b는 ESD 보호소자로 Turn On이 정상적으로 이루어지지 않을 경우의 적층형 커패시터의 전압 파형을 나타낸 그래프이다.

[0143] 도 6a 및 도 6b에서, X축은 시간(20us/div)이고, Y축은 전압(500V/div)이다.

[0144] 도 6a를 보면, 초반 1us 이하로 순간 피크가 있지만 이후 플랫(flat)한 파형이 나타나 ESD흡수체가 정 기능을 한 경우이고, 도 6b의 경우 이를 ESD 흡수체가 흡수하지 못해 적층형 커패시터에 고전압이 계속 인가되어 1 내지 2kV의 전압파형이 유지되어 적층형 커패시터의 파괴 가능성이 높아지게 된다.

[0145] 본 실험 예에서는, TOV가 1000V 이상이 되면, 감전보호 기능의 실효가 거의 없다고 볼 수 있으므로, 실험영역을 1000V 미만으로 설정한다.

[0146] 왜냐하면 TOV가 1000V 이상일 경우 MLCC에 1000V 초과와 전압이 가해질 수 있다는 것인데, 일반적인 커패시터의 BDV를 감안할 때 커패시터에 치명적인 영향을 줄 수 있다.

[0147] 따라서, 1000V보다 낮은 전압에서도 ESD 보호체가 정전기를 흡수할 수 있어야 하고, TOV는 1000V 미만이 되는 것이 바람직하다.

[0149] 아래 표 1은 커패시터가 1005 사이즈인 제품에서, G1과 G2의 변화에 따른 Turn on Voltage와 테미지 여부를 나타낸 것이다.

[0150] 여기서, 테미지 여부는 10kV를 300회 인가하여 MLCC 내부의 테미지 여부를 확인한 것이다.

[0151] 각 샘플별로 20개씩 실험을 하였으며, G2와 TOV는 평균치를 테미지 여부는 테미지를 입은 시료의 개수가 10% 이상인 경우 ○로 표시한다.

표 1

[0153]

#	G1 (μm)	G2 (μm)	G2/G1	Turn On Voltage (V)	Damage 여부
1	10	28	2.8	720	X
2	10	39	3.9	862	X
3	10	62	6.2	1000V 초과	0
4	15	4	0.2	397 (2EA short)	X
5	15	22	1.5	615	X
6	15	42	2.8	917	X
7	15	63	4.2	1000V 초과	0
8	15	88	5.9	1000V 초과	0
9	20	18	0.9	688	X
10	20	39	2.0	934	X
11	20	83	4.2	1000V 초과	0
12	25	14	0.6	606	X

13	25	45	1.8	953	X
----	----	----	-----	-----	---

- [0155] 표 1을 참조하면, G2/G1이 4.0 미만인 샘플 1-2, 4-6, 9-10 및 12-13의 경우 하며, MLCC 내부의 데미지가 발생하지 않았다.
- [0156] 반면에, G2/G1이 4.0 이상인 샘플 3, 7-8 및 11의 경우 Turn on voltage가 1000V 이상으로 감전 보호 기능이 작동하지 않았을 뿐만 아니라 MLCC 내부에서 데미지가 발생하였다.
- [0157] 또한, G2/G1이 0.2인 샘플 4에서는 쇼트가 발생되었다.
- [0158] 또한, Turn on voltage가 397V로 400V 미만이 된다.
- [0159] 일반적인 커패시터의 경우 ESD의 과다 인가에 의해 칩이 손상될 경우 TOV는 400V 미만이다.
- [0160] 즉, MLCC에서 TOV가 400V 이상이면 Turn on이 가능하고 리드 전극을 통해 고전압을 보호할 실효성이 사라지는 것이다.
- [0162] 따라서, 바람직한 TOV는 400V 이상이 된다.
- [0163] 즉, 상기 표 1에 따라, 본 실시 예의 바람직한 G2/G1의 수치범위는, G2/G1<4.0이 되고, 더 바람직하게는 0.2<G2/G1<4.0이 된다.
- [0165] 도 3은 본 발명의 제2 실시 형태에 따른 복합 전자부품을 개략적으로 도시한 투명 사시도이고, 도 4는 도 3의 A-A' 단면도이다.
- [0166] 본 발명의 제2 실시형태에 따른 복합 전자 부품(100)에 있어서, 상술한 본 발명의 제1 실시형태에 따른 복합 전자 부품의 특징과 동일한 부분은 중복 설명을 피하기 위하여 여기서는 자세한 설명을 생략하도록 한다.
- [0168] 도 3 및 도 4를 참조하면, 본 발명의 제2 실시 형태에 따른 복합 전자부품은 상기 본 발명의 제1 실시 형태에 따른 복합 전자부품의 특징에 더하여 ESD(Electro Static Discharge) 보호소자(120)가 커패시터(110)의 바디의 하면에 배치된 형태이다.
- [0169] ESD(Electro Static Discharge) 보호소자(120)는 ESD(Electro Static Discharge) 썬프레서(Suppressor)이나, 반드시 이에 제한되는 것은 아니다.
- [0170] 이로 인하여, 커패시터(110)의 역압전성에 의한 커패시터의 진동이 기관으로 전달되는 것을 감소시켜 어쿠스틱 노이즈(acoustic noise)를 감소시킬 수 있다.
- [0172] 본 발명의 실시형태에 따른 복합 전자부품은 종래와 달리 커패시터(110)와 ESD(Electro Static Discharge) 보호소자(120)가 결합되어 있어, 커패시터(110)와 ESD(Electro Static Discharge) 보호소자(120)의 거리를 최단으로 설계할 수 있으며, 이로 인하여 노이즈 저감에 효과가 있다.
- [0173] 또한, 커패시터(110)와 ESD(Electro Static Discharge) 보호소자(120)가 결합되어 있어, 신호 인터페이스(Signal Interface)나 IC Block 또는 통신 라인(Line)에서의 실장 면적을 최소화하여 실장 공간 확보에 우수한 효과가 있다. 또한, 실장시의 비용을 감소할 수 있는 효과도 있다.
- [0175] **복합 전자부품의 실장 기관**
- [0177] 도 5는 도 3의 복합 전자부품이 기관에 실장된 모습을 도시한 사시도이다.
- [0179] 도 5를 참조하면, 본 실시 형태에 따른 복합 전자부품(100)의 실장 기관은 복합 전자부품(100)이 실장되는 기관(210)과, 기관(210)의 상면에 형성된 2개의 전극 패드(221, 222)를 포함한다. 기관은 PCB 등일 수 있다.
- [0180] 전극 패드(221, 222)는 상기 복합 전자부품의 입력단자(131) 및 접지 단자(132)와 각각 연결되는 제1 및 제2 리드 전극 패드(221, 222)로 이루어질 수 있다.
- [0181] 이때, 복합 전자부품(100)의 입력단자(131) 및 접지 단자(132)는 각각 제1 및 제2 리드 전극 패드(221, 222) 위에 접촉되게 위치한 상태에서 솔더(231, 232)에 의해 기관(210)과 전기적으로 연결될 수 있다.
- [0183] 위와 같이 복합 전자부품(100)이 기관(210)에 실장된 상태에서 전압을 인가하면 어쿠스틱 노이즈가 발생할 수 있다.

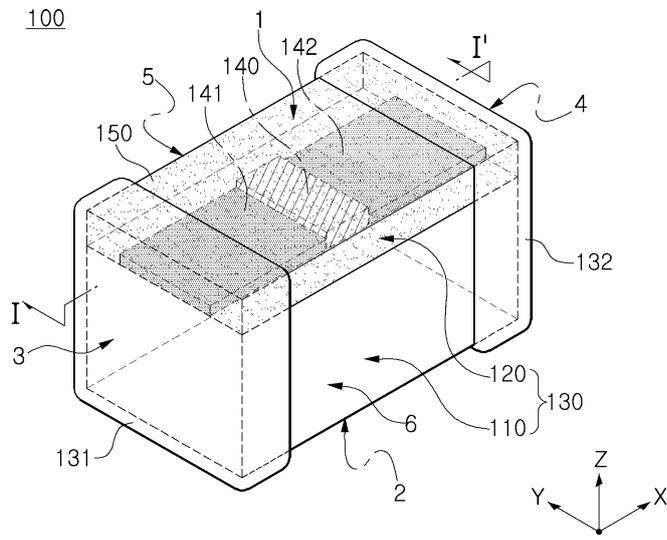
- [0184] 이때, 제1 및 제2 리드 전극 패드(221, 222)의 크기는 복합 전자부품(100)의 입력단자(131) 및 접지 단자(132)와 제1 및 제2 리드 전극 패드(221, 222)를 연결하는 솔더(231, 232)의 양을 결정하는 지표가 될 수 있으며, 이러한 솔더(231, 232)의 양에 따라 어쿠스틱 노이즈의 크기가 조절될 수 있다.
- [0186] 한편, 복합 전자부품(100)이 기관(210)에 실장된 상태에서 복합 전자부품(100)의 길이 방향 양면에 형성된 입력단자(131) 및 접지 단자(132)에 극성이 다른 전압이 인가되면, 유전체층(111)의 역압전성 효과(Inverse piezoelectric effect)에 의해 바디는 두께 방향으로 팽창과 수축을 하게 되고, 입력단자(131) 및 접지단자(132)의 양 측면부는 포아송 효과(Poisson effect)에 의해 바디의 두께 방향의 팽창과 수축과는 반대로 수축과 팽창을 하게 된다.
- [0187] 여기서, 본 발명의 일 실시형태에 따른 복합 전자부품은 커패시터의 바디 하면에 ESD(Electro Static Discharge) 보호소자를 배치함으로써, 상기 복합 전자부품을 기관에 실장시 커패시터의 역압전성에 의한 커패시터의 진동이 기관에 전달되는 것을 감소시켜 어쿠스틱 노이즈(acoustic noise)를 감소시킬 수 있다.
- [0188] 또한, 본 발명의 일 실시형태에 따른 복합 전자부품은 커패시터의 바디 하면에 ESD(Electro Static Discharge) 보호소자를 배치함으로써, 상기 복합 전자부품에 크랙 등이 발생하더라도 상기 커패시터가 상기 기관으로부터 멀리 배치되므로 상기 커패시터를 보호할 수 있다.
- [0189] 또한, 본 발명의 일 실시형태에 따른 복합 전자부품은 커패시터의 바디 하면에 ESD(Electro Static Discharge) 보호소자를 배치함으로써, 상기 ESD(Electro Static Discharge) 보호소자와 상기 기관 사이의 거리가 가깝게 되므로, 기생 패턴 저항이나 기생 인덕턴스가 감소하여 부효과(Side Effect)를 줄일 수 있다.
- [0190] 즉, 기생 패턴 저항이나 기생 인덕턴스가 감소함으로써 주파수 특성이 좋아질 수 있으며, 이에 더하여 신호 왜곡이 없어 노이즈 성분을 필터링하며, 정격 전압 이상의 과전압 일부를 바이패스 하는 복합 전자부품의 특성이 개선될 수 있다.
- [0192] 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다.
- [0193] 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

부호의 설명

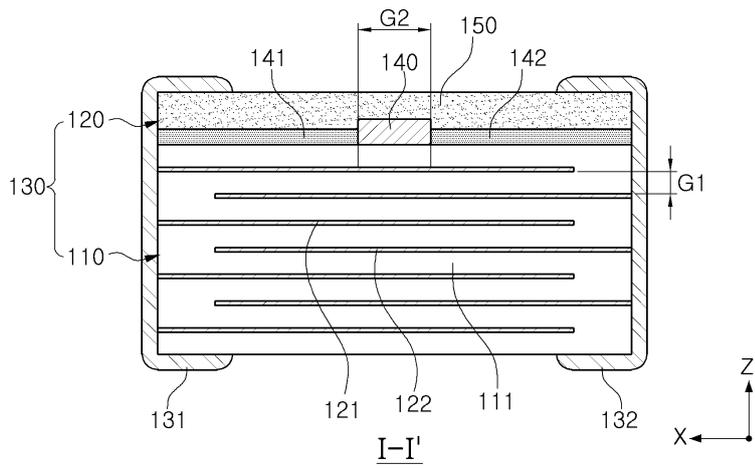
- [0195] 100 ; 복합 전자 부품
- 110 ; 커패시터
- 120 ; ESD(Electro Static Discharge) 보호소자
- 130 ; 복합체
- 111 ; 유전체층
- 121, 122 ; 제1 및 제2 내부 전극
- 131 ; 입력단자
- 132 ; 접지단자
- 140 ; 방진부
- 141, 142 ; 제1 및 제2 리드 전극
- 150 ; 보호층
- 210 ; 기관
- 221, 222 ; 제1 및 제2 전극 패드
- 231, 232 ; 솔더

도면

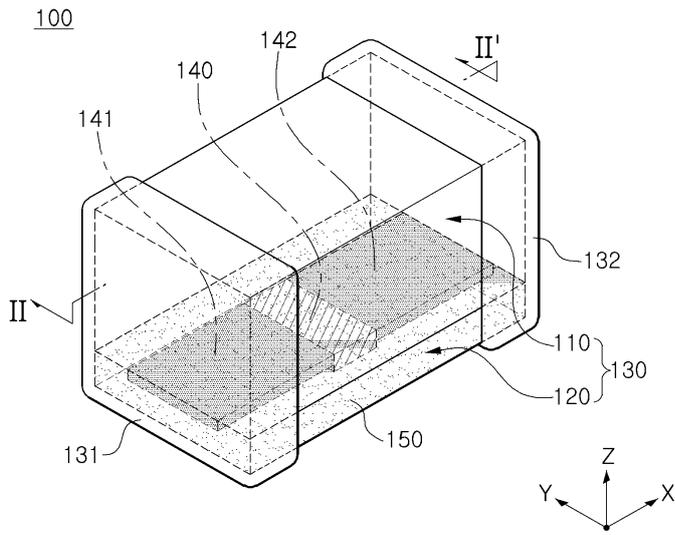
도면1



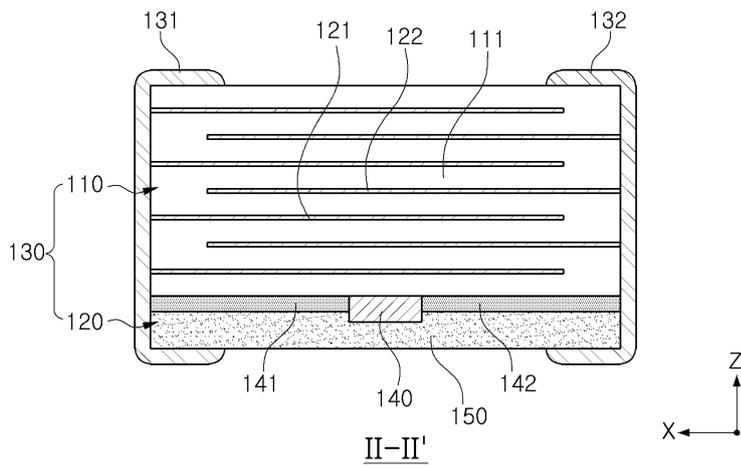
도면2



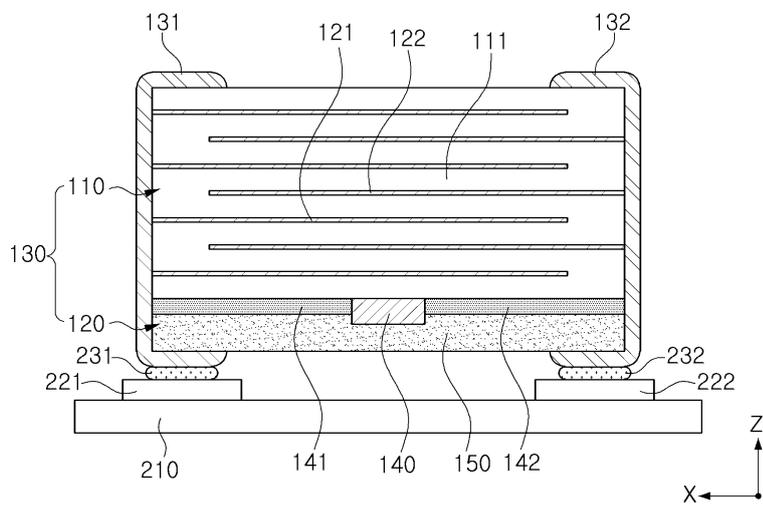
도면3



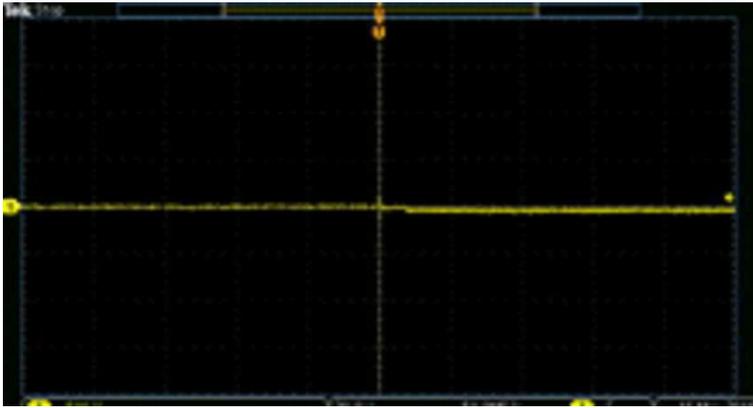
도면4



도면5



도면6a



도면6b

