



(12) 发明专利申请

(10) 申请公布号 CN 104716961 A

(43) 申请公布日 2015.06.17

(21) 申请号 201310684069.6

(22) 申请日 2013.12.13

(71) 申请人 硕颀科技股份有限公司

地址 中国台湾台北市松山区(105)南京东路4段16号4楼

(72) 发明人 容光宇

(74) 专利代理机构 中科专利商标代理有限责任公司 11021

代理人 宋焰琴

(51) Int. Cl.

H03M 1/46(2006.01)

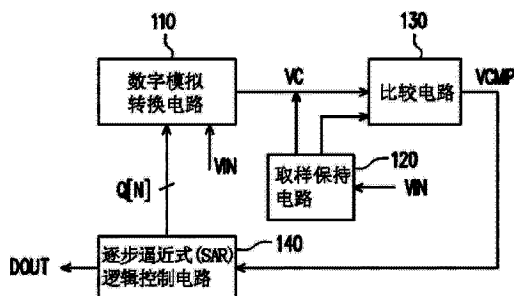
权利要求书2页 说明书10页 附图4页

(54) 发明名称

逐步逼近式模拟数字转换器

(57) 摘要

本发明公开了一种逐步逼近式模拟数字转换器,其包括数字模拟转换电路、取样保持电路、比较电路以及逐步逼近式逻辑控制电路。数字模拟转换电路用于将N位数字逻辑信号转换为比较信号,其中N为正整数。取样保持电路用于取样并保持模拟输入信号。比较电路用于将取样保持电路所保持的模拟输入信号作为与比较信号进行比较的基准,从而产生比较结果信号。逐步逼近式逻辑控制电路用于提供N位数字逻辑信号,并且依据比较结果信号逐一决定数字逻辑信号的每一位的逻辑状态,以产生关联于模拟输入信号的数字输出信号。



1. 一种逐步逼近式模拟数字转换器,包括:
 - 一数字模拟转换电路,用于将一 N 位数字逻辑信号转换为一模拟形式的比较信号,其中 N 为正整数;
 - 一取样保持电路,用于取样并保持一模拟输入信号;
 - 一比较电路,耦接该数字模拟转换电路与该取样保持电路,用于将该取样保持电路所保持的模拟输入信号作为与该比较信号进行比较的基准,从而产生一比较结果信号;以及
 - 一逐步逼近式逻辑控制电路,用于提供该 N 位数字逻辑信号,并且依据该比较结果信号逐一决定该数字逻辑信号的每一位的逻辑状态,以产生关联于该模拟输入信号的一数字输出信号。
2. 如权利要求 1 所述的逐步逼近式模拟数字转换器,其特征在于,该比较电路包括:
 - M 级相互串接的比较单元,其中第一级比较单元分别从该取样保持电路与该数字模拟转换电路接收该模拟输入信号与该比较信号;以及
 - 一闩锁单元,耦接第 M 级比较单元的输出端,用于闩锁所述比较单元的比较结果,并据以产生该比较结果信号,其中, M 为正整数,且 M 至少为 N 的四分之一。
3. 如权利要求 2 所述的逐步逼近式模拟数字转换器,其特征在于,该比较电路还包括:
 - M 组反馈单元,分别耦接于每一级比较单元的输入端与输出端之间;以及
 - M 组电容单元,分别耦接每一级比较单元的输入端。
4. 如权利要求 3 所述的逐步逼近式模拟数字转换器,其特征在于,各该比较单元具有差动输出,且每一级比较单元的正输出端与负输出端分别耦接下一级比较单元的正输入端与负输入端,各该反馈单元包括:
 - 一第一反馈开关,耦接于对应的比较单元的正输入端与正输出端之间;以及
 - 一第二反馈开关,耦接于对应的比较单元的负输入端与负输出端之间,其中,该第一及第二反馈开关受控于该逐步逼近式逻辑控制电路而导通或截止。
5. 如权利要求 4 所述的逐步逼近式模拟数字转换器,其特征在于,各该电容单元包括:
 - 一第一输入电容,耦接对应的比较单元的正输入端;以及
 - 一第二输入电容,耦接对应的比较单元的负输入端。
6. 如权利要求 4 所述的逐步逼近式模拟数字转换器,其特征在于,该逐步逼近式逻辑控制电路在一取样保持期间内导通所述反馈单元的第一及第二反馈开关,并且在一电荷再分配期间截止所述反馈单元的第一及第二反馈开关。
7. 如权利要求 2 所述的逐步逼近式模拟数字转换器,其特征在于,该取样保持电路包括:
 - 一第一取样开关,其第一端接收该模拟输入信号,且其第二端耦接第一级比较单元的正输入端与负输入端其中之一;
 - 一第二取样开关,其第一端接收该模拟输入信号,且其第二端耦接第一级比较单元的正输入端与负输入端其中的另一;以及
 - 一保持电容,其第一端耦接该第二取样开关的第二端,且其第二端耦接一接地端。
8. 如权利要求 7 所述的逐步逼近式模拟数字转换器,其特征在于,该逐步逼近式逻辑控制电路在一取样保持期间内导通该第一及第二取样开关,以令该模拟输入信号被保持于

该保持电容中,并且在一电荷再分配期间截止该第一及第二取样开关。

9. 如权利要求 7 所述的逐步逼近式模拟数字转换器,其特征在于,该数字模拟转换电路包括:

N 个电容,其中所述电容的第一端共同耦接该第一取样开关的第二端;以及

N 个开关模块,分别耦接所述电容的第二端,用于受控于该逐步逼近式逻辑控制电路而选择性地提供一高逻辑电压、一低逻辑电压以及该模拟输入信号其中之一至对应的电容。

10. 如权利要求 9 所述的逐步逼近式模拟数字转换器,其特征在于,所述开关模块在一取样保持期间内受控于该逐步逼近式逻辑控制电路而提供该模拟输入信号至对应的电容,并且在一电荷再分配期间内依序受控于该数字逻辑信号每一位的逻辑状态而提供该高逻辑电压或该低逻辑电压至对应的电容,以产生该比较信号。

11. 如权利要求 10 所述的逐步逼近式模拟数字转换器,其特征在于,第一个电容至第 N 个电容的电容值比例依序为 2^{N-1} 至 2^0 ,且该 N 位数字逻辑信号的最高位至最低位于该电荷再分配期间内依序对应控制第一个开关模块至第 N 个开关模块。

逐步逼近式模拟数字转换器

技术领域

[0001] 本发明涉及一种模拟数字转换器 (analog-to-digital converter, ADC), 且特别涉及一种逐步逼近式模拟数字转换器 (successive approximation register analog-to-digital converter, SAR-ADC)。

背景技术

[0002] 近年来在集成电路设计上的趋势, 对于更低功耗、更高表现、以及更少的成本有愈来愈严苛的要求, 而在模拟前端电路的设计当中, 一个有效率的模拟数字转换器 (analog-to-digital converter, 简称 ADC) 能使系统整体表现大大地提升, ADC 负责将接收的模拟信号转换为数字信号, 并提供给后端的数字信号处理单元来运作, 因此其动态范围、分辨率、精确度、线性度、取样速度、功耗、输入级特性等等, 都成为影响系统整体表现的重要环节, 也成为评估转换器本身表现的重要参数。

[0003] 现有的 ADC 的架构种类繁多, 例如导管线模拟数字转换器 (pipeline analog-to-digital converter, 简称 pipeline ADC) 及逐步逼近式模拟数字转换器 (successive approximation register analog-to-digital converter, 简称 SAR-ADC) 等皆为现有技术领域中常用的架构。其中, 在同样的规格需求下, SAR-ADC 相较于 pipeline ADC 可具有较低功耗以及较小芯片面积的优势, 也因此, 对于 SAR-ADC 架构的技术开发, 也逐渐为业界所重视。

[0004] 在现有的 SAR-ADC 的架构下, 其一般会包含有数字模拟转换器 (digital-to-analog converter, 简称 DAC)、比较电路以及 SAR 逻辑控制电路等部分。具体而言, 在传统 SAR-ADC 的模拟数字转换操作过程中, DAC 一般会先以一个参考电压作为基准对模拟输入信号进行取样保持 (sample-and-hold), 其后 SAR 逻辑控制电路会以二元搜寻算法 (binary search algorithm) 来控制 DAC 的数字模拟转换, 以令 DAC 产生对应的比较信号, 其中所述比较信号关联于对应不同逻辑状态的模拟电压与模拟输入信号的电压差值。接着, 比较电路会以所述参考电压作为基准来与所述比较信号进行比较, 从而令 SAR 逻辑控制电路基于比较电路的比较结果而逐一决定数字输出信号每一位的逻辑状态。

[0005] 由上述操作过程可知, 在现有的 SAR-ADC 架构下, 为了实现模拟数字转换操作, 提供一个额外的参考电压来作为比较器比较的基准是必须的。除此之外, 为了要维持比较电路判断的精确度, 一般会在 SAR-ADC 进行模拟数字转换前的期间先进行偏移消除 (offset cancellation) 的操作。在此操作中, 同样也必须提供一个参考电压给比较电路的两输入端作为共模参考电压 (common-mode voltage) 以消除比较电路的不同输入端间的电压偏移。

[0006] 再者, 基于现有的 SAR-ADC 架构下, 一般比较电路都是利用由单颗运算放大器所构成的比较器来实现。因此, 当电路操作于高频时, 比较器还可能因为所需的工作电流较大而造成 SAR-ADC 发生较为严重的噪声干扰。

发明内容

[0007] 本发明提供一种逐步逼近式模拟数字转换器,其无须使用额外的参考电压亦可实现模拟数字转换及偏移消除的操作,并且还可降低电路操作于高频时的噪声干扰。

[0008] 本发明的逐步逼近式模拟数字转换器包括数字模拟转换电路、取样保持电路、比较电路以及逐步逼近式逻辑控制电路。数字模拟转换电路用于将N位数字逻辑信号转换为模拟形式的比较信号,其中N为正整数。取样保持电路用于取样并保持模拟输入信号。比较电路耦接数字模拟转换电路与取样保持电路,用于将取样保持电路所保持的模拟输入信号作为与比较信号进行比较的基准,从而产生比较结果信号。逐步逼近式逻辑控制电路用于提供N位数字逻辑信号,并且依据比较结果信号逐一决定数字逻辑信号的每一位的逻辑状态,以产生关联于模拟输入信号的数字输出信号。

[0009] 在本发明一实施例中,比较电路包括M级相互串接的比较单元以及闩锁单元。第一级比较单元分别从取样保持电路与数字模拟转换电路接收模拟输入信号与比较信号。闩锁单元耦接第M级比较单元的输出端,用于闩锁所述多个比较单元的比较结果,并据以产生比较结果信号。其中,M为正整数,且M至少为N的四分之一。

[0010] 在本发明一实施例中,比较电路还包括M组反馈单元以及M组电容单元。所述M组反馈单元分别耦接于每一级比较单元的输入端与输出端之间。所述M组电容单元分别耦接每一级比较单元的输入端。

[0011] 在本发明一实施例中,各比较单元具有差动输出,且每一级比较单元的正输出端与负输出端分别耦接下一级比较单元的正输入端与负输入端。各反馈单元包括第一反馈开关以及第二反馈开关。第一反馈开关耦接于对应的比较单元的正输入端与正输出端之间。第二反馈开关耦接于对应的比较单元的负输入端与负输出端之间。其中,第一及第二反馈开关受控于逐步逼近式逻辑控制电路而导通或截止。

[0012] 在本发明一实施例中,各电容单元包括第一输入电容以及第二输入电容。第一输入电容耦接对应的比较单元的正输入端。第二输入电容耦接对应的比较单元的负输入端。

[0013] 在本发明一实施例中,逐步逼近式逻辑控制电路在取样保持期间内导通所述多个反馈单元的第一及第二反馈开关,并且在电荷再分配期间截止所述多个反馈单元的第一及第二反馈开关。

[0014] 在本发明一实施例中,取样保持电路包括第一取样开关、第二取样开关以及保持电容。第一取样开关的第一端接收模拟输入信号,且第一取样开关的第二端耦接第一级比较单元的正输入端与负输入端其中之一。第二取样开关的第一端接收模拟输入信号,且第二取样开关的第二端耦接第一级比较单元的正输入端与负输入端其中的另一。保持电容的第一端耦接第二取样开关的第二端,且保持电容的第二端耦接接地端。

[0015] 在本发明一实施例中,逐步逼近式逻辑控制电路在取样保持期间内导通第一及第二取样开关,以令模拟输入信号被保持于保持电容中,并且在电荷再分配期间截止第一及第二取样开关。

[0016] 在本发明一实施例中,数字模拟转换电路包括N个电容以及N个开关模块。所述多个电容的第一端共同耦接第一取样开关的第二端。所述N个开关模块分别耦接所述多个电容的第二端,用于受控于逐步逼近式逻辑控制电路而选择性地提供高逻辑电压、低逻辑电压以及模拟输入信号其中之一至对应的电容。

[0017] 在本发明一实施例中,所述多个开关模块在取样保持期间内受控于逐步逼近式逻辑

辑控制电路而提供模拟输入信号至对应的电容,并且在电荷再分配期间内依序受控于数字逻辑信号每一位的逻辑状态而提供高逻辑电压或低逻辑电压至对应的电容,以产生比较信号。

[0018] 在本发明一实施例中,第一个电容至第 N 个电容的电容值比例依序为 2^{N-1} 至 20,且 N 位数字逻辑信号的最高位 (most significant bit, MSB) 至最低位 (least significant bit, LSB) 在电荷再分配期间内依序对应控制第一个开关模块至第 N 个开关模块。

[0019] 基于上述,本发明实施例提出一种逐步逼近式模拟数字转换器,其可仅利用模拟输入信号来作为模拟数字转换及偏移消除操作所需的共模参考电压,因此本发明实施例的逐步逼近式模拟数字转换器无须使用额外的参考电压来实现偏移消除及模拟数字转换的操作,从而简化了整体电路设计。此外,通过所提出的串接比较单元的比较电路架构,还可有效地减少逐步逼近式模拟数字转换器操作于高频时的噪声干扰,从而令本发明实施例的逐步逼近式模拟数字转换器可具有更佳的信杂比特性。

[0020] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附图式作详细说明如下。

附图说明

[0021] 图 1 为本发明一实施例的逐步逼近式模拟数字转换器的示意图;

[0022] 图 2 为本发明另一实施例的逐步逼近式模拟数字转换器的示意图;

[0023] 图 3 为本发明又一实施例的逐步逼近式模拟数字转换器的示意图;

[0024] 图 4 为依照图 3 实施例的逐步逼近式模拟数字转换器的信号时序示意图。

【附图标记说明】

[0026] 100、200、300 :逐步逼近式模拟数字转换器

[0027] 110、210、310 :数字模拟转换电路

[0028] 120、220、320 :取样保持电路

[0029] 130、230、330 :比较电路

[0030] 140、240、340 :逐步逼近式逻辑控制电路

[0031] 212₁ ~ 212_N、312₁ ~ 312₁₂ :开关模块

[0032] 222、224、322、324 :取样开关

[0033] 232₁ ~ 232_M、332₁ ~ 332₃ :比较单元

[0034] 234、334 :反馈单元

[0035] 236₁ ~ 236_M、336₁ ~ 336₃ :反馈单元

[0036] 238₁ ~ 238_M、338₁ ~ 338₃ :电容单元

[0037] C1 ~ CN、C12 :电容

[0038] C11、C12、C21、C22、C31、C32 :输入电容

[0039] Ch :保持电容

[0040] CHG、CHGB、EOC、LAT :控制信号

[0041] DOUT :数字输出信号

[0042] fclk :频率信号

[0043] GND :接地端

- [0044] INV :反相器
- [0045] SW1 ~ SW4 :开关
- [0046] SWF11、SWF12、SWF21、SWF22、SWF31、SWF32 :反馈开关
- [0047] VC :比较信号
- [0048] VCMP :比较结果信号
- [0049] VH :逻辑高电压
- [0050] VL :逻辑低电压
- [0051] VIN :模拟输入信号
- [0052] Q[N]、Q[12] :数字逻辑信号
- [0053] q[1] ~ q[N]、q[12] :位

具体实施方式

[0054] 为使本发明的目的、技术方案和优点更加清楚明白,以下结合具体实施例,并参照附图,对本发明作进一步的详细说明。

[0055] 本发明实施例提出一种逐步逼近式模拟数字转换器,其可在不需使用额外的参考电压作为共模参考电压(common-mode voltage)的前提下,实现偏移消除(offset cancellation)及模拟数字转换的操作,以简化整体电路设计。此外,通过所提出的电路架构还可有效地减少电路操作于高频时的噪声干扰,从而令本发明实施例的模拟数字转换器可具有更佳的信杂比(signal-to-noise ratio, SNR)特性。为了使本发明的内容可以被更容易明了,以下特举实施例作为本发明确实能够据以实施的范例。另外,凡可能之处,在图式及实施方式中使用相同附图标记的元件/构件/步骤,代表相同或类似部件。

[0056] 图1为本发明一实施例的逐步逼近式模拟数字转换器的示意图。请参照图1,本实施例的逐步逼近式模拟数字转换器(下面简称SAR-ADC)100适于将一模拟输入信号VIN转换为一N位分辨率的数字输出信号DOUT,其中N为正整数(例如为4位、12位或16位等)。SAR-ADC100包括数字模拟转换电路(下面简称DAC电路)110、取样保持电路120、比较电路130以及逐步逼近式逻辑控制电路(下面简称SAR逻辑控制电路)140。

[0057] 在本实施例中,DAC电路110用于将从SAR逻辑控制电路140所接收的N位数字逻辑信号Q[N]转换为模拟形式的比较信号VC。取样保持电路120用于取样并保持模拟输入信号VIN。比较电路130耦接DAC电路110与取样保持电路120,用于将取样保持电路120所保持的模拟输入信号VIN作为与比较信号VC进行比较的基准,从而产生比较结果信号VCMP。SAR逻辑控制电路140会依据比较电路130所输出的比较结果信号VCMP逐一决定数字逻辑信号Q[N]的每一位的逻辑状态,以产生关联于模拟输入信号VIN的数字输出信号DOUT。

[0058] 详细而言,SAR-ADC100的模拟数字转换操作可分为两个期间/阶段,分别为取样保持(sample-and-hold)期间与电荷再分配(charge-redistribution)期间。在取样保持期间内,DAC电路110与取样保持电路120会受控于SAR逻辑控制电路140而进行取样并保持模拟输入信号VIN的动作,并且模拟输入信号VIN会以共模的方式被提供至比较电路130的两输入端,从而令比较电路130可进行偏移消除的操作,同时令比较电路130的共模增益可被初始化至0。

[0059] 在取样保持期间结束后, SAR-ADC100 会接续地进入电荷再分配期间。在电荷再分配期间内, SAR 逻辑控制电路 130 会采用二元搜寻算法来逐一决定数字逻辑信号 $Q[N]$ 的每一位的逻辑状态 (此部分会在后续实施例进一步说明), 使得 DAC 电路 110 产生电压准位逐步趋近于模拟输入信号 V_{IN} 的比较信号 VC 。于数字逻辑信号 $Q[N]$ 的每一位皆经过 SAR 逻辑控制电路 140 依据比较结果信号 $VCMP$ 而调整后, SAR 逻辑控制电路 140 即会判断电荷再分配期间结束, 并且基于最终的数字逻辑信号 $Q[N]$ 的逻辑状态产生数字输出信号 $DOUT$ 。

[0060] 下面以图 2 实施例来更进一步的说明本发明实施例的 SAR-ADC 的具体架构与操作。其中, 图 2 为本发明另一实施例的 SAR-ADC 的示意图。

[0061] 请参照图 2, 本实施例的 SAR-ADC200 包括 DAC 电路 210、取样保持电路 220、比较电路 230 以及 SAR 逻辑控制电路 240。其中, DAC 电路 210 包括 N 个电容 $C_1 \sim C_N$ 以及 N 个开关模块 $212_1 \sim 212_N$ 。取样保持单元 220 包括取样开关 222、224 以及保持电容 Ch 。比较电路 230 包括 M 级相互串接的比较单元 $232_1 \sim 232_M$ 、门锁单元 234、 M 组反馈单元 $236_1 \sim 236_M$ 以及 M 组电容单元 $238_1 \sim 238_M$, 其中 M 为正整数。

[0062] 在 DAC 电路 210 中, 电容 $C_1 \sim C_N$ 的第一端共同耦接取样保持电路 220 的取样开关 222。其中, 电容 C_1 至电容 C_N 的电容值比例可依序设计为 2^{N-1} 至 2^0 。举例而言, 若电容 C_1 的电容值设计为 C , 则电容 C_2 、 C_3 、 \dots 、 C_N 的电容值可依序设计为 $C/2$ 、 $C/4$ 、 \dots 、 $C/2^{N-1}$, 以此类推。开关模块 $212_1 \sim 212_N$ 分别耦接电容 $C_1 \sim C_N$ 的第二端, 并且用于受控于 SAR 逻辑控制电路 240 而选择性地提供高逻辑电压 V_H 、低逻辑电压 V_L 以及模拟输入信号 V_{IN} 其中之一至对应的电容 $C_1 \sim C_N$ 。其中, 高逻辑电压 V_H 与低逻辑电压 V_L 即为 SAR-ADC200 的模拟输入区间 (即, 模拟输入信号 V_{IN} 的准位会位于 V_H 与 V_L 之间)。

[0063] 在本实施例中, 用于控制 DAC 电路 210 的数字逻辑信号 $Q[N]$ 可由位 $q[1] \sim q[N]$ 所组成, 在此, 位 $q[1]$ 至 $q[N]$ 依序分别为数字逻辑信号 $Q[N]$ 的最高位 (most significant bit, MSB) 至最低位 (least significant bit, LSB)。其中, 各个位 $q[1] \sim q[N]$ 可分别视为在电荷再分配期间内用于控制对应的开关模块 $212_1 \sim 212_N$ 的控制信号。换言之, N 位数字逻辑信号 $Q[N]$ 的最高位 $q[1]$ 至最低位 $q[N]$ 会在电荷再分配期间内依序对应控制开关模块 $212_1 \sim 212_N$ 的切换。举例而言, 在电荷再分配期间内, 开关模块 $212_1 \sim 212_N$ 可依序反应于高逻辑准位 (例如, 逻辑准位“1”) 的位 $q[1] \sim q[N]$ 而选择提供高逻辑电压 V_H 给对应的电容 $C_1 \sim C_N$, 并且反应于低逻辑准位 (例如, 逻辑准位“0”) 的位 $q[1] \sim q[N]$ 而选择提供低逻辑电压 V_L 给对应的电容 $C_1 \sim C_N$ 。

[0064] 更进一步以 4 位的 SAR-ADC200 为例 (即, $N=4$), 在电荷再分配期间内, 若 SAR 逻辑控制电路 240 所提供的数字逻辑信号 $Q[N]$ 为“1000”, 则表示第一位 / 最高位 $q[1]$ 对应逻辑准位“1”、第二位 $q[2]$ 对应逻辑准位“0”、第三位 $q[3]$ 对应逻辑准位“0”且第四位 / 最低位 $q[4]$ 对应逻辑准位“0”。基于上述逻辑状态下, 开关模块 212_1 会反应于逻辑准位“1”的位 $q[1]$ 而提供高逻辑电压 V_H 给对应的电容 C_1 , 而开关模块 212_2 、 212_3 及 212_4 则会反应于逻辑准位“0”的位 $q[2]$ 、 $q[3]$ 及 $q[4]$ 而提供低逻辑电压 V_L 给对应的电容 C_2 、 C_3 及 C_4 。因此, 在此组态下, DAC 电路 210 可等效为电容 C_2 、 C_3 及 C_4 并联, 而 DAC 电路 210 所产生的比较信号 VC 的电压准位即可根据电容 C_1 与上述并联电容对高逻辑电压 V_H 与低逻辑电压 V_L 的压差进行分压后的结果所决定。

[0065] 在此以具体数值作为范例, 若高逻辑电压 V_H 为 3V、低逻辑电压 V_L 为 0V 以及电容

C1 ~ C4 的电容值比例依序为 1:1 / 2:1 / 4:1 / 8, 当 DAC 电路 210 接收到逻辑状态为“1000”的数字逻辑信号 Q[N] 时, 电容 C2、C3 及 C4 三者可等效为一并联电容, 而所述并联电容与电容 C1 的电容值比例约略为 1:1 (实际上为 1:7 / 8(1 / 2+1 / 4+1 / 8))。在此组态下, 电容 C1 与所述并联电容约略具有相同的阻抗值, 使得 3V 的高逻辑电压 VH 经过电容 C1 及所述并联电容的分压后, 产生出电压准位约为 1.5V (即 1 / 2VH) 的比较信号 VC。8 位、12 位或其余位数的 DAC 电路 210 的操作 / 运作方式皆可以上述范例类推, 故在此不再赘述。

[0066] 在此值得一提的是, 设计者可基于其设计考虑而在 DAC 电路 210 中增加一组电容值与电容 CN 相同的冗余 (dummy) 电容及对应的开关模块 (未绘示), 以令 DAC 电路 210 所转换出的比较信号 VC 可与高逻辑电压 VH 之间具有整数倍的电压相对关系, 但本发明不以此为限。

[0067] 在取样保持电路 220 中, 取样开关 222 的第一端接收模拟输入信号 VIN, 并且取样开关 222 的第二端耦接 DAC 电路 210 的电容 C1 ~ CN 的第一端以及第一级比较单元 232_1 的正输入端与负输入端其中之一。取样开关 224 的第一端同样接收模拟输入信号 VIN, 并且取样开关 224 的第二端耦接第一级比较单元 232_1 的正输入端与负输入端其中的另一。保持电容 Ch 的第一端耦接取样开关 224 的第二端, 并且保持电容 Ch 的第二端耦接接地端 GND(0V)。其中, 取样开关 222 与 224 会同步地受控于 SAR 逻辑控制电路 240 所提供的控制信号 CHG 而导通或截止。

[0068] 在比较电路 230 中, 比较单元 232_1 ~ 232_M 可例如为具差动输出的比较单元, 其中每一级比较单元 232_1 ~ 232_M 的正输出端与负输出端会分别耦接于下一级比较单元 232_1 ~ 232_M 的正输入端与负输入端, 例如: 比较单元 232_1 的正输出端与负输出端会分别耦接于比较单元 232_2 的正输入端与负输入端。反馈单元 234 耦接最后一级 (第 M 级) 比较单元 232_M 的输出端, 其可用于反馈比较单元 232_1 ~ 232_M 的比较结果, 并据以产生指示比较信号 VC 与模拟输入信号 VIN 的电压相对关系的比较结果信号 VCOMP。反馈单元 236_1 ~ 236_M 分别耦接于每一级比较单元 232_1 ~ 232_M 的输入端与输出端之间。电容单元 238_1 ~ 238_M 则是分别耦接在每一级比较单元 232_1 ~ 232_M 的输入端。

[0069] 就 SAR-ADC200 整体的模拟数字转换操作而言, 首先, 在取样保持期间内, SAR 逻辑控制电路 240 会提供致能的控制信号 CHG 来导通取样保持电路 220 中的取样开关 222 与 224 及各级比较单元 232_1 ~ 232_M 所对应的反馈单元 236_1 ~ 236_M, 并且同时令各开关模块 212_1 ~ 212_N 反应于致能的控制信号 CHG 而选择提供模拟输入信号 VIN 给对应的电容 C1 ~ CN。

[0070] 在此组态下, 模拟输入信号 VIN 会以共模的方式被提供给第一级比较单元 232_1 的两输入端, 并且导通的取样开关 224 会同时令模拟输入信号 VIN 对保持电容 Ch 进行充电, 以使模拟输入信号 VIN 被保持于保持电容 Ch 中。此外, 导通的反馈单元 236_1 ~ 236_M 会在各级比较单元 232_1 ~ 232_M 的输入端与输出端之间建立短路的反馈路径, 使得模拟输入信号 VIN 可经由电容单元 238_1 ~ 238_M 及反馈单元 236_1 ~ 236_M 而被提供至每一级比较单元 232_1 ~ 232_M 的输入端 / 输出端, 从而消除各级比较单元 232_1 ~ 232_M 的偏移电压, 并且同时将各级比较单元 232_1 ~ 232_M 的共模增益初始化至 0。

[0071] 在电荷再分配期间内, SAR 逻辑控制电路 240 会将控制信号 CHG 切换为禁能, 使得

取样开关 222 与 224 以及反馈单元 236₁ ~ 236_M 截止, 并且令各开关模块 212₁ ~ 212_N 改为受控于数字逻辑信号 Q[N] 中对应的位 q[1] ~ q[N] 而决定提供逻辑高电压 V_H 或逻辑低电压 V_L 给对应的电容 C₁ ~ C_N。

[0072] 在此组态下, SAR 逻辑控制电路 240 会先提供一组具有默认逻辑状态的数字逻辑信号 Q[N] 来控制 DAC 电路 210。以 N=4 为例, 在二元搜寻算法下, SAR 逻辑控制电路 240 所提供的默认的数字逻辑信号 Q[N] 一般例如为“1000”或“0111”(即, 对应于二分之一逻辑高电压 V_H 的逻辑状态, 但本发明不仅限于此)。接着, 比较单元 232₁ ~ 232_M 会基于比较信号 VC 与取样保持电路 220 所保持的模拟输入信号 V_{IN} 逐级地进行比较, 从而令门锁单元 234 依据最后一级比较单元 232_M 的比较结果而产生对应的比较结果信号 VCMP。

[0073] 此时, SAR 逻辑控制电路 240 会根据此比较结果信号 VCMP(对应于默认的比较信号 VC 与模拟输入信号 V_{IN} 的比较结果) 而决定最高位 / 第一位 q[1] 的逻辑状态为逻辑准位“1”或“0”, 并且调整下一位 q[2] 的逻辑状态。接着, DAC 电路 210 会接续地依据调整后的数字逻辑信号 Q[N] 产生对应的比较信号 VC 来与模拟输入信号 V_{IN} 进行比较, 使得 SAR 逻辑控制电路 240 再依据对应此一比较信号 VC 与模拟输入信号 V_{IN} 的比较结果的比较结果信号 VCMP 而决定下一位 q[2] 的逻辑状态, 并且再调整下一位 q[3] 的逻辑状态。通过前述的操作, SAR 逻辑控制电路 240 即可在电荷再分配期间内依序决定出每一位 q[1] ~ q[N] 的逻辑状态。

[0074] 更具体地说, 在逐一决定每一位 q[1] ~ q[N] 的逻辑状态的操作中, DAC 电路 210 会随着数字逻辑信号 Q[N] 由最高位 q[1] 至最低位 q[N] 的逻辑状态调整而产生逐步趋近于模拟输入信号 V_{IN} 的电压准位的比较信号 VC。换言之, 在电荷再分配期间结束时(决定完最低位 q[N] 的逻辑状态), SAR 逻辑控制电路 240 所译码出的数字逻辑信号 Q[N] 即为对应于模拟输入信号 V_{IN} 的数字输出信号 DOUT。

[0075] 由上述 SAR-ADC200 的具体操作流程可知, 通过本发明实施例的取样保持电路 220 的配置, SAR-ADC200 可在取样保持期间内利用同时提供至各级比较单元 232₁ ~ 232_M 的正 / 负输入端的模拟输入信号 V_{IN} 来作为用于消除各级比较单元 232₁ ~ 232_M 的偏移电压的共模参考电压。此外, 由于模拟输入信号 V_{IN} 在电荷再分配期间内会持续地被保持在保持电容 C_h 中, 因此比较电路 230 可直接将保持于保持电容 C_h 中的模拟输入信号 V_{IN} 作为与比较信号 VC 进行比较的基准, 而同样无需基于额外的参考电压来进行比较。

[0076] 换言之, 相较于传统的 SAR-ADC 而言, 本发明实施例的 SAR-ADC200 可在无须使用额外的参考电压的前提下, 实现对比较电路 230 进行偏移消除及模拟数字转换的操作。

[0077] 另一方面, 在本实施例中, 比较单元 232₁ ~ 232_M 的设置数量是基于 SAR-ADC200 的位数 N 而决定。更具体地说, M 会至少等于 N 的四分之一。举例而言, 若 SAR-ADC200 设计为 4 位分辨率(即, N=4), 则比较电路 230 中需设置至少一级的比较单元 236₁(即, M ≥ 1); 若 SAR-ADC200 设计为 8 位分辨率(即, N=8), 则比较电路 230 中需设置至少两级相互串接的比较单元 236₁ ~ 236₂(即, M ≥ 1), 其余皆可以此类推。

[0078] 通过所述多级串接的比较单元 232₁ ~ 232_M 配置, 由于整体比较电路 230 的增益可由各级比较单元 232₁ ~ 232_M 分散, 故各级比较单元 232₁ ~ 232_M 仅需以较小的电流驱动即可良好地工作在其操作点上。基此, 相较于单颗比较器所构成的比较电路而言, 本实施例的比较单元 232₁ ~ 232_M 即使操作在高频时也不会因工作电流过高而造成严重

的噪声干扰。

[0079] 下面以如图 3 所示的 12 位 SAR-ADC300 的具体电路架构来做进一步说明。其中，图 3 为本发明又一实施例的 SAR-ADC 的示意图。

[0080] 请参照图 3，在本实施例中，12 位的 SAR-ADC300（即， $N=12$ ）包括 DAC 电路 310、取样保持电路 320、比较电路 330 以及 SAR 逻辑控制电路 340。其中，DAC 电路 310 包括十二个电容 $C1 \sim C12$ 所组成的电容阵列以及分别对应所述电容 $C1 \sim C12$ 的开关模块 $312_1 \sim 312_12$ 。比较电路 330 包括三级相互串接的比较单元 $332_1 \sim 332_3$ （即， $M=3$ ）、门锁单元 334 以及分别对应各级比较单元 $332_1 \sim 332_3$ 的反馈单元 $336_1 \sim 336_3$ 与电容单元 $338_1 \sim 338_3$ 。另外，取样保持电路 320 的具体架构类似于前述实施例，包括取样开关 322 与 324 以及保持电容 C_h 。

[0081] 具体而言，在本实施例的 DAC 电路 310 中，各个开关模块 $312_1 \sim 312_12$ 可利用由多个开关及反相器所组成的电路架构来实现。在此以开关模块 312_1 为例，开关模块 312_1 包括开关 $SW1 \sim SW4$ 以及反相器 INV 。开关 $SW1$ 与 $SW2$ 的第一端共同耦接电容 $C1$ 的第二端，开关 $SW2$ 的第二端接收模拟输入信号 V_{IN} ，且开关 $SW1$ 与 $SW2$ 的控制端分别接收控制信号 $CHGB$ 与 CHG ，其中控制信号 $CHGB$ 与 CHG 互为反相。开关 $SW3$ 与 $SW4$ 的第一端共同耦接开关 $SW1$ 的第二端，开关 $SW3$ 与 $SW4$ 的第二端分别接收低逻辑电压 V_L 与高逻辑电压 V_H ，其中开关 $SW4$ 的控制端受控于数字逻辑信号 $Q[12]$ 的位 $q[1]$ 的逻辑状态而导通或截止，而开关 $SW3$ 的控制端经由反相器 INV 受控于位 $q[1]$ 的逻辑状态而导通或截止。换言之，开关 $SW1$ 与 $SW2$ 之间以及开关 $SW3$ 与 $SW4$ 之间会分别以互补的方式交替导通，以实现选择性地提供模拟输入信号 V_{IN} 、高逻辑电压 V_H 以及低逻辑电压 V_L 其中之一的功能。其余开关模块 $312_2 \sim 312_12$ 的具体架构类似于开关模块 312_1 ，故在此不再赘述。

[0082] 在本实施例的比较电路 330 中，反馈单元 336_1 包括反馈开关 $SWF11$ 与 $SWF12$ ，反馈单元 336_2 包括反馈开关 $SWF21$ 与 $SWF22$ ，且反馈单元 336_3 包括反馈开关 $SWF31$ 与 $SWF32$ 。其中，反馈开关 $SWF11$ 、 $SWF21$ 及 $SWF31$ 分别耦接于对应的比较单元 332_1 、 332_2 及 332_3 的正输入端与正输出端之间，且反馈开关 $SWF12$ 、 $SWF22$ 及 $SWF32$ 分别耦接于对应的比较单元 332_1 、 332_2 及 332_3 的负输入端与负输出端之间。

[0083] 此外，电容单元 338_1 包括输入电容 $C11$ 与 $C12$ ，电容单元 338_2 包括输入电容 $C21$ 与 $C22$ ，且电容单元 338_3 包括输入电容 $C31$ 与 $C32$ 。第一级比较单元 332_1 的正输入端经由电容 $C11$ 耦接电容 $C1 \sim C12$ 的第一端以及取样开关 322 的第二端，且第一级比较单元 332_1 的负输入端经由电容 $C12$ 耦接取样开关 324 的第二端及保持电容 C_h 的第一端。第二级比较单元 332_2 的正输入端与负输入端分别经由输入电容 $C21$ 与 $C22$ 耦接第一级比较单元 332_1 的正输出端与负输出端。第三级比较单元 332_3 的正输入端与负输入端分别经由输入电容 $C31$ 与 $C32$ 耦接第二级比较单元 332_2 的正输出端与负输出端，且第三级比较单元 332_3 的正输出端与负输出端皆耦接至门锁单元 334。

[0084] 下面搭配图 4 的信号时序来说明 SAR-ADC300 整体的模拟数字转换操作。

[0085] 请同时参照图 3 与图 4，首先就 SAR 逻辑控制电路 340 所接收 / 输出的各信号进行说明。在本实施例中，频率信号 f_{clk} 是 SAR 逻辑控制电路 340 的参考频率，其中 SAR 逻辑控制电路 340 会在频率信号 f_{clk} 的每 16 个频率周期（下面称之为一个转换周期）译码出一个对应的数字输出信号 $DOUT$ ，其中前 3 个频率周期为 SAR-ADC300 的取样保持期间，而后

13 个频率周期则为 SAR-ADC300 的电荷再分配期间。在此的数字输出信号 DOUT 是以十六进制表示,但本发明不仅限于此。控制信号 LAT 为用于控制门锁单元 334 运作的信号。而控制信号 EOC 则是用于指示模拟数字转换开始 / 结束的转换结束 (end of conversion) 信号,其中 SAR 逻辑控制电路 340 会在控制信号 EOC 致能时,将当下的数字输出信号 DOUT 送出。除此之外,其余的控制信号 CHG 及数字逻辑信号 Q[12] 皆如前所述。

[0086] 详细而言,当 SAR-ADC300 基于致能的控制信号 EOC 而进入取样保持期间时,SAR 逻辑控制电路 340 会提供致能的控制信号 CHG 来导通取样开关 322 与 324 以及反馈开关 SWF11 ~ SWF32,并且令各开关模块 312_1 ~ 312_12 反应于致能的控制信号 CHG 而选择提供模拟输入信号 VIN 至对应的电容 C1 ~ C12。

[0087] 在此组态下,模拟输入信号 VIN 会经由输入电容 C11 ~ C32 以及反馈开关 SWF11 ~ SWF32 而被同时提供至各级比较单元 332_1 ~ 332_3 的正输入端与负输入端,以对各级比较单元 332_1 ~ 332_3 进行偏移消除的操作,并且令各级比较单元 332_1 ~ 332_3 的共模增益可被初始化至 0。此外,在此期间内模拟输入信号 VIN 会同时对保持电容 Ch 充电,以将模拟输入信号 VIN 保持于保持电容 Ch 中。其中,保持电容 Ch 所保持的模拟输入信号在此以 VINh 表示。

[0088] 接着,在进入电荷再分配期间后,SAR 逻辑控制电路 340 会将控制信号 CHG 切换为禁能,使得取样开关 322 与 324 以及反馈开关 SWF11 ~ SWF32 截止,并且令各开关模块 312_1 ~ 312_12 改为受控于数字逻辑信号 Q[N] 中对应的位 q[1] ~ q[12] 而决定提供逻辑高电压 VH 或逻辑低电压 VL 给对应的电容 C1 ~ C12。在本实施例中,SAR 逻辑控制电路 340 默认提供的数字逻辑信号 Q[N] 的逻辑状态是以“011111111111”为例,且逻辑高电压 VH、逻辑低电压 VL 以及模拟输入信号 VIN 的电压准位分别以 3V、0V 及 0.1V 为例。

[0089] 在电荷再分配期间内,SAR 逻辑控制电路 340 会在控制信号 LAT 的 12 个脉冲期间基于比较结果信号 VCMP 依序调整数字逻辑信号 Q[12] 的第一位 q[1] 至第十二位 q[12]。更具体地说,在控制信号 LAT 的第一个脉冲期间内,DAC 电路 310 会基于逻辑状态为“011111111111”的数字逻辑信号 Q[12] 而产生电压准位约为 1.5V 的比较信号 VC,此时比较电路 330 会判断出比较信号 VC(1.5V) 的电压准位大于模拟输入信号 VIN(0.1V),从而发出致能的比较结果信号 VCMP。因此,SAR 逻辑控制电路 340 即会根据致能的比较结果信号 VCMP 而将第一位 q[1] 维持在逻辑准位“0”,并且接续地将第二位 q[2] 的逻辑状态调整为“0”。

[0090] 接着,在控制信号 LAT 的第二个脉冲期间内,DAC 电路 310 会基于逻辑状态为“001111111111”的数字逻辑信号 Q[12] 而产生电压准位约为 0.75V 的比较信号 VC,而比较电路 330 仍会判断出比较信号 VC(0.75V) 的电压准位大于模拟输入信号 VIN(0.1V),从而再次发出致能的比较结果信号 VCMP,使得 SAR 逻辑控制电路 340 根据致能的比较结果信号 VCMP 而将第二位 q[2] 同样维持在逻辑准位“0”,并且接续地将第三位 q[3] 的逻辑状态调整为“0”。其后,各位 q[3] ~ q[12] 的逻辑准位皆是依据上述方式依序决定,故在此不再赘述。

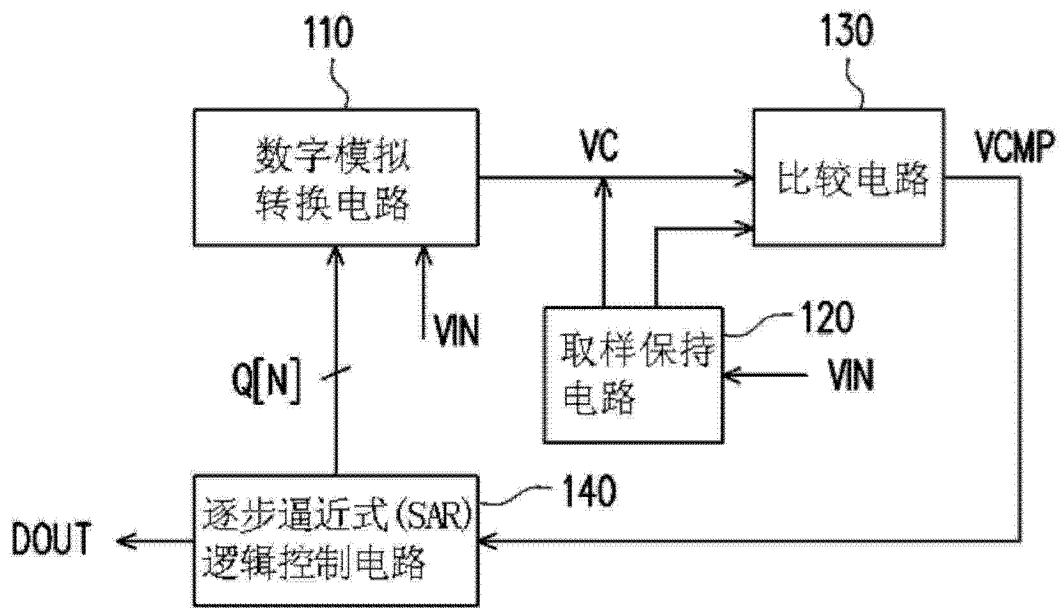
[0091] 由图 4 可知,在控制信号 LAT 的十二个脉冲期间内,比较电路 340 会依序产生逻辑状态为“111110000011”的比较结果信号 VCMP,使得 SAR 逻辑控制电路 340 最终会将数字逻辑信号 Q[12] 的逻辑状态调整为“000001111100”。基此,SAR 逻辑控制电路 340 即会在控

制信号 EOC 再次致能时,基于数字逻辑信号 Q[12] 的逻辑状态“000001111100”而发出数字值为“07C”的数字输出信号 DOUT(十六进制)。亦即,SAR 逻辑控制电路 340 会在一个转换周期后,将 0.1V 的模拟输入信号 VIN 转换为数字值为“07C”的数字输出信号 DOUT,从而完成一次的模拟数字转换操作。

[0092] 另外值得一提的是,本实施例的控制信号 CHG 可被设计为在进入转换周期之前预先地切换为致能(即,控制信号 CHG 与 EOC 的转态时间点相隔一段延迟期间),以在 SAR-ADC300 进入取样保持期间时对应的开关可被立即地导通,从而提早进行偏移消除的操作,但本发明不以此为限。

[0093] 综上所述,本发明实施例提出一种 SAR-ADC,其可仅利用模拟输入信号来作为模拟数字转换及偏移消除操作所需的共模参考电压,因此本发明实施例的 SAR-ADC 无须使用额外的参考电压来实现消除偏移电压及模拟数字转换的操作,从而简化了整体电路设计。此外,通过所提出的串接比较单元的比较电路架构,还可有效地减少 SAR-ADC 操作于高频时的噪声干扰,从而令本发明实施例的 SAR-ADC 可具有更佳的信杂比特性。

[0094] 以上所述的具体实施例,对本发明的目的、技术方案和有益效果进行了进一步详细说明,应理解的是,以上所述仅为本发明的具体实施例而已,并不用于限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。



100

图 1

12299

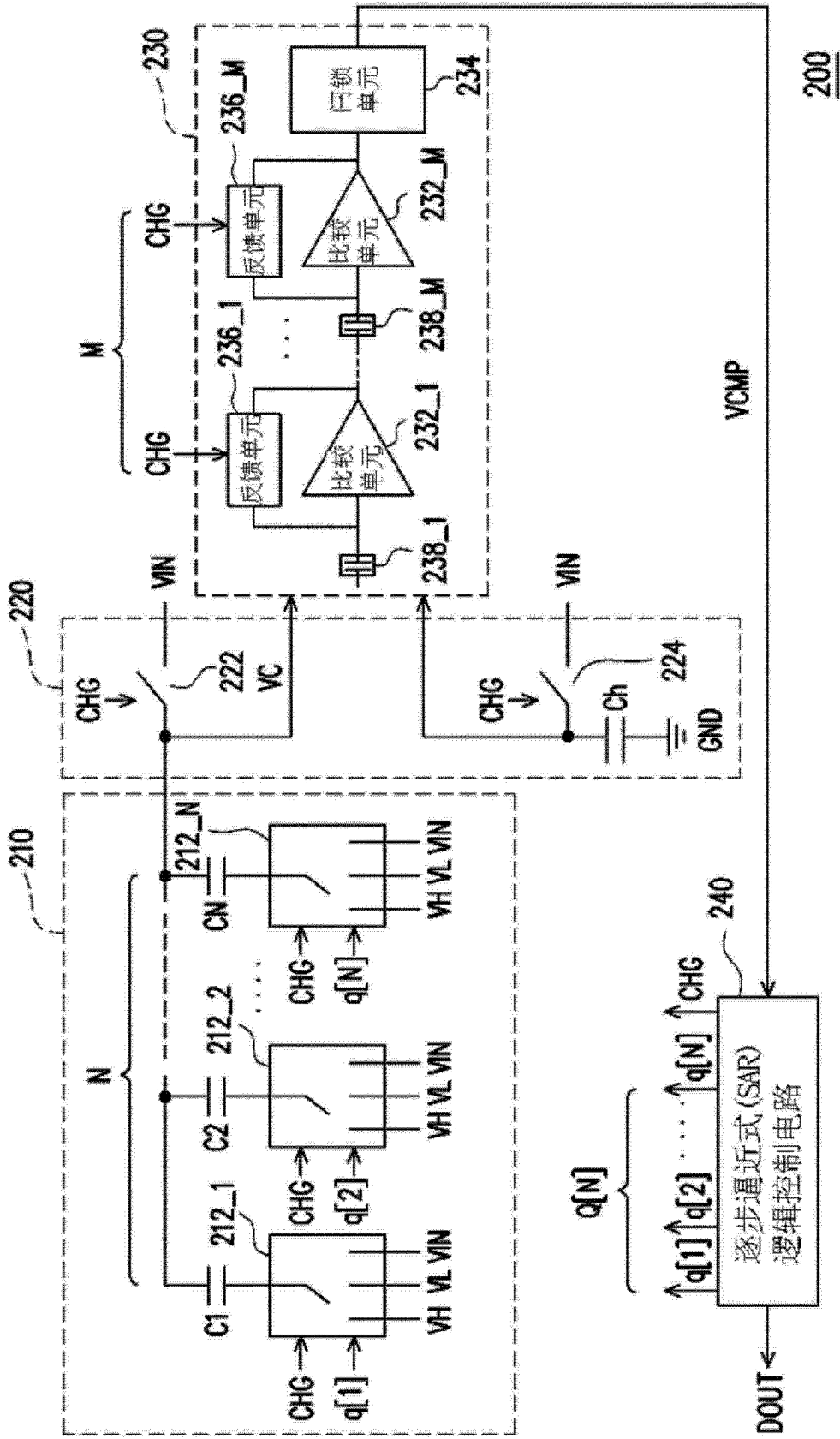


图 2

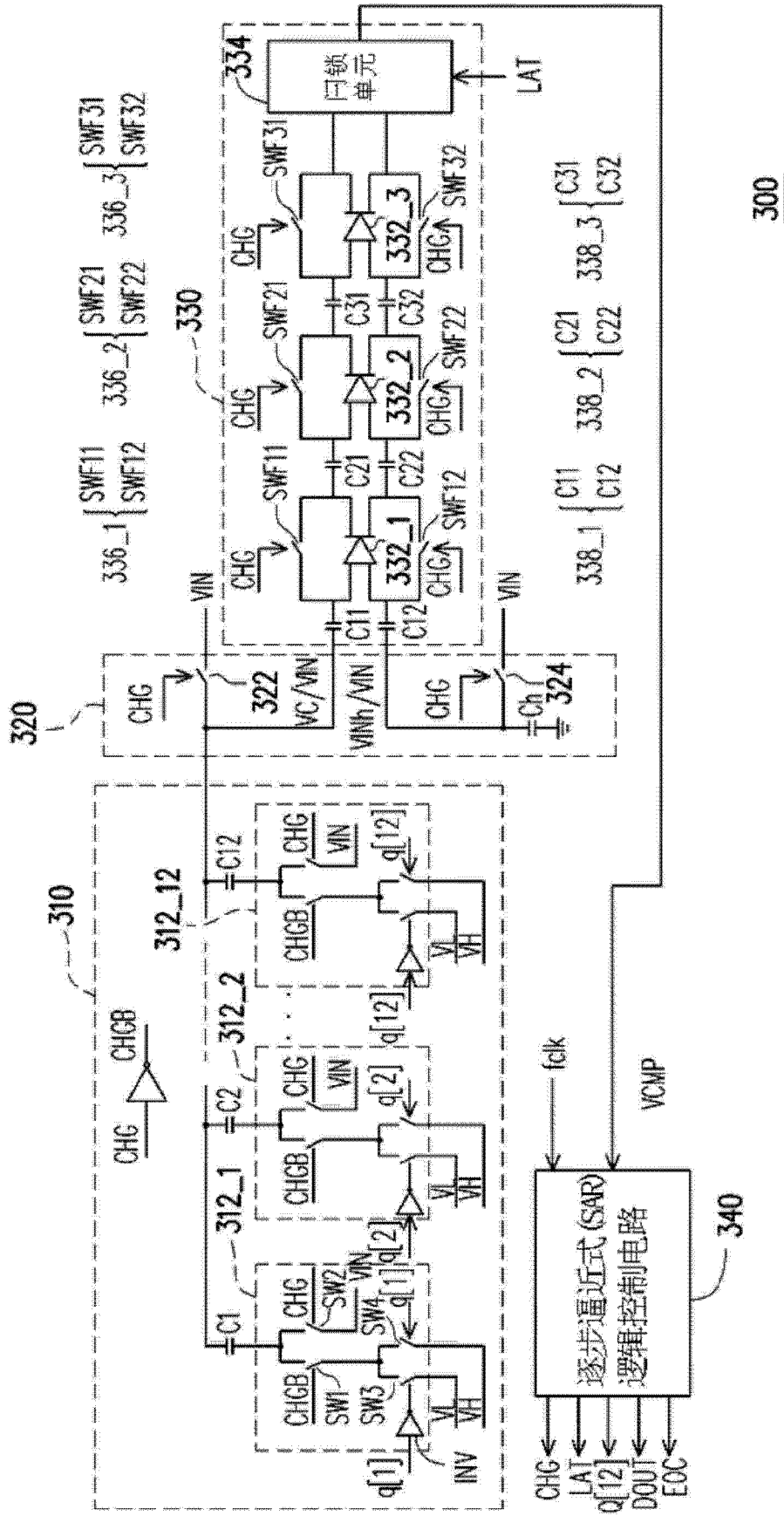


图 3

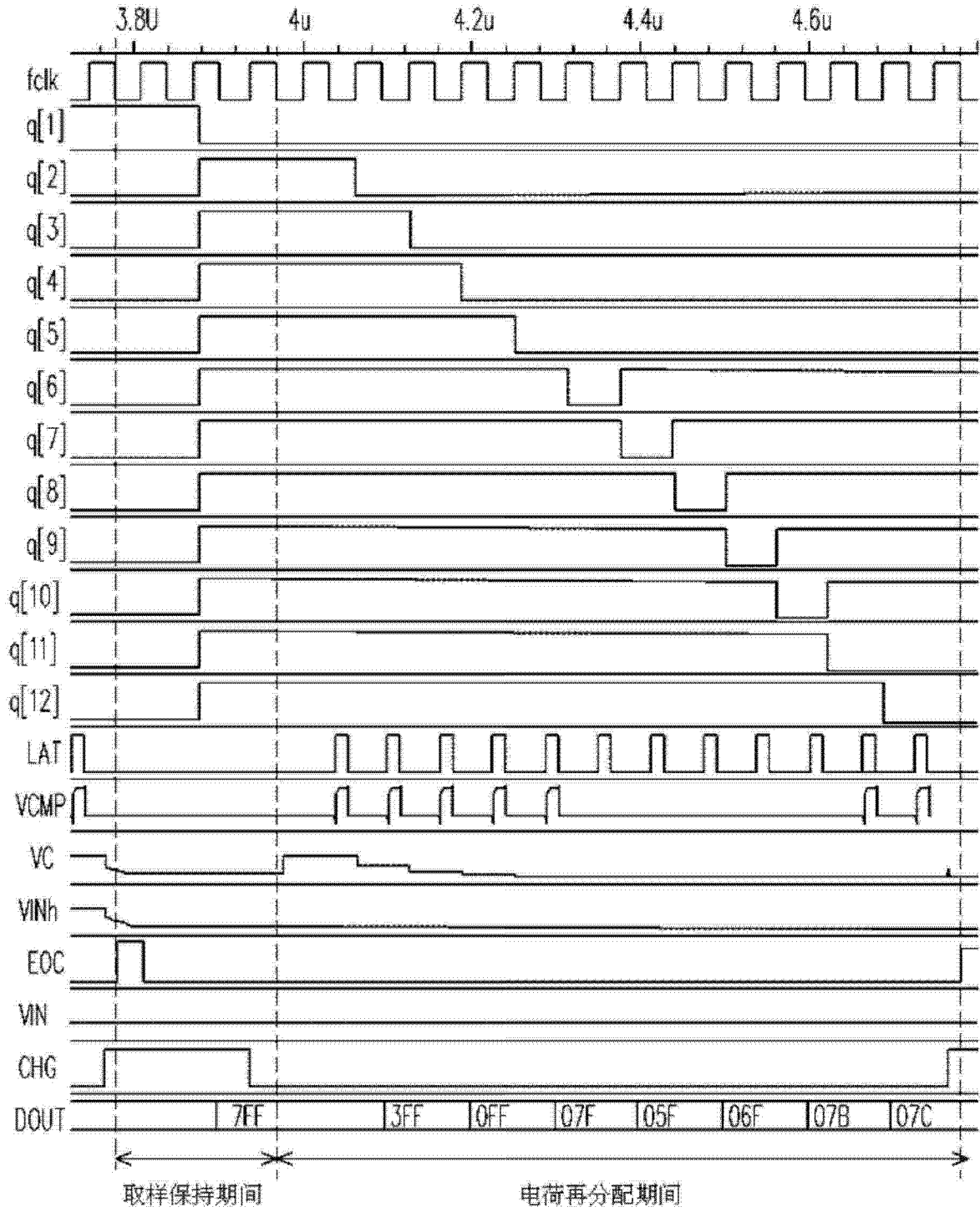


图 4