

[19] 中华人民共和国国家知识产权局

[ 51 ] Int. Cl<sup>7</sup>

G11C 7/00

G06F 12/00



# [12] 实用新型专利说明书

[21] ZL 专利号 02238705.6

[45] 授权公告日 2003 年 11 月 5 日

[11] 授权公告号 CN 2585371Y

[22] 申请日 2002.06.13 [21] 申请号 02238705.6

[30] 优先权

[32] 2002. 3. 27 [33] US [31] 60/368,664

[73] 专利权人 威盛电子股份有限公司

地址 中国台湾

[72] 设计人 张乃舜

[74] 专利代理机构 北京纪凯知识产权代理有限公司

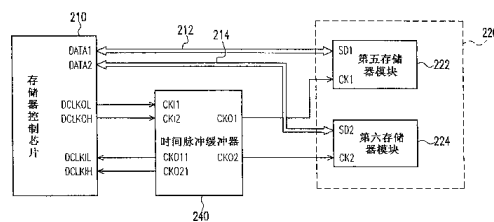
代理人 沙捷王初

权利要求书 2 页 说明书 8 页 附图 4 页

[54] 实用新型名称 存储器控制芯片及控制电路

[57] 摘要

一种存储器控制芯片及控制电路，其将原参考相同时间脉冲的多个存储器模块(其为相同记忆组(Memory bank))，改为参考具有一预定相位差的不同时间脉冲，也就是说，以不同时间脉冲来存取相同记忆组中的各个存储器模块。因此，同时产生变化的数据量减少了，亦即降低了同时切换噪声，故可安排较少的电源/接地脚位数，以降低制造成本。



ISSN 1008-4274

1. 一种存储器控制芯片,用以存取一记忆组中的多个存储器模块,其特征在于,至少包括:

5 多组数据信号脚位,每一组数据信号脚位均可对应连接至每一该存储器模块的一组数据信号脚位;以及

多个时间脉冲产生脚位,输出多个时间脉冲信号用以输入至每一该存储器模块的一时间脉冲输入脚位;

其中,这些时间脉冲信号具有相同频率且彼此存在一预定相位差。

10

2. 如权利要求1所述的存储器控制芯片,其特征在于:还包括一时间脉冲缓冲器,连接于这些时间脉冲产生脚位与这些存储器模块的时间脉冲输入脚位之间,用以增加这些时间脉冲信号的驱动能力。

15

3. 如权利要求2所述的存储器控制芯片,其特征在于:该时间脉冲缓冲器具有多个时间脉冲回馈输出端,对应连接到该存储器控制芯片的多个时间脉冲回馈输入端,用以调整对应的这些时间脉冲信号的相位。

20

4. 如权利要求1所述的存储器控制芯片,其特征在于:这些存储器模块的数目为两个。

5. 如权利要求1所述的存储器控制芯片,其特征在于:该存储器控制芯片的每一组数据信号脚位有64位的宽度。

25

6. 如权利要求1所述的存储器控制芯片,其特征在于:每一该存储器模块的该组数据信号脚位有64位的宽度。

7. 一种存储器控制电路,其特征在于,至少包括:

30 多个存储器模块,每一该存储器模块具有一时间脉冲输入脚位与一组数据信号脚位,其中,这些存储器模块为同一记忆组;以及

一存储器控制芯片，具有多组数据信号脚位，每一组数据信号脚位均可对应连接至每一该存储器模块的该组数据信号脚位，并且具有多个时间脉冲产生脚位，输出多个时间脉冲信号用以输入至每一该存储器模块的该时间脉冲输入脚位；

5 其中，这些时间脉冲信号具有相同频率且彼此存在一预定相位差。

8. 如权利要求 7 所述的存储器控制电路，其特征在于：还包括一时间脉冲缓冲器，连接于这些时间脉冲产生脚位与这些存储器模块的时间脉冲输入脚位之间，用以增加这些时间脉冲信号的驱动能力。

10

9. 如权利要求 7 所述的存储器控制电路，其特征在于：该时间脉冲缓冲器具有多个时间脉冲回馈输出端，对应连接到该存储器控制芯片的多个时间脉冲回馈输入端，用以调整对应的这些时间脉冲信号的相位。

15

## 存储器控制芯片及控制电路

### 技术领域

- 5           本实用新型涉及一种存储器电路，且特别是有关于一种存储器控制芯片及控制电路。

### 背景技术

- 10           现今的一般个人计算机(简称 PC)系统中，主要是由主机板、界面卡、与外围设备等所组成，而其中的主机板可说是计算机系统的核心。在主机板上，除了有中央处理单元(Central Processing Unit, 简称 CPU)、存储器控制芯片、及可供安装界面卡的插槽外，尚有数个可供安装存储器模块的存储器模块插槽(Memory module slot)，其可依使用者的需求，安装不同数量的存储器模块(Memory module)。

- 15           一般在个人计算机中所使用的存储器，有同步动态随机存取存储器(Synchronous dynamic random access memory, 简称 SDRAM)，和双倍数据速率动态随机存取存储器(Double datarate dynamic random access memory, 简称 DDRDRAM)。其中，SDRAM 是参考系统时间脉冲的上升缘或下降缘来进行数据的存取操作，而 DDRDRAM 则为参考系统时间脉冲的上升缘及下降缘来进行数据的存取操作，以达双倍于系统时间脉冲频率的数据传输速率。

- 25           目前市面上发展的 DDRDRAM 存储器模块使用符合 JEDEC 标准的 184 脚位规格的存储器模块插槽，其提供的数据信号脚位为 64 位宽，与存储器控制芯片的 64 位宽度总线正好相符。因此，每一存储器模块即可定义为一个记忆组(Memory bank)，每次存储器控制芯片即可存取 64 位宽的数据。为了增加存储器寻址空间及保留存储器扩充的弹性，主机板中通常会有数量不等的存储器模块插槽，用以分别插置存储器模块，而不同的存储器模块插槽即可代表不同记忆组(Memory bank)的存储器模块。

- 30           请参考图 1 所示，其显示一种现有的存储器控制电路。此电路包

括：存储器控制芯片 110、时间脉冲缓冲器 140、第一存储器模块 120 及第二存储器模块 130。上述第一存储器模块 120 及第二存储器模块 130 属于不同两记忆组的存储器模块插于存储器模块插槽(未绘示)上用以和存储器控制芯片 110 实现数据的存取。此外，由于此存储器控制芯片 110 的数据信号脚位(DATA)为 64 位宽，而第一存储器模块 120 及第二存储器模块 130 的数据信号脚位 SD1 及 SD2 亦为 64 位宽，所以存储器控制芯片 110 可使用 64 位宽度的数据总线 115 来分别存取各个存储器模块中的数据。如图所示，存储器控制芯片 110 的时间脉冲产生脚位(DCLKO)连接至时间脉冲缓冲器 140 的时间脉冲输入端(CKI)，用以增强时间脉冲信号的驱动能力，再以时间脉冲缓冲器 140 的时间脉冲输出端(CKO1)来输出时间脉冲信号用以同时驱动第一存储器模块 120 以及第二存储器模块 130(此时间脉冲缓冲器 140 所输出时间脉冲信号最多可用以驱动 4 组存储器模块)。因此，时间脉冲信号可传送至第一存储器模块 120 与第二存储器模块 130 作为数据存取时的参考时间脉冲信号。而时间脉冲缓冲器 140 的时间脉冲回馈输出端(CKO2)则将时间脉冲信号传送回存储器控制芯片 110 的时间脉冲回馈输入端(DCLKI)。在存储器控制芯片 110 内有一锁相回路(未绘示)，用以调整时间脉冲信号输出端(DCLKO)所送出的时间脉冲相位。由于存储器模块插槽上的存储器模块的数据信号脚位为 64 位宽，故当存储器控制芯片 110 的时间脉冲产生脚位(DCLKO)送出时间脉冲信号，并配合一地址来以存取任一存储器模块时，代表着数据总线 115 上可能出现有 64 位的数据变化，而在数据总线 115 上的数据变化将导致存储器控制芯片的数据信号脚位(DATA)会出现大量噪声，例如是同时切换输出(Simultaneous Switch Output, 简称 SSO)噪声。为了克服此一问题，故必须于存储器控制芯片 110 中靠近数据信号脚位(DATA)的地方安排许多电源/接地脚位，以增加数据信号脚位(DATA)变化时的充放电路径来快速排除噪声，并使得噪声控制在允许的范围内。

随着半导体科技的发展，中央处理单元运算能力的进步可谓一日千里。因此，个人计算机中存储器控制芯片的总线宽度也必须加以扩充，以便与中央处理单元的运算能力相配合。

请参照图 2，其所绘示为现有技术于 128 位宽度架构下的存储器控

制电路。在此架构下，128 位的数据总线 155 是由二个存储器模块 162 与 164 各提供 64 位的数据信号，并且，此架构的主机板至少需插入偶数个存储器模块才能够运作。如图所示，此电路包括：存储器控制芯片 150、时间脉冲缓冲器 180、第三存储器模块 162 及第四存储器模块 164。而上述第三存储器模块 162 及第四存储器模块 164 则被定义为相同的记忆组(Memory bank)160 插于个别的存储器模块插槽(未绘示)。由于此存储器控制芯片 150 的总线数据信号脚位(DATA)为 128 位宽，而第三存储器模块 162 及第四存储器模块 164 的数据信号脚位 SD1 及 SD2 总和为 128 位宽，所以存储器控制芯片 150 可使用 128 位宽度的数据总线 155 来同时存取相同记忆组(Memory bank)160 中存储器模块 162 与 164 的数据。在此架构之下，存储器控制芯片 150 的时间脉冲产生脚位(DCLKO)连接至时间脉冲缓冲器 180 的时间脉冲输入端(CKI)，用以增强时间脉冲信号的驱动能力，再以时间脉冲缓冲器 180 的时间脉冲输出端(CKO1)来输出时间脉冲信号用以同时驱动第三存储器模块 162 以及第四存储器模块 164。因此，时间脉冲信号可传送至第三存储器模块 162 与第四存储器模块 164 作为数据存取时的参考时间脉冲信号。而时间脉冲缓冲器 180 时间脉冲回馈输出端(CKO2)则将时间脉冲信号传送回存储器控制芯片 150 的时间脉冲回馈输入端(DCLKI)，用以供存储器控制芯片 110 调整时间脉冲产生脚位(DCLKO)所送出的时间脉冲相位。

以新的 128 位宽的 DDRDRAM 存储器模块而言每一次的存取最多会造成数据总线 155 上 128 位的数据变化，可想而知，在数据信号变化时，处理 128 位数据信号的存储器控制芯片 110 在数据信号脚位 (DATA)所出现的噪声必定会比处理 64 位数据信号的存储器控制芯片在数据信号脚位所出现的噪声要大了许多。因此，以相同的时间脉冲信号来同时存取 128 位的数据，势必得要增加许多的电源/接地脚位，安排于数据信号脚位(DATA)附近，以降低其噪声。然而，为了避免大幅增加制造成本，存储器控制芯片 110 采用 37.5mm×37.5mm 的包装，而受到脚位数的限制，实在无法安排足够的电源/接地脚位，但如电源/接地脚位数安排不足，则又将难以克服噪声的问题。

## 实用新型内容

有鉴于此，本实用新型提供一种存储器控制芯片及控制电路，其可于较少的电源/接地脚位数安排之下，克服噪声的问题。

为实现上述及其它目的，本实用新型提供一种存储器控制芯片，  
5 用以存取一记忆组中的多个存储器模块，包括：多组数据信号脚位，每一组数据信号脚位均可对应连接至每一个存储器模块一组数据信号脚位。以及，多个时间脉冲产生脚位，输出对应的时间脉冲信号输入至每一个存储器模块的时间脉冲输入脚位。其中，所有的时间脉冲信号具有相同频率且彼此存在一预定相位差。

10 本实用新型还提供一种存储器控制电路，包括：多个存储器模块，每一个存储器模块均具有一时间脉冲输入脚位与一组数据信号脚位，其中，这些存储器模块系为同一记忆组。以及，一存储器控制芯片，具有多组数据信号脚位，每一组数据信号脚位均可对应连接至每一个存储器模块的一组数据信号脚位，并且具有多个时间脉冲产生脚位，  
15 输出对应的时间脉冲信号至每一个存储器模块的时间脉冲输入脚位。其中，所有的时间脉冲信号具有相同频率且彼此存在一预定相位差。

此外，本实用新型还公开了一种存储器控制方法，用以控制同一记忆组中的多个存储器模块，包括下列步骤：首先，提供多组芯片数据信号脚位，每一组芯片数据信号脚位均可对应连接至每一个存储器  
20 模块的一组数据信号脚位。接着，提供多个时间脉冲信号对应输入至每一个存储器模块的时间脉冲输入脚位，使得每一个存储器模块可均可根据对应的时间脉冲信号来作存储器模块的数据存取，其中，所有的时间脉冲信号具有相同频率且彼此存在一预定相位差。接着，根据时间脉冲信号，依序由不同组的芯片数据信号脚位来作每一个存储器  
25 模块所对应的组数据信号脚位的数据存取。

为使本实用新型的上述和其它目的、特征、和优点能更明显易懂，下文特举一较佳实施例，并配合所附图式，加以详细说明。

## 附图说明

30 图 1 为一种现有的存储器控制电路；

图 2 为在 128 位宽度架构下的存储器控制电路；

图 3 为根据本实用新型较佳实施例的一种存储器控制电路；以及图 4 为根据本实用新型较佳实施例的时间脉冲时序图。

图中符号说明：

|    |             |         |
|----|-------------|---------|
|    | 110、150、210 | 存储器控制芯片 |
| 5  | 115、155     | 数据总线    |
|    | 120         | 第一存储器模块 |
|    | 130         | 第二存储器模块 |
|    | 140、180、240 | 时间脉冲缓冲器 |
|    | 160、220     | 记忆组     |
| 10 | 162         | 第三存储器模块 |
|    | 164         | 第四存储器模块 |
|    | 212         | 第一数据总线  |
|    | 214         | 第二数据总线  |
|    | 222         | 第五存储器模块 |
| 15 | 224         | 第六存储器模块 |

### 具体实施方式

请参考图 3 所示，其显示根据本实用新型较佳实施例在 128 位宽度架构下的一种存储器控制电路。此电路包括：存储器控制芯片 210、时间脉冲缓冲器 240、第五存储器模块 222 及第六存储器模块 224。而上述第五存储器模块 222 及第六存储器模块 224 则被定义为相同的记忆组(Memory bank)220 插于个别的存储器模块插槽(未绘示)。

由于此存储器控制芯片 210 的总线数据信号脚位(DATA1 与 DATA2)为 128 位宽，而第五存储器模块 222 及第六存储器模块 224 的数据信号脚位 SD1 及 SD2 总和为 128 位宽，所以存储器控制芯片 210 可使用 128 位宽度的数据总线来存取相同记忆组 220 中存储器模块 222 与 224 的数据。其中，第一组芯片数据信号脚位(DATA1)连接至第五存储器模块 222 的第一组数据脚位(SD1)，并以 64 位宽度的第一数据总线 212 来存取。而第二组芯片数据信号脚位(DATA2)连接至第六存储器模块 224 的第二组数据脚位(SD2)，并以 64 位宽度的第二数据总线 214 来存取。



由图上可知，存储器控制芯片 210 的第一时间脉冲产生脚位 (DCLKOL) 会输出一第一时间脉冲，而第二时间脉冲产生脚位 (DCLKOH) 会输出一第二时间脉冲。此二时间脉冲分别输入至时间脉冲缓冲器 240 的第一时间脉冲输入端 (CKI1) 与第二时间脉冲输入端 (CKI2)，用以增强时间脉冲信号的驱动能力，再以时间脉冲缓冲器 240 的第一时间脉冲输出端 (CKO1) 与第二时间脉冲输出端 (CKO2) 来分别输出第一时间脉冲信号与第二时间脉冲信号至第五存储器模块 222 的时间脉冲输入脚位 (CK1) 以及第六存储器模块 224 的时间脉冲输入脚位 (CK2)。因此，第五存储器模块 222 以及第六存储器模块 224 可分别参考第一时间脉冲以及第二时间脉冲来达成数据的存取。

再者，时间脉冲缓冲器 240 第一时间脉冲回馈输出端 (CKO11) 与第二时间脉冲回馈输出端 (CKO12) 则分别将第一时间脉冲时间脉冲信号与第二时间脉冲信号传送回存储器控制芯片 210 的第一时间脉冲回馈输入端 (DCLKIL) 与第二时间脉冲回馈输入端 (DCLKIH)，用以供存储器控制芯片 210 来个别调整第一时间脉冲产生脚位 (DCLKOL) 及第二时间脉冲产生脚位 (DCLKOH) 所送出的时间脉冲。

由于电源/接地脚位数目受限于存储器控制芯片采用 37.5mm×37.5mm 的包装，在此我们将相同周期时间的第一时间脉冲信号与第二时间脉冲信号，以一预定相位差的方式，分别由第一时间脉冲产生脚位 (DCLKOL) 与第二时间脉冲产生脚位 (DCLKOH) 送出 (如图 4 所示第一时间脉冲产生脚位 (DCLKOL) 与第二时间脉冲产生脚位 (DCLKOH) 所送出的二个时间脉冲信号存在一相位差 A)。

亦即，第五存储器模块 222 与第六存储器模块 224 个别参考第一时间脉冲信号与第二时间脉冲信号，因此第一数据信号 212 与第二数据信号 214 在不同时间被存储器控制芯片 210 所存取，由于每次存取最多仅会有 64 位的变化 (第一数据总线 212 或者第二数据总线 214 上的数据变化)，因此就可利用就较少电源/接地脚位，并在两个不同时间下分两次消除 64 位的数据变化所导致的同时切换输出 (Simultaneous Switch Output, 简称 SSO) 的大量噪声，而不需要再增加电源/接地脚位数目来消除 128 位的数据变化。

当然上述芯片数据信号脚位与时间脉冲产生脚位并非限定于两

组，只要有不同位宽的存储器控制芯片，都可随时调整到适当的时间脉冲产生脚产生多个时间脉冲信号对应控制芯片数据信号脚位所存取数据信号即可。而在预定相位差(相位差 A)的设计方面，以 DDRDRAM 来说，是参考时间脉冲的上升缘及下降缘来进行数据的存取操作，因此预定相位差(相位差 A)需控制在小于 1/2 周期，例如 1/4 周期时间或 1/8 周期时间，其中以 1/4 周期时间为最佳，因第一数据信号 212 与第二数据信号 214 产生数据变化间隔最大，因此 SSO 可有效控制在一定范围之内。

另外，在存储器模块数量不多的情况下，也可直接将第一时间脉冲产生脚位(DCLKOL)直接连接至第五存储器模块 222 的时间脉冲输入脚位(CK1)。而第二时间脉冲产生脚位(DCLKOH)直接连接至第六存储器模块 224 的时间脉冲输入脚位(CK2)。如此，也可以实现使用具有一预定相位差的二个时间脉冲来存取同一记忆组(Bank)中的二个存储器模块。

依照本实施例，此第一时间脉冲与第二时间脉冲的频率例如为 133MHz 或 166MHz。当第一时间脉冲与第二时间脉冲的频率为 133MHz 时，第一数据总线 212 与第二数据总线 214 上的数据传输速率为 266MHz，预定相位差设定为第一时间脉冲的 1/8 周期即可有效控制噪声于一预定范围之内。当第一时间脉冲与第二时间脉冲的频率为 166MHz 时，其第一分组数据信号脚位(DATA1)与第二分组数据信号脚位(DATA2)上的数据传输速率为 333MHz，预定相位差设定为第一时间脉冲的 1/4 周期时即可有效控制噪声于一预定范围之内。

故知，由于本实用新型提供的一种存储器控制芯片、控制方法及控制电路，已将原参考相同时间脉冲的总线数据，改为参考具有一预定相位差的不同时间脉冲。因此，至少具有以下优点：

1. 因同时产生变化的数据量减少了，所以产生的同时切换噪声(SSO)也降低了。

2. 可以较少的电源/接地脚位数安排，即可克服噪声的问题，故可大幅降低制造成本。

虽然本实用新型已以一较佳实施例揭露如上，然其并非用以限定本实用新型，任何本领域熟练技术人员，在不脱离本实用新型的精神

---

和范围内，可以作各种的更动与润饰，因此本实用新型的保护范围应以后附的权利要求所界定的范围为准。

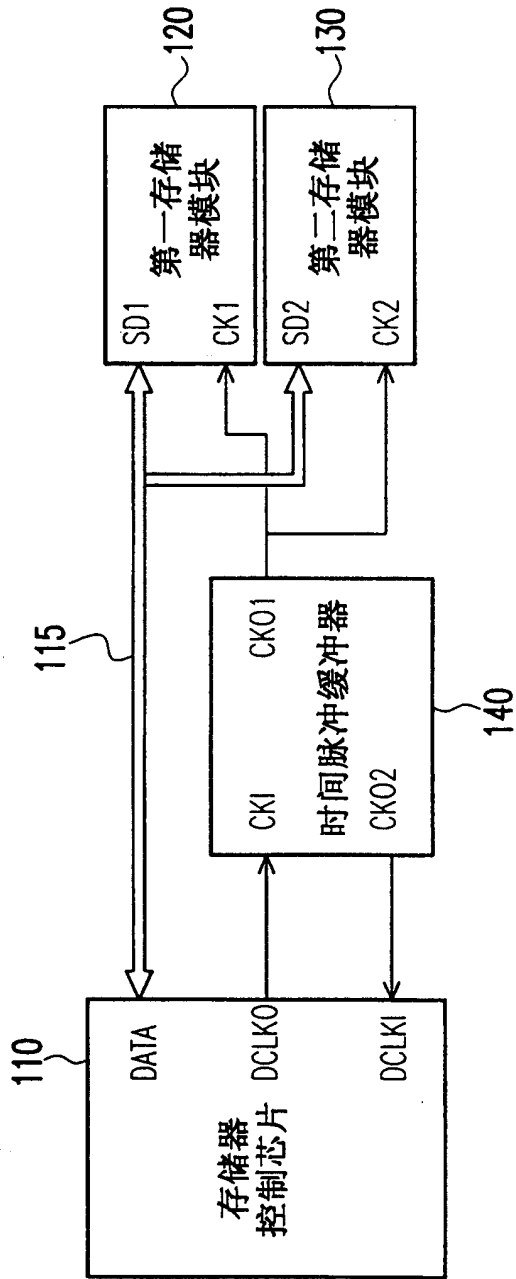


图1

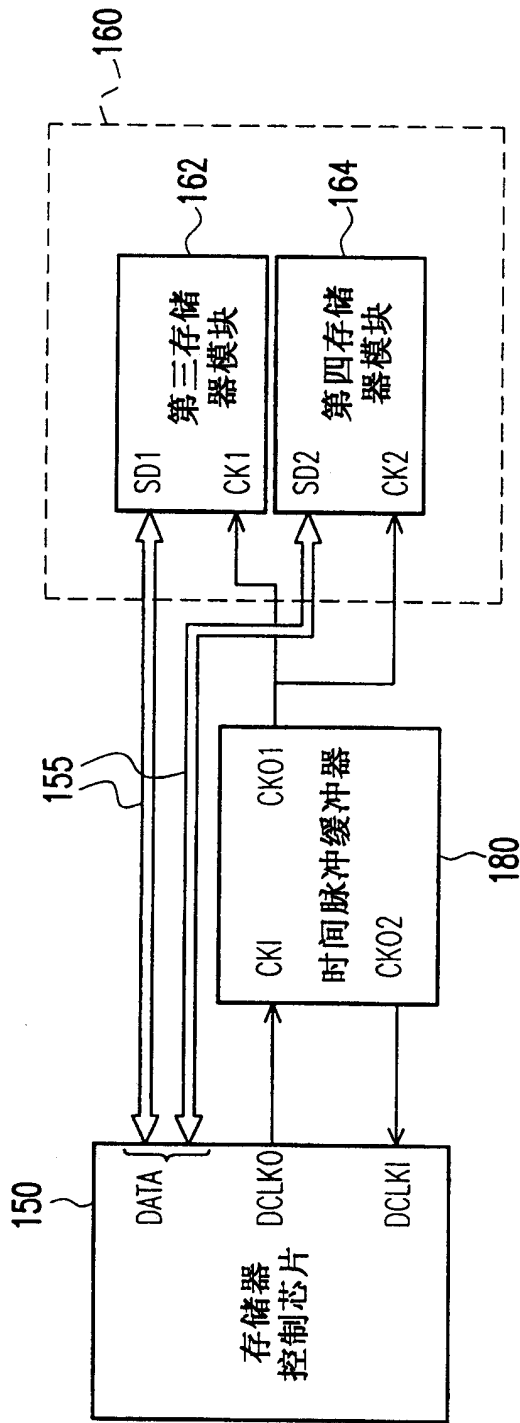


图2

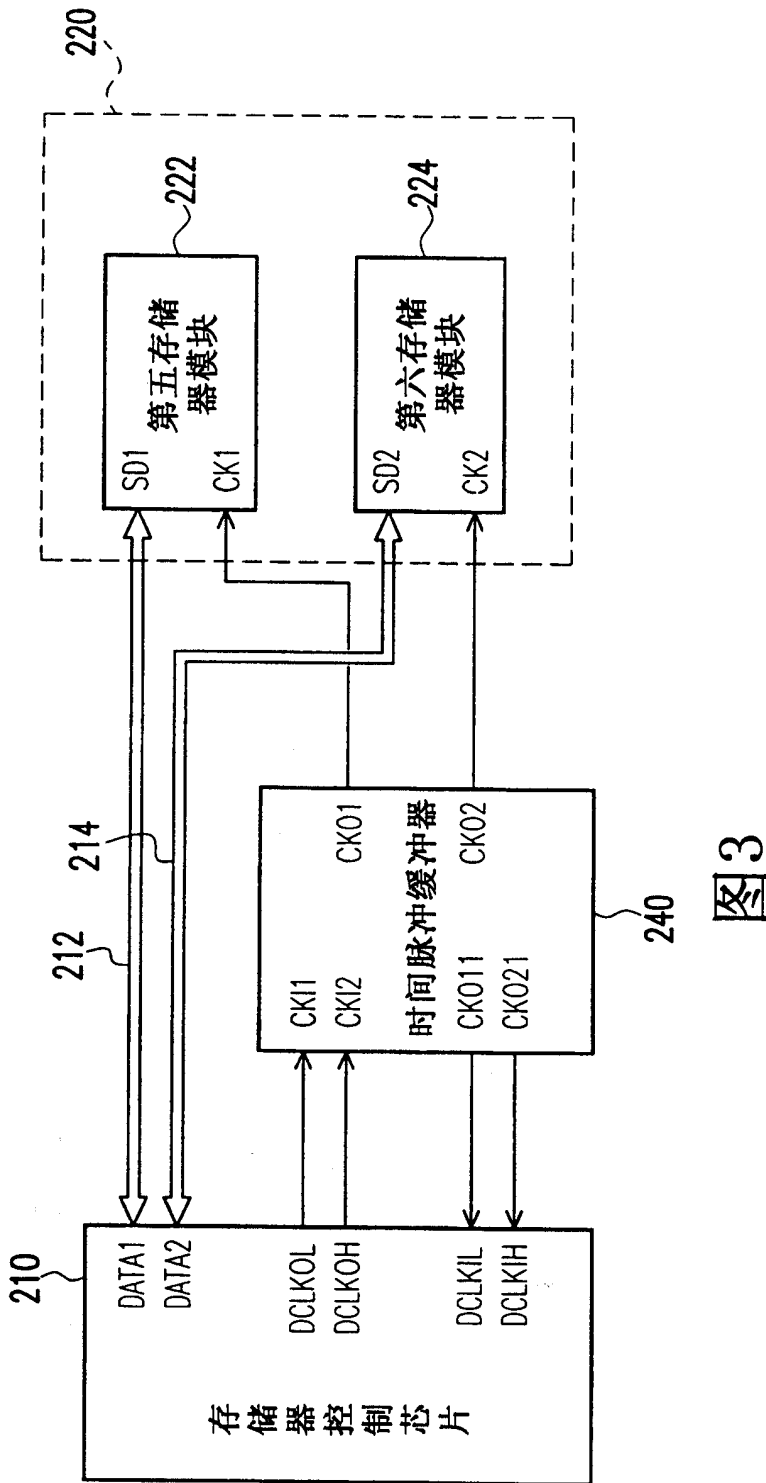


图3

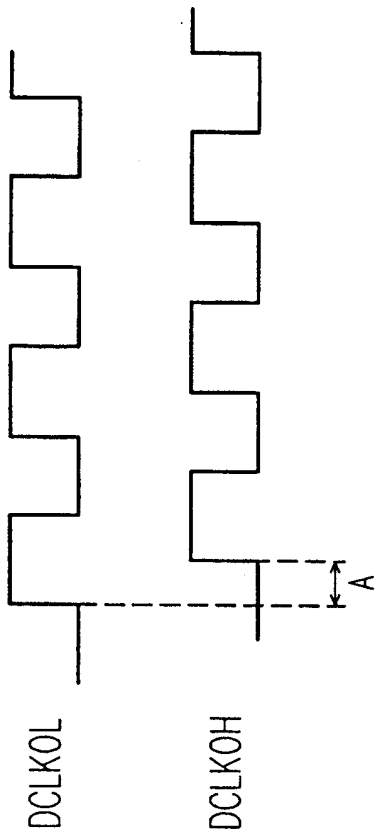


图4