



[12] 发明专利说明书

专利号 ZL 200310120362.6

[45] 授权公告日 2006年4月5日

[11] 授权公告号 CN 1249917C

[22] 申请日 2003.10.21

[21] 申请号 200310120362.6

[30] 优先权

[32] 2002.10.21 [33] JP [31] 2002-305387

[71] 专利权人 罗姆股份有限公司

地址 日本京都府

[72] 发明人 大前英雄

审查员 丛 森

[74] 专利代理机构 中科专利商标代理有限责任公司
代理人 李香兰

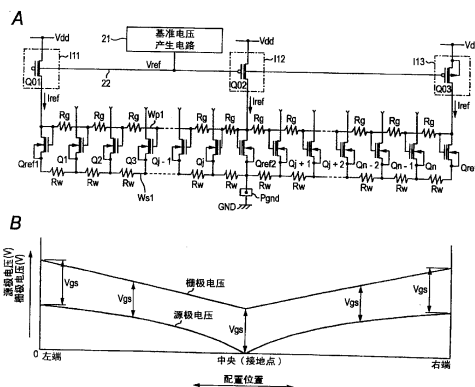
权利要求书 2 页 说明书 8 页 附图 8 页

[54] 发明名称

电流反射镜电路

[57] 摘要

在具有达到数百的多个输出端晶体管的电流反射镜电路中，不增大用于馈线的布线面积，而显著降低由馈线电阻产生的影响。除了一端连接到第1恒流源、另一端连接到基准电压(例如地)上的电流反射镜的第1输入端晶体管之外，还在仅仅相距某个规定距离的位置上设置了一端连接到第2恒流源上的第2输入端晶体管，在这些第1、第2输入端晶体管之间，分散设置了多个输出端晶体管。由此，多个输出端晶体管的栅极-源极间电压基本等于第1、第2输入端晶体管的栅极-源极间电压。



1. 一种电流反射镜电路，具有成为电流反射镜的输出端的多个输出
5 端晶体管，其特征在于，具有：

第 1 输入端晶体管，其作为电流反射镜的输入端使用，具有从第 1
恒流源供给的恒定电流所流过的第 1 路径，所述第 1 路径的一端连接在
所述第 1 恒流源上、所述第 1 路径的另一端连接在第 1 连接位置上；

第 2 输入端晶体管，其作为电流反射镜的输入端使用，与所述第 1
10 输入端晶体管仅仅相距规定距离而设置，具有从第 2 恒流源供给的恒定
电流所流过的第 2 路径，所述第 2 路径的一端与所述第 2 恒流源连接；

基准电压产生电路，其对所述第 1 恒流源以及所述第 2 恒流源施加
给定基准电压；

第 1 馈线，其连接在所述第 1 输入端晶体管的所述另一端与所述第
15 2 输入端晶体管的所述第 2 路径的另一端之间；

第 1 电压线，其通过高于所述第 1 馈线电阻的高电阻连接在所述第
1 输入端晶体管的所述一端和所述第 2 输入端晶体管的所述一端之间，
并提供电压梯度；

多个输出端晶体管，其作为电流反射镜的输出端使用，分散配置在
20 所述第 1 输入端晶体管和所述第 2 输入端晶体管之间，分别连接在所述
第 1 馈线和所述第 1 电压线上。

2. 如权利要求 1 所述的电流反射镜电路，其特征在于，具有：

第 3 输入端晶体管，其作为电流反射镜的输入端使用，按照与所述
第 1 输入端晶体管相反的方向，仅仅与所述第 2 输入端晶体管相距一个
25 规定距离而设置，具有从第 3 恒流源供给的恒定电流所流过的第 3 路径，
所述第 3 路径的一端连接到所述第 3 恒流源；

第 2 馈线，其连接在所述第 2 输入端晶体管的所述另一端和所述第
3 输入端晶体管的所述第 3 路径的另一端之间；

第 2 电压线，其通过高于所述第 2 馈线电阻的高电阻连接在所述第
30 2 输入端晶体管的所述一端和所述第 3 输入端晶体管的所述一端之间，

并提供电压梯度；

多个输出端晶体管，其作为电流反射镜的输出端使用，分散配置在所述第2输入端晶体管和所述第3输入端晶体管之间，分别连接在所述第2馈线和所述第2电压线上；

5 所述基准电压产生电路对所述第3恒流源施加所述基准电压。

3. 如权利要求2所述的电流反射镜电路，其特征在于，所述第3输入端晶体管的所述另一端连接在所述第1连接位置上。

4. 如权利要求1~3任一项所述的电流反射镜电路，其特征在于，所述第1电压线是多晶硅线。

10 5. 如权利要求2或3所述的电流反射镜电路，其特征在于，所述第2电压线是多晶硅线。

6. 如权利要求1所述的电流反射镜电路，其特征在于，所述第1及第2输入端晶体管以及所述输出端晶体管是P型MOS晶体管。

15 7. 如权利要求2所述的电流反射镜电路，其特征在于，所述第3输入端晶体管是P型MOS晶体管。

8. 如权利要求1所述的电流反射镜电路，其特征在于，所述第1及第2输入端晶体管和所述输出端晶体管是N型MOS晶体管。

9. 如权利要求2所述的电流反射镜电路，其特征在于，所述第3输入端晶体管是N型MOS晶体管。

20

电流反射镜电路

5

技术领域

本发明涉及在 LCD 驱动器 IC 等模拟 IC 中，形成存在于 IC 芯片内的宽范围的多数电流源的电流反射镜电路。

10 背景技术

在模拟 IC 中，在必需多个恒流源的情况下，大多使用以 1 个恒流源为基准来形成多个恒流源的电流反射镜电路。图 6(a)图示了以往通常所使用的电流反射镜电路，图 6(b)是图 6(a)的特性图。

在图 6(a)中，在 P 型 MOS 场效应晶体管(以下称为 PMOS) Q0 的栅极施加了固定的基准电压 V_{ref} ，形成恒流源 I61。将来自该恒流源 I61 的恒定电流 I_{ref} 提供给漏极和栅极相连、源极连接到地 GND 的 N 型 MOS 场效应晶体管(以下称为 NMOS) Qref6。将该 NMOS Qref6 作为电流反射镜电路输入端晶体管(即镜像源晶体管)，将 NMOS Q61~Q6n 作为多个输出端晶体管(即镜像目的地晶体管)。这些输出端晶体管 Q61~Q6n 的源极通过馈线 W_{s6} 连接到输入端晶体管 Qref6 的源极，这些输出端晶体管 Q61~Q6n 的栅极通过电压线 W_{p6} 连接到输入端晶体管 Qref6 的栅极。由此，输入端晶体管 Q61~Q6n 的栅极电压与输入端晶体管 Qref6 的栅极电压相等。另外， V_{dd} 是电源电压。

但是，在馈线 W_{s6} 上，即便是使用铝等导线的情况下，也多少有布线电阻 R_w ，在宽范围内分散配置多数的输出端晶体管 Q61~Q6n 的情况下，不能忽视由于布线电阻 R_w 和电流而引起的电压下降。在图 6(b)中显示了这种状态。

在图 6 中，由于电压线 W_{p6} 上没有电流流过，因此，输出端晶体管 Q61~Q6n 的栅极电压与输入端晶体管 Qref6 相同。一方面，输出端晶体管 Q61~Q6n 的源极电压由于馈线 W_{s6} 上的电压下降，而随着输出端晶

晶体管 $Q_{61} \sim Q_{6n}$ 的配置位置而依次变高。但是，与输入端晶体管 Q_{ref6} 的栅极-源极间电压 V_{gs} 相比，输出端晶体管 $Q_{61} \sim Q_{6n}$ 的栅极-源极间电压 V_{gs} 随配置位置而依次变小。其结果，输出端 $Q_{61} \sim Q_{6n}$ 按照其配置位置的不同，仅仅能流过与规定的电流大不相同的电流。

5 图 7 是为了避免由于馈线而产生的电压下降的影响，而使馈线成为星形配置结构，将来自电流源 I_{71} 的恒定电流 I_{ref} 提供给漏极和栅极相连的 NMOS Q_{ref7} 。将该 NMOS Q_{ref7} 作为电流反射镜电路的输入端晶体管，将 NMOS $Q_{71} \sim Q_{7n}$ 作为多个输出端晶体管。通过馈线 W_{s7r} 、 $W_{s71} \sim W_{7n}$ ，将输入端晶体管 Q_{ref7} 、输出端晶体管 $Q_{71} \sim Q_{7n}$ 的源极分别连接到公共点 K ，连接到地 GND 。由此，输出端晶体管 $Q_{71} \sim Q_{7n}$ 的栅极-源极间电压 V_{gs} ，变为与输入端晶体管 Q_{ref7} 的栅极-源极间电压 V_{gs} 相等。

图 8 同样也为了避免由于馈线产生的电压下降的影响，不是利用栅极电压来作为界面，而是作为电流界面构成的(参见非专利文献 1)。在图 8 的电流界面结构的电流镜电路中，在电流源 I_{81} 内设置了多组、每组 n 个 PMOS $Q_{01} \sim Q_{0n}$ ，将基准电压 V_{ref} 共同施加到各栅极上，使得分别流过恒定电流 I_{ref} 。这些恒定电流 I_{ref} 流过馈线 $W_{s81} \sim W_{s8n}$ ，被提供给作为漏极和栅极相连的输入端晶体管的 NMOS $Q_{ref81} \sim Q_{ref8n}$ 。在各个电流反射镜结构中，作为输出端晶体管的 NMOS $Q_{81} \sim Q_{8n}$ 连接在这些输入端晶体管 $Q_{ref81} \sim Q_{ref8n}$ 上。由此，与各馈线 $W_{s81} \sim W_{s8n}$ 的长度即阻抗的不同无关，在输出端晶体管 $Q_{81} \sim Q_{8n}$ 上，提供了完全相同的栅极-漏极间电压 V_{gs} 。因此，能够流过所期望的电流。

[非专利文献 1]

Behzad Razavi 着“Design of Analog CMOS Integrated Circuits”，
25 McGraw-Hill 出版，2001 年发行，Sec.18.2 Analog Layout Techniques，
P.642-643

在已有的图 7 的星形配置结构的电流反射镜电路中，为了使所有的馈线 W_{s7r} 、 $W_{s71} \sim W_{s7n}$ 的阻抗相等，必须分别准备馈线，且与最长的馈线长度相一致地使其长度一致。在图 8 的电流界面结构的电流反射镜
30 中，必须分别具有电流反射镜的输出端晶体管个数的馈线 $W_{s81} \sim W_{s8n}$ ，

且必须成为分别由输入端和输出端晶体管构成的电流反射镜结构。因此，在图 7、图 8 的已有结构的电流反射镜电路中，一旦输出端晶体管数目变多，则用于馈线的布线面积就会增大。特别是，在像液晶驱动器 IC 等这样具有数百输出端晶体管的部件中，由于其布线面积变得巨大，因此会增加 IC 芯片尺寸。

发明内容

因此，本发明的目的在于在具有达到数百的多个输出端晶体管的电流反射镜电路中，不增大用于馈线的布线面积，且显著降低由于馈线的布线阻抗所产生的影响。

有关本发明之一的电流反射镜电路，具有成为电流反射镜的输出端的多个输出端晶体管，包括：第 1 输入端晶体管，其作为电流反射镜的输入端使用，具有从第 1 恒流源供给的恒定电流所流过的第 1 路径，所述第 1 路径的一端连接在所述第 1 恒流源上、所述第 1 路径的另一端连接在第 1 连接位置上；第 2 输入端晶体管，其作为电流反射镜的输入端使用，与所述第 1 输入端晶体管仅仅相距规定距离而设置，具有从第 2 恒流源供给的恒定电流所流过的第 2 路径，所述第 2 路径的一端与所述第 2 恒流源连接；基准电压产生电路，其对所述第 1 恒流源以及所述第 2 恒流源施加给定基准电压；第 1 馈线，其连接在所述第 1 输入端晶体管的所述另一端与所述第 2 输入端晶体管的所述第 2 路径的另一端之间；第 1 电压线，其通过高于所述第 1 馈线电阻的高电阻连接在所述第 1 输入端晶体管的所述一端和所述第 2 输入端晶体管的所述一端之间，并提供电压梯度；多个输出端晶体管，其作为电流反射镜的输出端使用，分散配置在所述第 1 输入端晶体管和所述第 2 输入端晶体管之间，分别连接在所述第 1 馈线和所述第 1 电压线上。

有关本发明之二的电流反射镜电路，是在本发明之一所述的电流反射镜电路中，包括：第 3 输入端晶体管，其作为电流反射镜的输入端使用，按照与所述第 1 输入端晶体管相反的方向，仅仅与所述第 2 输入端晶体管相距一个规定距离而设置，具有从第 3 恒流源供给的恒定电流所流过的第 3 路径，所述第 3 路径的一端连接到所述第 3 恒流源；第 2 馈线，其连接在所述第 2 输入端晶体管的所述另一端和所述第 3 输入端晶

体管的所述第 3 路径的另一端之间；第 2 电压线，其通过高于所述第 2 馈线电阻的高电阻连接在所述第 2 输入端晶体管的所述一端和所述第 3 输入端晶体管的所述一端之间，并提供电压梯度；多个输出端晶体管，其作为电流反射镜的输出端使用，分散配置在所述第 2 输入端晶体管和所述第 3 输入端晶体管之间，分别连接在所述第 2 馈线和所述第 2 电压线上；所述基准电压产生电路对所述第 3 恒流源施加所述基准电压。

有关本发明之三的电流反射镜电路，是在本发明之二所述的电流反射镜电路中，所述第 3 输入端晶体管的所述另一端连接在第 1 连接位置上。

10 有关本发明之四的电流反射镜电路，是在本发明之一～三所述的电流反射镜电路中，所述第 1、第 2 电压线是多晶硅线。

有关本发明之五的电流反射镜电路，是在本发明之一～四所述的电流反射镜电路中，所述第 1～第 3 输入端晶体管以及所述输出端晶体管是 P 型 MOS 晶体管。

15 有关本发明之六的电流反射镜电路，是在本发明之一～四所述的电流反射镜电路中，所述第 1～第 3 输入端晶体管和所述输出端晶体管是 N 型 MOS 晶体管。

附图说明

20 图 1 图示了有关本发明的第 1 实施例的电流反射镜电路的结构、以及栅极电压、源极电压。

图 2 图示了有关本发明的第 2 实施例的电流反射镜电路的结构、以及栅极电压、源极电压。

25 图 3 图示了有关本发明的第 3 实施例的电流反射镜电路的结构、以及栅极电压、源极电压。

图 4 图示了有关本发明的第 4 实施例的电流反射镜电路的结构、以及栅极电压、源极电压。

图 5 图示了本发明其它结构例。

图 6 图示了已有的电流反射镜电路的结构及其特性。

30 图 7 图示了已有的其它电流反射镜电路的结构。

图 8 图示了已有的其它电流反射镜电路的结构。

具体实施方式

以下，将参照附图，对本发明的电流反射镜电路的实施例进行说明。

图 1(a)是表示涉及本发明第 1 实施例的电流反射镜电路的结构。该图是用于像 LCD 驱动器 IC 等那样的、提供数百的多个缓冲器的恒定电
5 流的电流反射镜电路，它被做在 IC 芯片内。图 1(b)表示该图 1(a)的电流反射镜电路的栅极电压、源极电压与配置位置之间的关系图。

在图 1(a)中，在左端、中央、以及右端上，设置了作为电流反射镜电路的输入端晶体管的 NMOSQref1、Qref2、Qref3。这些输入端晶体管 Qref1、Qref2、
10 Qref3，其漏极与栅极相连、其连接点之间通过高电阻的电压线 Wp1 而相互连接。这些器件源极之间通过馈线 Ws1 而相互连接。于是，在中央设置的输入端晶体管 Qref2 的源极连接在接地用管脚 P_{gnd} 上，从而连接到地 GND 上。左端以及右端上设置的输入端晶体管 Qref1、Qref3 的源极不连接在地 GND 上。

15 这些输入端晶体管 Qref1、Qref2、Qref3 的漏极上，连接了具有 PMOSQ01~Q03 的恒流源 I11~I13。通过栅极信号线 22，将基准电压产生电路 21 所产生的基准电压 V_{ref} 施加到这些 PMOSQ01~Q03 的栅极。因此，从恒流源 I11~I13 向输入端晶体管 Qref1、Qref2、Qref3 提供相同大小的恒定电流 I_{ref}。由此，在输入端晶体管 Qref1、Qref2、Qref3 的栅极和源极
20 之间，产生了相同大小的栅极-源极间电压 V_{gs}。

在该实施例方式中，是假定输入端晶体管 Qref1、Qref2、Qref3 的大小，以及所提供的恒定电流 I_{ref} 是相同大小而进行说明的。但是，也可以不论晶体管大小和恒定电流 I_{ref} 的大小，而只要让这些输入端晶体管的栅极-源极间电压 V_{gs} 变为相同大小即可。这一点在其它实施例中也
25 是一样的。

也可以在恒流源 I11~I13 自身内含有电压源，来代替设置共通的基准电压产生电路 21、栅极信号线 22。又，能够将其电流源和输入端晶体管(例如是 I11 和 Qref1)作为一组电流反射镜源电流来构成，以便产生给定的栅极-源极间电压 V_{gs}。这一点在其它实施例中也是一样的。

30 作为电流反射镜电路的输出端晶体管的 NMOSQ1~Qj，配置在左端的输入端晶体管 Qref1 和中央的输入端晶体管 Qref2 之间。同样，作为电流反射镜电路的输出端晶体管的 NMOSQj+1~Qn，配置在中央的输入

端晶体管 Qref2 和右端的输入端晶体管 Qref3 之间。

5 这些输出端晶体管 Q1~Qn 在其配置位置上,其源极连接在馈线 Ws1 上,其栅极连接在电压线 Wp1 上。于是,输出端晶体管 Q1~Qn 的漏极连接在成为其负载的电路上,输出端晶体管 Q1~Qn 流过与恒定电流 Iref 基本成正比的电流而进行工作。在用于 LCD 用的驱动 IC 的情况下,该输出端晶体管 Q1~Qn 成为使用恒定电流的缓冲器电路的恒流源。

这些输入端晶体管 Qref1~Qref3 以及输出端晶体管 Q1~Qn 的源极,例如是通过铝线等电阻值低的馈线 Ws1 而顺序连接,但在各连接点之间存在若干布线电阻 Rw。

10 相反,输入端晶体管 Qref1~Qref3 以及输出端晶体管 Q1~Qn 的栅极通过电阻值高的电压线 Wp1 而顺序连接。也可以在各栅极之间通过具有高电阻值 Rg 的电阻来进行连接,或者是,也可以通过自身具有高电阻值的多晶硅线进行连接。总之,流过电压线 Wp1 的电流越小越好,最好是与恒定电流 Iref 相比能够将其忽视的程度的电流值。

15 在图 1(a)的电流反射镜电路中,如图(b)所示,通过使电流流过各输出端晶体管 Q1~Qn,馈线 Ws1 各点的电压按照布线电阻 Rw 和电流的乘积,随着远离中央接地点而呈曲线状一点一点变高。

但是,在本发明中,在输入端晶体管 Qref1~Qref3 上,由于分别流过了等值的恒定电流 Iref,因此,如图 1(b)所示,这些输入端晶体管 Qref1~
20 Qref3 的栅极-源极间电压 Vgs 变成相等的规定值。

因此,电压线 Wp1 的电压即各输出端晶体管 Q1~Qn 的栅极电压,成为将中央接地点上的电压(即规定的 Vgs),和将输入端晶体管 Qref1 或 Qref3 上产生的一定的栅极-源极间电压 Vgs 加到左端或右端上的源极电压上所得到的电压之间连接的线上的电压。即,电压线 Wp1 的电压具
25 有固定的电压梯度。

其结果,在各输出端晶体管 Q1~Qn 的栅极-源极之间,由于源极电压呈曲线状变化而产生若干误差,但正如与已有的图 6 相比所能明白的那样,提供了基本一定的电压 Vgs。由此,在本发明中,各输出端晶体管 Q1~Qn 能使其负载中流过基本规定的电流。在本发明中,不会如
30 已有的图 7、图 8 所示那样在不增大用于馈线 Ws1 的布线面积的情况下,显著降低了由于其布线电阻而产生的影响。

在该图 1 的第 1 实施例中,例如即便去掉了右端一侧的输入晶体管

Qref3 和输出端晶体管 $Q_{j+1} \sim Q_n$ ，只剩下图中央以左的部分，也能够得到相同的作用效果。

图 2(a)图示了有关本发明第 2 实施例的电流反射镜电路的结构，图 2(b)利用其电流反射镜电路的栅极电压、源极电压与配置位置的关系来显示这两个电压。

图 2 的第 2 实施例中，左端以及右端的输入端晶体管 Qref1 以及 Qref3 的源极分别连接在接地用管脚 Pgd1、Pgd2 上，从而连接到地 GND。另一方面，设置在中央的输入端晶体管 Qref2 的源极没有连接到地。如此，在图 2 中，只有连接到地 GND 的连接位置以及连接个数与图 1 中的不同，其它结构与图 1 相同。

在该第 2 实施例中，除了能够得到与图 1 相同的效果外，即便在由于某些原因而切断与一方的地的连接时，或是在不能利用一方的接地用管脚的情况下，在所有的输入用晶体管 Qref1~Qref3 的位置上，栅极-源极间电压 V_{gs} 维持在一定的值。因此，尽管在与地的连接被切断一侧的栅极电压上升，但该栅极电压上升在允许的范围内的情况下，整体电流反射镜电路的动作不会存在任何问题。

图 3(a)图示了有关本发明第 3 实施例的电流反射镜电路的结构，图 3(b)通过电流反射镜电路的栅极电压、源极电压与配置位置的关系来显示这两个电压。

在图 3 的第 3 实施例中，与图 1 的第 1 实施例相比较，在以下两点上与之不同：将第 4 恒流源 I14 和第 4 电流反射镜电路用的输入端晶体管 Qref4，设置在第 1 恒流源 I11 和第 1 电流反射镜电路用的输入端晶体管 Qref1 以及第 2 恒流源 I12 和第 2 电流反射镜电路用的输入端晶体管 Qref2 之间；将第 5 恒流源 I15 和第 5 电流反射镜电路用的输入端晶体管 Qref5，设置在第 2 恒流源 I12 和第 2 电流反射镜电路用的输入端晶体管 Qref2 以及第 3 恒流源 I13 和第 3 电流反射镜电路用的输入端晶体管 Qref3 之间。

在该图 3 的第 3 实施例中，即便在新设置的、输入端晶体管 Qref4、输入端晶体管 Qref5 的点上，栅极-源极间的电压 V_{gs} 也被保持为一定的值。由此，如图 3(b)所示，电压线 Wp1 的电压梯度在各个输入晶体管 Qref1~Qref5 之间不同。

因此，除了得到与第 1、第 2 实施例方式相同的效果外，各输出端晶体管 $Q1 \sim Qn$ 上的栅极-源极间电压 V_{gs} 与给定电压之间的误差变小。因此，能够使各个输出端晶体管 $Q1 \sim Qn$ 的电流的大小更加正确。

图 4(a)图示了有关本发明第 4 实施例的电流反射镜电路的结构，图 4(b) 5 通过电流反射镜电路的栅极电压、源极电压与配置位置间的关系来显示这两个电压。

在图 4 的第 4 实施例中，与图 3 的第 3 实施例相比较，除了通过接地用管脚 P_{gnd2} 将中央的第 2 输入端晶体管的源极连接到地 GND 之外，而且，左端和右端的输入端晶体管 Q_{ref1} 和 Q_{ref3} 的源极分别连接到接 10 地用管脚 P_{gnd1} 、 P_{gnd3} 上，从而连接到地 GND 上。由此，在图 4 中，只有连接到地 GND 的连接位置以及连接数与图 3 不同，其它结构都相同。

在该图 4 的第 4 实施例中，除了得到与图 3 的第 3 实施例相同的效果外，还如图 4(b)所示，由于能够在所有的配置位置上将栅极电压的上升抑制为小的值，因此即便在电源电压 V_{dd} 低的情况下，也能有效地进行使用。 15

在以上各实施例中，尽管是就使用 N 型 MOS 晶体管的电流反射镜电路进行的说明，但是，反之，也能够全部相同地构成使用 P 型 MOS 晶体管的电流反射镜电路。图 5 图示了使用相应于图 1(a)情况的 P 型 MOS 晶体管的电流反射镜电路的结构。在该图 5 中，和图 1 中仅 P 型 MOS 20 晶体管和 N 型 MOS 晶体管是相反的，电压极性、电流方向相反，对相应的构成要素等赋予相同的标记，执行相同的操作。 P_{vdd} 是电源用管脚。

根据本发明的电流反射镜电路，除了一端连接在第 1 恒流源上、另一端连接在基准电压(例如地)上作为电流反射镜的输入端而工作的第 1 输入端晶 25 体管之外，还在仅仅相距某个规定距离的位置上设置了一端连接到第 2 恒流源上的第 2 输入端晶体管，在这些第 1、第 2 输入端晶体管之间，分散设置了作为电流反射镜的输出端而工作的多个输出端晶体管。由此，多个输出端晶体管的栅极-源极间电压 V_{gs} 基本等于第 1、第 2 输入端晶体管的栅极-源极间电压 V_{gs} ，在不增大用于馈线的布线面积的情况下，可以显著降低由于馈线布线电阻而产生的影响。 30

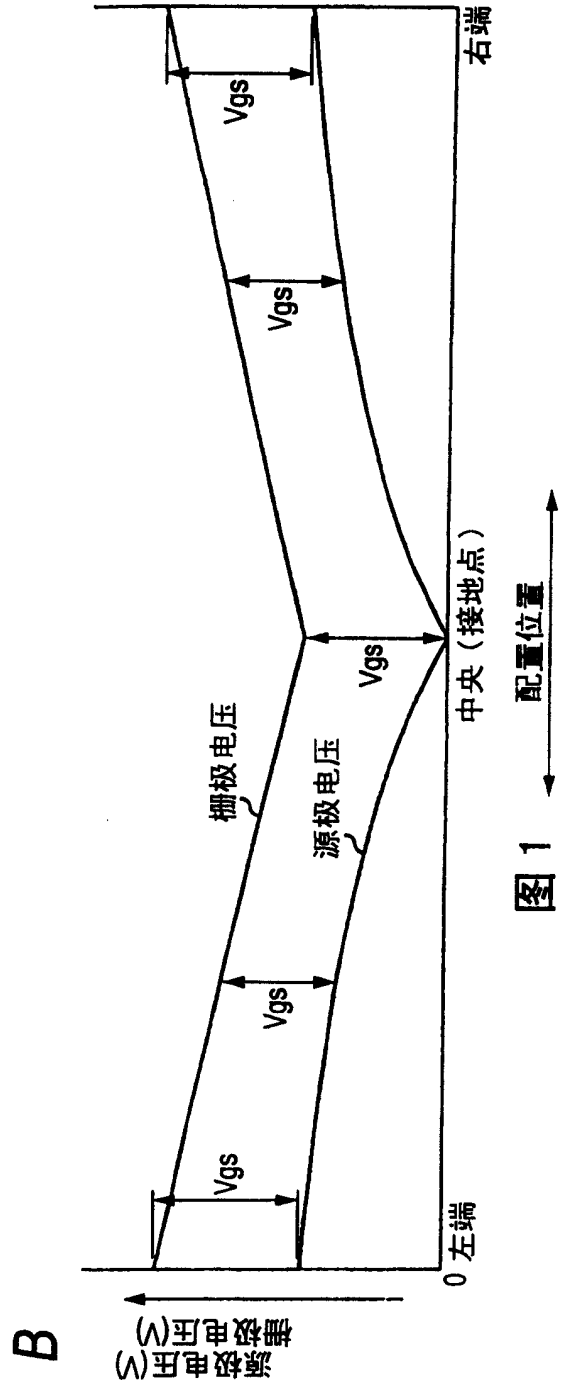
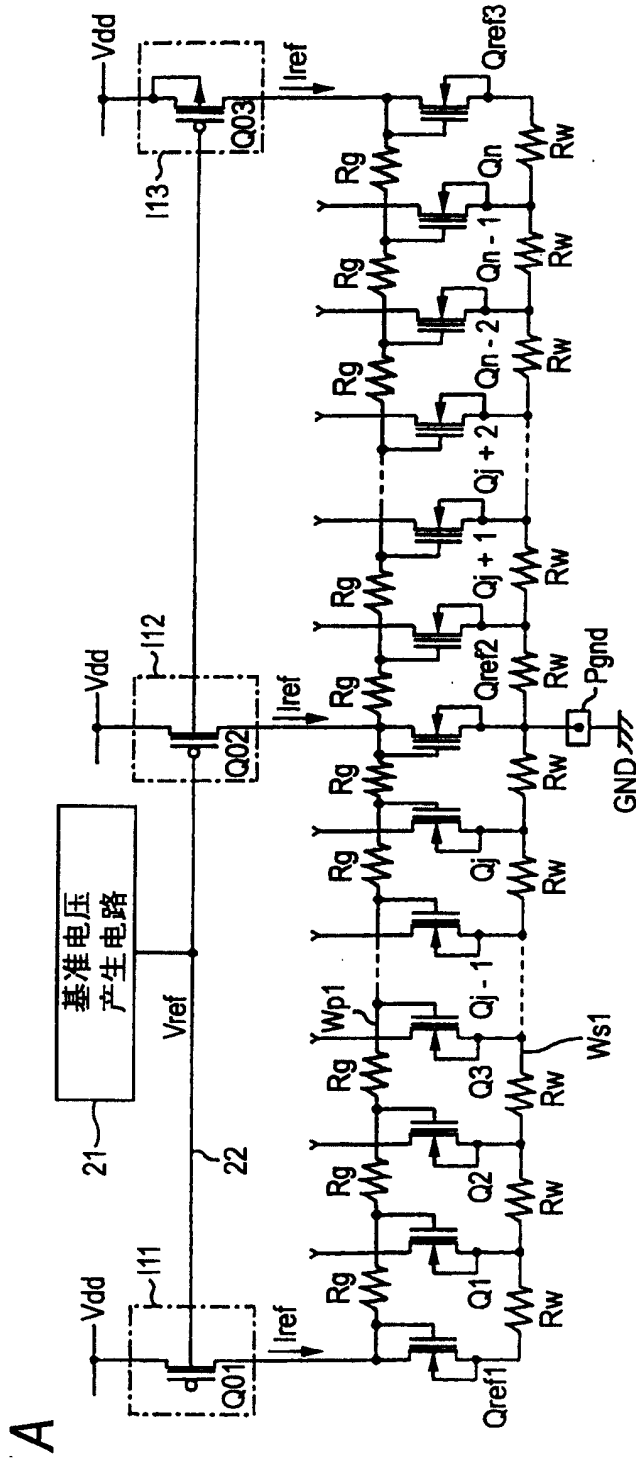


图 1

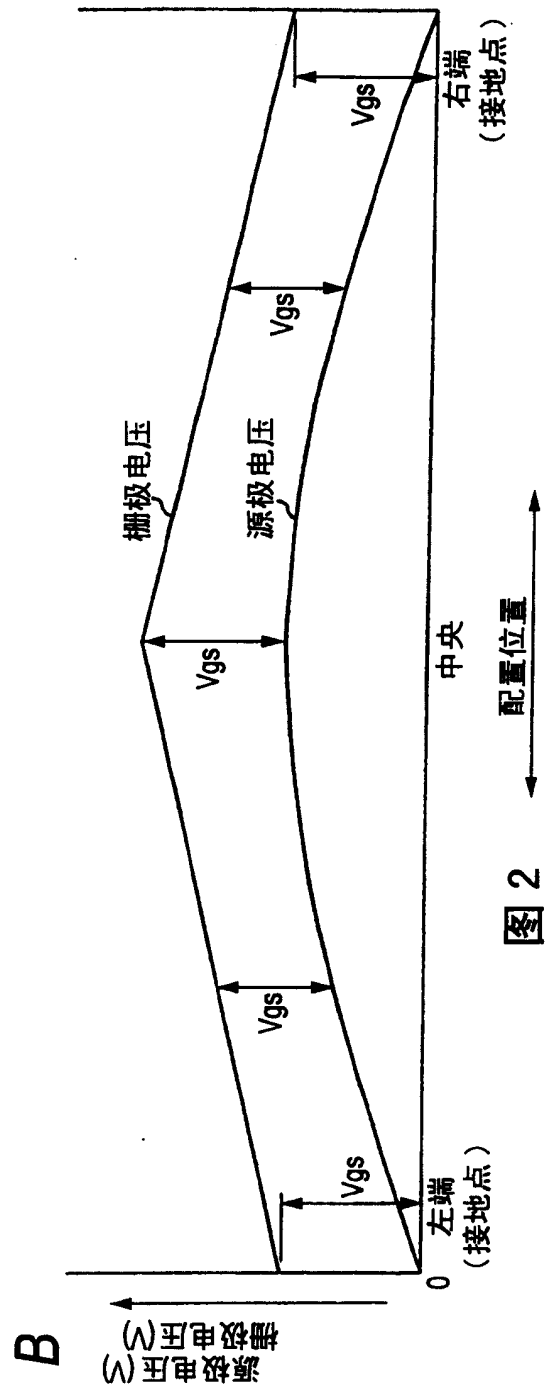
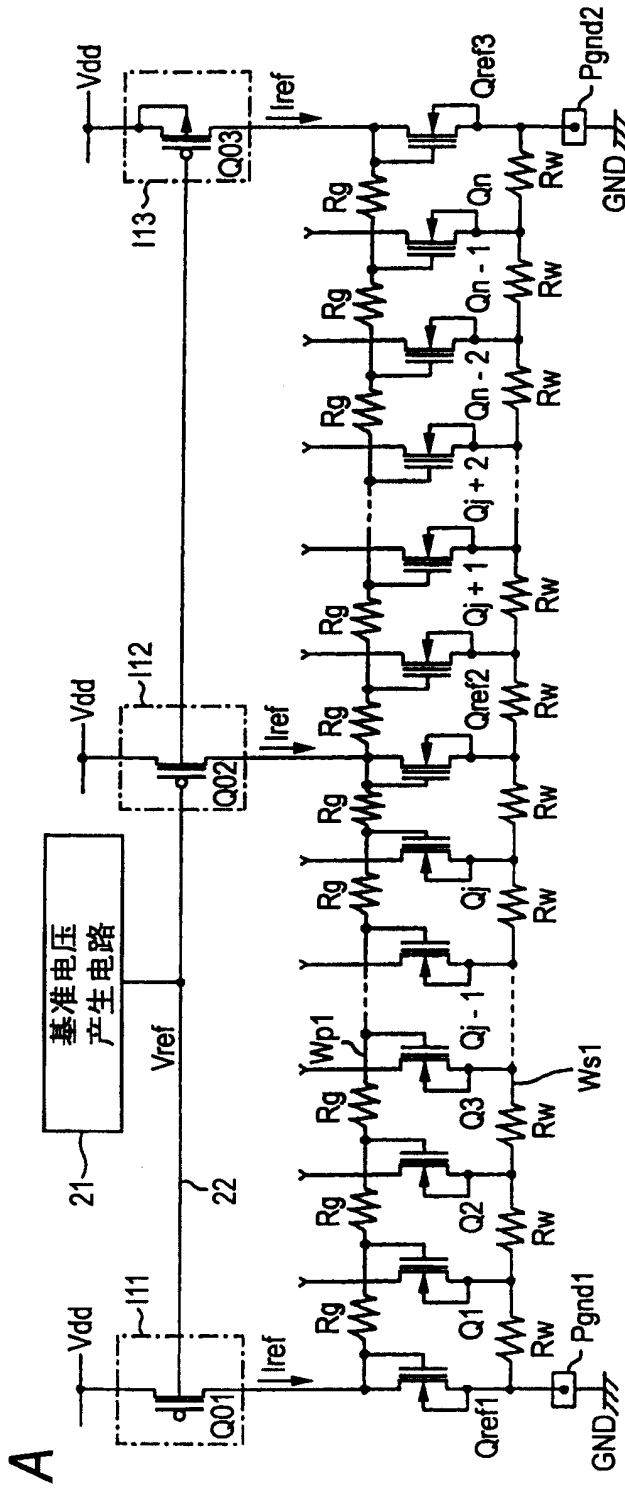


图 2

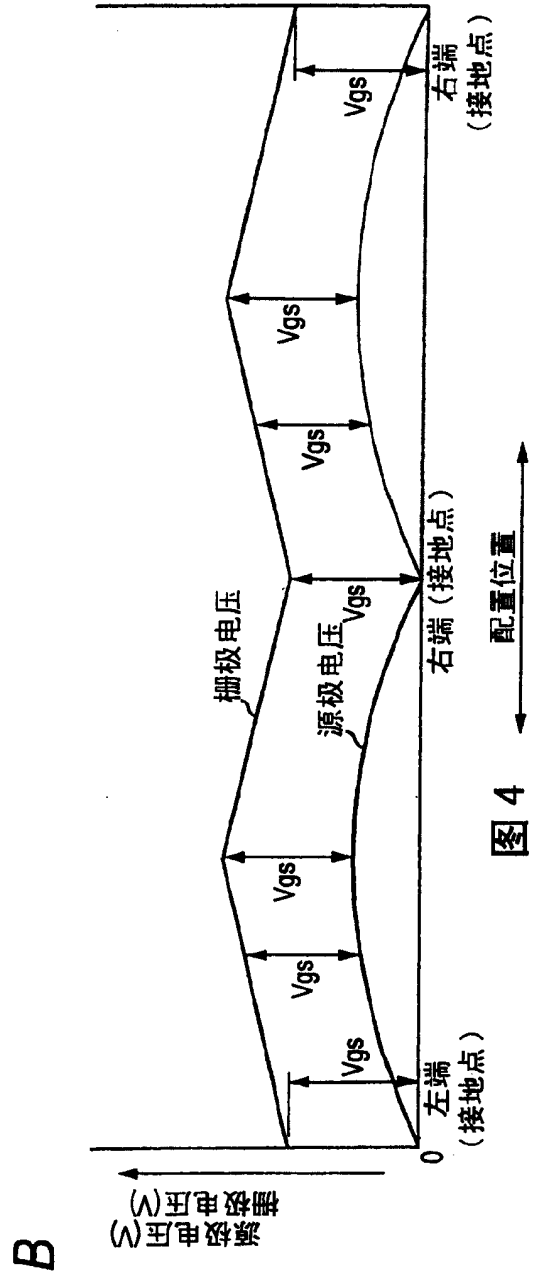
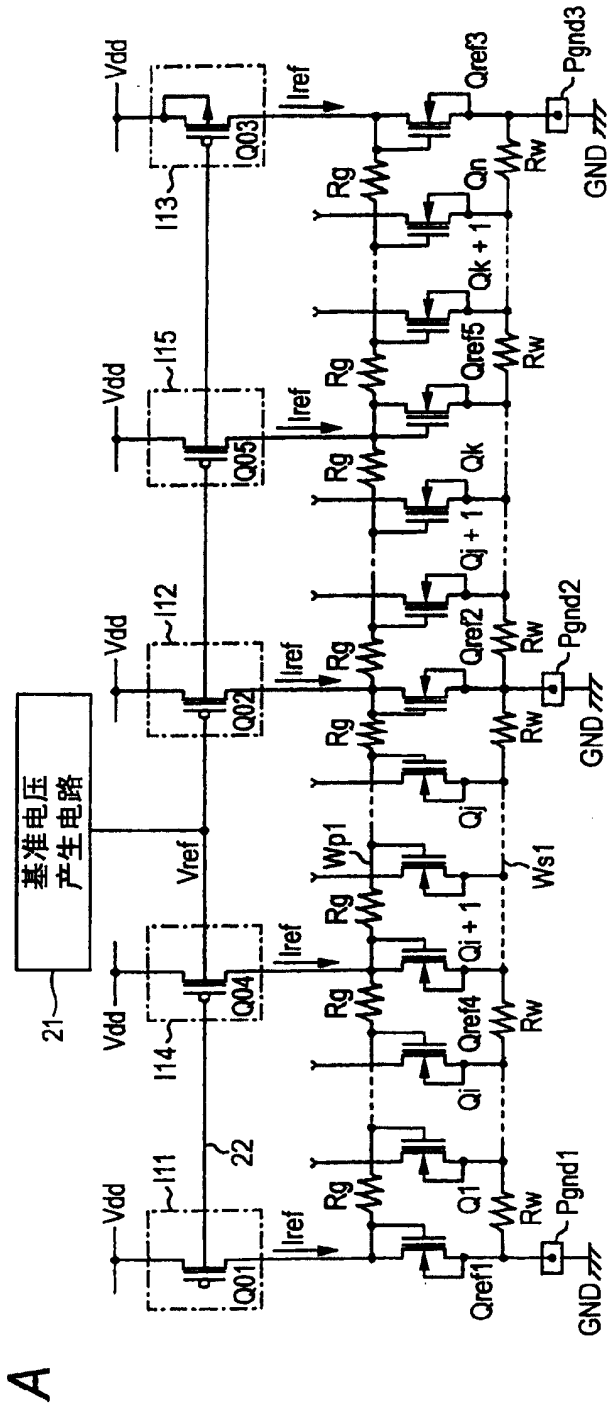


图 4

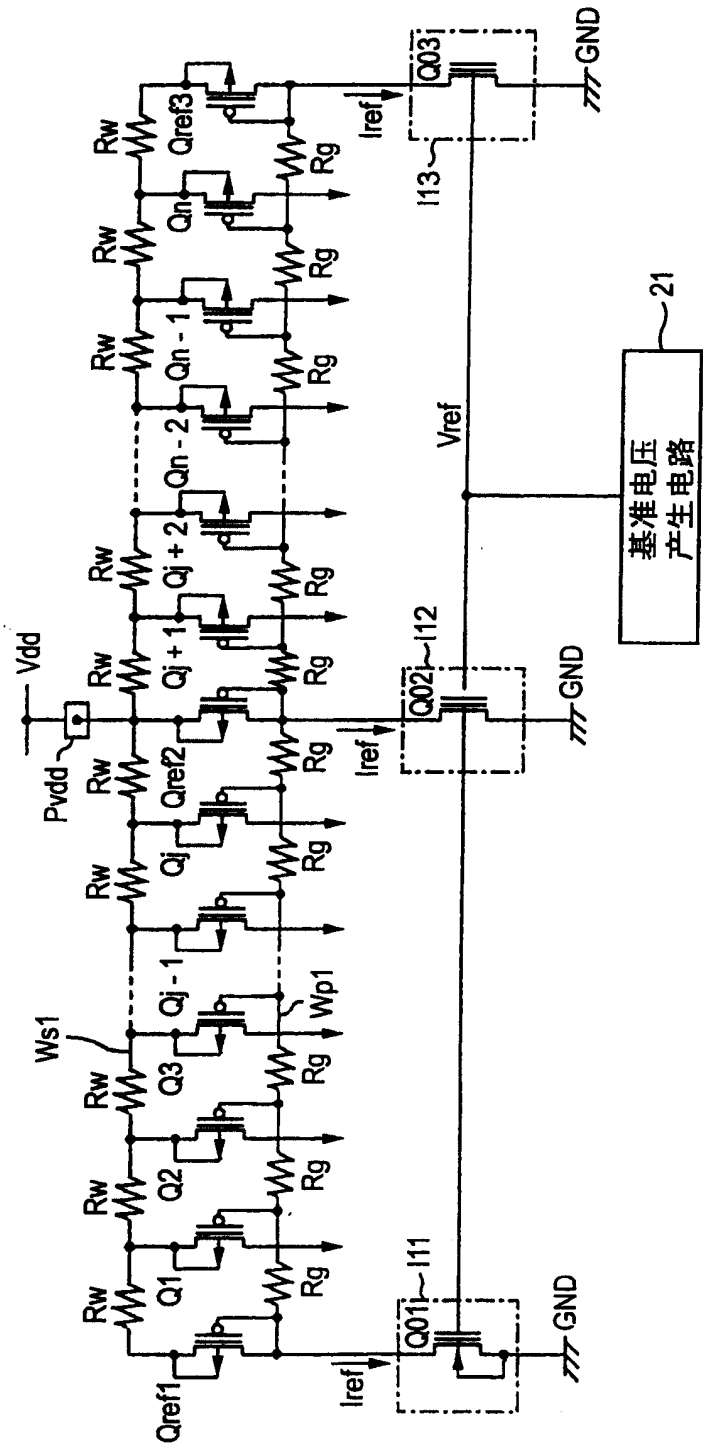
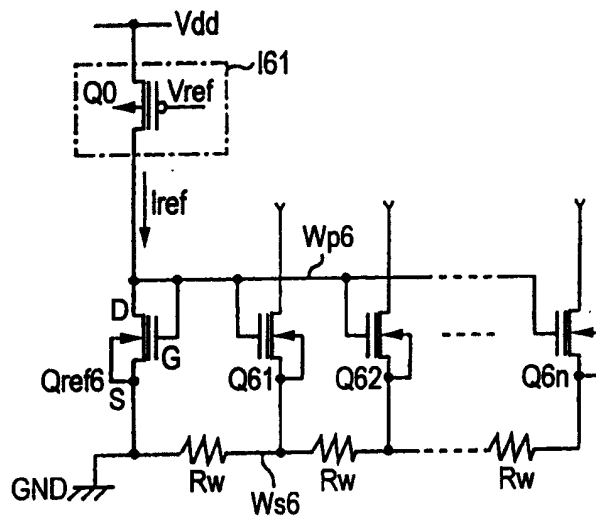


图 5

A



B

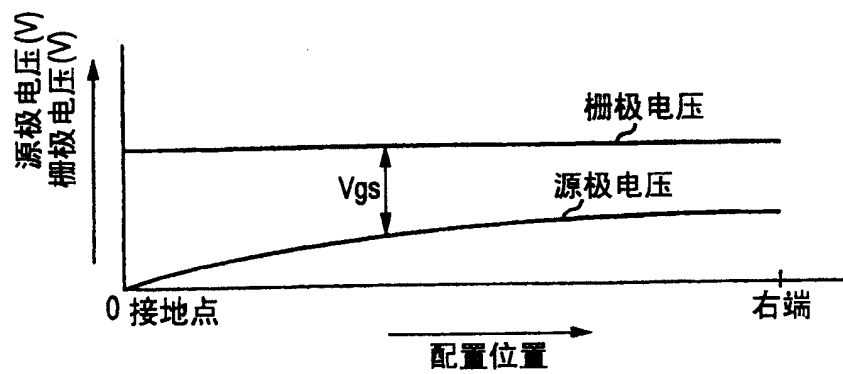


图 6

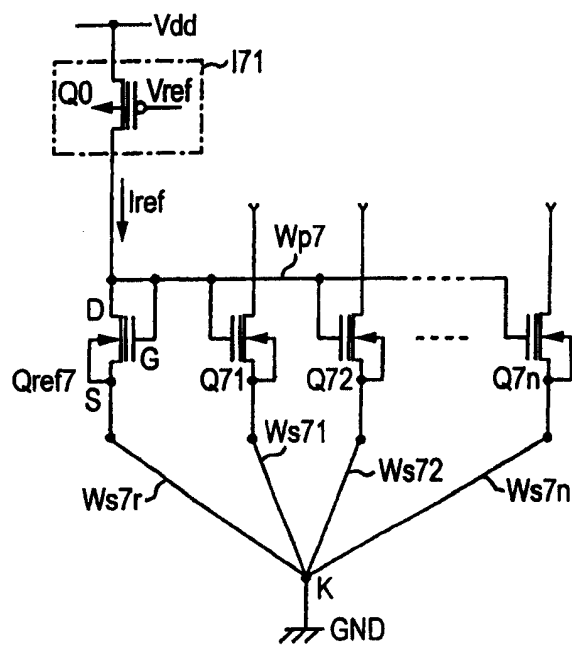


图 7

