



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년10월16일  
(11) 등록번호 10-1319322  
(24) 등록일자 2013년10월08일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0137622

(22) 출원일자 2006년12월29일

심사청구일자 2011년12월06일

(65) 공개번호 10-2008-0062169

(43) 공개일자 2008년07월03일

(56) 선행기술조사문헌

KR1020060096859 A\*

JP11133887 A

KR1020060079041 A

KR1020060104352 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김빈

서울특별시 양천구 목동서로 130, 목동4단지아파트 408동 2003호 (목동)

김해열

경기도 성남시 분당구 정자로 115, 한솔마을 두산아파트 508동 1001호 (정자동)

최승찬

경상북도 경산시 와촌면 계당길12길 19-2

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 16 항

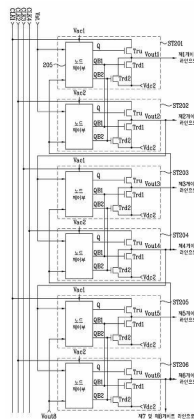
심사관 : 이옥우

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 비용을 절감할 수 있고 휘도를 향상시킬 수 있는 액정표시장치에 관한 것으로, 데이터 라인을 따라 일 방향으로 배열된 다수의 단위 화소들; 상기 각 단위 화소내에 포함되며, 각 단위 화소내에서 일정한 색상순서로 배열되며, 상기 데이터 라인에 공통으로 접속된 적색 화소셀, 녹색 화소셀, 및 청색 화소셀; 상기 적색 화소셀, 녹색 화소셀, 및 청색 화소셀에 개별적으로 각각 접속된 다수의 게이트 라인들; 기수번째 게이트 라인들을 구동하기 위한 제 1 게이트 구동부; 및, 우수번째 게이트 라인들을 구동하기 위한 제 2 게이트 구동부를 포함하며; 서로 인접한 단위 화소간의 동일한 색상의 화소셀이 서로 다른 게이트 구동부에 의해 구동됨을 그 특징으로 한다.

대표도 - 도2



## 특허청구의 범위

### 청구항 1

데이터 라인을 따라 일방향으로 배열된 다수의 단위 화소들;

상기 각 단위 화소내에 포함되며, 각 단위 화소내에서 일정한 색상순서로 배열되며, 상기 데이터 라인에 공통으로 접속된 적색 화소셀, 녹색 화소셀, 및 청색 화소셀;

상기 적색 화소셀, 녹색 화소셀, 및 청색 화소셀에 개별적으로 각각 접속된 다수의 게이트 라인들;

기수번째 게이트 라인들을 구동하기 위한 제 1 게이트 구동부;

우수번째 게이트 라인들을 구동하기 위한 제 2 게이트 구동부; 및,

제 1 단위 화소내의 청색 화소셀에 대응하는 제 1 데이터 신호, 상기 제 1 단위 화소내의 적색 화소셀에 대응하는 제 2 데이터 신호, 상기 제 1 단위 화소내의 녹색 화소셀에 대응하는 제 3 데이터 신호, 제 2 단위 화소내의 청색 화소셀에 대응하는 제 4 데이터 신호, 상기 제 2 단위 화소내의 녹색 화소셀에 대응하는 제 5 데이터 신호, 제 3 단위 화소내의 청색 화소셀에 대응하는 제 6 데이터 신호, 상기 제 2 단위 화소내의 적색 화소셀에 대응하는 제 7 데이터 신호, 상기 제 3 단위 화소내의 녹색 화소셀에 대응하는 제 8 데이터 신호, 상기 제 3 단위 화소내의 적색 화소셀에 대응하는 제 9 데이터 신호, 제 4 단위 화소내의 녹색 화소셀에 대응하는 제 10 데이터 신호, 상기 제 4 단위 화소내의 청색 화소셀에 대응하는 제 11 데이터 신호, 및 상기 제 4 단위 화소내의 적색 화소셀에 대응하는 제 12 데이터 신호를 상기 데이터 라인에 차례로 공급하는 데이터 구동부를 포함하며;

서로 인접한 단위 화소간의 동일한 색상의 화소셀이 서로 다른 게이트 구동부에 의해 구동되며;

상기 제 1 게이트 구동부는 상기 기수번째 게이트 라인들을 순차적으로 구동하고, 상기 제 2 게이트 구동부는 상기 우수번째 게이트 라인들을 순차적으로 구동하며,

상기 제 1 게이트 구동부와 제 2 게이트 구동부는 2기간씩 번갈아 가며 게이트 라인들을 구동하며;

상기 제 1 게이트 구동부는,

상기 제 1 데이터 신호가 공급될 때 상기 제 1 단위 화소내의 청색 화소셀이 접속된 게이트 라인을 구동하며, 상기 제 2 데이터 신호가 공급될 때 상기 제 1 단위 화소내의 적색 화소셀이 접속된 게이트 라인을 구동하며, 상기 제 5 데이터 신호가 공급될 때 상기 제 2 단위 화소내의 녹색 화소셀에 접속된 게이트 라인을 구동하며, 상기 제 6 데이터 신호가 공급될 때 상기 제 3 단위 화소내의 청색 화소셀에 접속된 게이트 라인을 구동하며, 상기 제 9 데이터 신호가 공급될 때 상기 제 3 단위 화소내의 적색 화소셀에 접속된 게이트 라인을 구동하며, 그리고 상기 제 10 데이터 신호가 공급될 때 상기 제 4 단위 화소내의 녹색 화소셀을 구동하는 것을 특징으로 하는 액정표시장치.

### 청구항 2

삭제

### 청구항 3

제 1 항에 있어서,

각 단위 화소에 구비된 화소셀들은 데이터 라인의 상측을 기준으로 하여 청색 화소셀, 녹색 화소셀, 및 적색 화소셀 순서로 배열된 것을 특징으로 하는 액정표시장치.

### 청구항 4

제 1 항에 있어서,

각 단위 화소에 구비된 화소셀들은 데이터 라인의 상측을 기준으로 하여 청색 화소셀, 적색 화소셀, 및 녹색 화소셀 순서로 배열된 것을 특징으로 하는 액정표시장치.

### 청구항 5

제 1 항에 있어서,

각 단위 화소에 구비된 화소셀들은 데이터 라인의 상측을 기준으로 하여 적색 화소셀, 청색 화소셀, 및 녹색 화소셀 순서로 배열된 것을 특징으로 하는 액정표시장치.

#### 청구항 6

제 1 항에 있어서,

각 단위 화소에 구비된 화소셀들은 데이터 라인의 상측을 기준으로 하여 적색 화소셀, 녹색 화소셀, 및 청색 화소셀 순서로 배열된 것을 특징으로 하는 액정표시장치.

#### 청구항 7

제 1 항에 있어서,

각 단위 화소에 구비된 화소셀들은 데이터 라인의 상측을 기준으로 하여 녹색 화소셀, 적색 화소셀, 및 청색 화소셀 순서로 배열된 것을 특징으로 하는 액정표시장치.

#### 청구항 8

제 1 항에 있어서,

각 단위 화소에 구비된 화소셀들은 데이터 라인의 상측을 기준으로 하여 녹색 화소셀, 청색 화소셀, 및 적색 화소셀 순서로 배열된 것을 특징으로 하는 액정표시장치.

#### 청구항 9

삭제

#### 청구항 10

삭제

#### 청구항 11

제 1 항에 있어서,

상기 제 2 게이트 구동부는,

상기 제 3 데이터 신호가 공급될 때 상기 제 1 단위 화소내의 녹색 화소셀이 접속된 게이트 라인을 구동하며, 상기 제 4 데이터 신호가 공급될 때 상기 제 2 단위 화소내의 청색 화소셀이 접속된 게이트 라인을 구동하며, 상기 제 7 데이터 신호가 공급될 때 상기 제 2 단위 화소내의 적색 화소셀에 접속된 게이트 라인을 구동하며, 상기 제 8 데이터 신호가 공급될 때 상기 제 3 단위 화소내의 녹색 화소셀에 접속된 게이트 라인을 구동하며, 상기 제 11 데이터 신호가 공급될 때 상기 제 4 단위 화소내의 청색 화소셀에 접속된 게이트 라인을 구동하며, 그리고 상기 제 12 데이터 신호가 공급될 때 상기 제 4 단위 화소내의 적색 화소셀을 구동하는 것을 특징으로 하는 액정표시장치.

#### 청구항 12

제 1 항에 있어서,

상기 각 게이트 구동부는 각각 쉬프트 레지스터를 포함하며, 상기 쉬프트 레지스터는 스캔펄스를 출력하는 다수의 스테이지들을 포함하며;

상기 각 스테이지가,

인에이블용 노드;

상기 인에이블용 노드의 논리 상태에 따라 상기 스캔펄스를 출력하는 풀업 스위칭소자;

적어도 2개의 디스에이블용 노드들;

상기 각 디스에이블용 노드에 접속되어 상기 각 디스에이블용 노드의 논리상태에 따라 오프 전압원을 출력하는

적어도 2개의 풀다운 스위칭소자들; 및,

자신에 구비된 인에이블용 노드 및 디스에이블용 노드들의 논리상태와, 자신과 다른 스테이지에 구비된 디스에이블용 노드의 논리상태를 함께 제어하는 노드 제어부를 포함하여 구성된 것을 특징으로 하는 액정표시장치.

**청구항 13**

제 12 항에 있어서,

상기 스테이지들 중  $4k+1$  번째 스테이지들 및  $4k+2$  번째 스테이지들이 상기 제 1 게이트 구동부내의 쉬프트 레지스터에 구비되며; 그리고,

상기 스테이지들 중  $4k+3$  번째 스테이지들 및  $4k+4$  번째 스테이지들이 상기 제 2 게이트 구동부내의 쉬프트 레지스터에 구비된 것을 특징으로 하는 액정표시장치.

**청구항 14**

제 13 항에 있어서,

각 스테이지는 제 1 디스에이블용 노드, 상기 제 1 디스에이블용 노드에 접속된 제 1 풀다운 스위칭소자, 제 2 디스에이블용 노드, 및, 상기 제 2 디스에이블용 노드에 접속된 제 2 풀다운 스위칭소자를 포함하며,

$2n-3$ ( $n$ 은 2 이상의 자연수) 번째 스테이지에 구비된 노드 제어부는 상기  $2n-3$  번째 스테이지에 구비된 인에이블용 노드 및 제 1 디스에이블용 노드의 논리상태를 제어함과 아울러  $2n-2$  번째 스테이지에 구비된 제 1 디스에이블용 노드의 논리상태를 제어하고,

상기  $2n-2$  번째 스테이지에 구비된 노드 제어부는 상기  $2n-2$  번째 스테이지에 구비된 인에이블용 노드 및 제 2 디스에이블용 노드의 논리상태를 제어함과 아울러 상기  $2n-2$  번째 스테이지에 구비된 제 1 디스에이블용 노드의 논리상태를 제어하는 것을 특징으로 하는 액정표시장치.

**청구항 15**

제 14 항에 있어서,

상기  $2n-3$  번째 스테이지에 구비된 제 1 디스에이블용 노드와  $2n-2$  번째 스테이지에 구비된 제 1 디스에이블용 노드가 서로 전기적으로 연결되어 있으며 그리고,

상기  $2n-2$  번째 스테이지에 구비된 제 2 디스에이블용 노드와  $2n-3$  번째 스테이지에 구비된 제 2 디스에이블용 노드가 서로 전기적으로 연결된 것을 특징으로 하는 액정표시장치.

**청구항 16**

제 14 항에 있어서,

상기  $2n-3$  번째 스테이지에 구비된 노드 제어부는 상기  $2n-3$  번째 스테이지에 구비된 제 1 디스에이블용 노드의 논리상태 및 상기  $2n-2$  번째 스테이지에 구비된 제 1 디스에이블용 노드의 논리상태를 제 1 교류 전압원으로 제어하고,

상기  $2n-2$  번째 스테이지에 구비된 노드 제어부는 상기  $2n-2$  번째 스테이지에 구비된 제 2 디스에이블용 노드 및 상기  $2n-3$  번째 스테이지에 구비된 제 2 디스에이블용 노드의 논리상태를, 상기 제 1 교류 전압원에 대하여 반전된 위상을 갖는 제 2 교류 전압원으로 제어하는 것을 특징으로 하는 액정표시장치.

**청구항 17**

제 14 항에 있어서,

$2n-1$  번째 스테이지 및  $2n$  번째 스테이지는  $2n-2$  번째 스테이지로부터의 스캔펄스에 응답하여 인에이블됨과 아울러  $2n+1$  번째 스테이지로부터의 스캔펄스에 응답하여 디스에이블되며,

$2n-3$  번째 스테이지 및  $2n-2$  번째 스테이지는 상기  $2n-1$  번째 스테이지로부터의 스캔펄스에 응답하여 디스에이블되며, 그리고,

$2n+1$  번째 스테이지 및  $2n+2$  번째 스테이지는 상기  $2n$  번째 스테이지로부터의 스캔펄스에 응답하여 인에이블되

는 것을 특징으로 하는 액정표시장치.

**청구항 18**

제 17 항에 있어서,

2n-1 번째 스테이지에 구비된 노드 제어부는,

2n-2 번째 스테이지로부터의 스캔펄스에 응답하여 인에이블용 노드를 제 1 직류 전압원으로 충전시키는 제 1 스위칭소자;

제 1 디스에이블용 노드에 공급된 제 1 교류 전압원에 응답하여 상기 인에이블용 노드를 제 2 직류 전압원으로 방전시키는 제 2 스위칭소자;

2n 번째 스테이지를 통해 상기 2n-1 번째 스테이지의 제 2 디스에이블용 노드에 공급된 제 2 교류 전압원에 응답하여 상기 2n-1 번째 스테이지의 인에이블용 노드를 제 2 직류 전압원으로 방전시키는 제 3 스위칭소자;

2n+1 번째 스테이지로부터의 스캔펄스에 응답하여 상기 인에이블용 노드를 제 2 직류 전압원으로 방전시키는 제 4 스위칭소자;

제 1 교류 전압원에 응답하여 턴-온 또는 턴-오프되며, 턴-온시 공통노드를 상기 제 1 교류 전압원으로 충전시키는 제 5 스위칭소자;

상기 인에이블용 노드에 충전된 제 1 직류 전압원에 응답하여 상기 공통노드를 제 2 직류 전압원으로 방전시키는 제 6 스위칭소자;

상기 공통노드에 공급된 제 1 교류 전압원에 응답하여 상기 2n-1 번째 스테이지의 제 1 디스에이블용 노드 및 2n 번째 스테이지의 제 1 디스에이블용 노드를 상기 제 1 교류 전압원으로 충전시키는 제 7 스위칭소자;

2n-2 번째 스테이지로부터의 스캔펄스에 응답하여 상기 2n-1 번째 스테이지의 제 1 디스에이블용 노드 및 2n 번째 스테이지의 제 1 디스에이블용 노드를 제 2 직류 전압원으로 방전시키는 제 8 스위칭소자;

상기 인에이블용 노드에 충전된 제 1 직류 전압원에 응답하여 상기 2n-1 번째 스테이지의 제 1 디스에이블용 노드 및 2n 번째 스테이지의 제 1 디스에이블용 노드를 제 2 직류 전압원으로 방전시키는 제 9 스위칭소자;

외부로부터의 스타트 펄스에 응답하여 상기 공통노드를 제 2 직류 전압원으로 방전시키는 제 10 스위칭소자; 및,

상기 제 1 교류 전압원에 응답하여 턴-온 또는 턴-오프되며, 턴-온시 상기 제 2 디스에이블용 노드를 제 2 직류 전압원으로 방전시키는 제 11 스위칭소자를 포함하여 구성됨을 특징으로 하는 액정표시장치.

**청구항 19**

제 18 항에 있어서,

상기 2n 번째 스테이지에 구비된 노드 제어부는,

상기 2n-2 번째 스테이지로부터의 스캔펄스에 응답하여 인에이블용 노드를 제 1 직류 전압원으로 충전시키는 제 1 스위칭소자;

상기 2n-1 번째 스테이지를 통해 2n 번째 스테이지의 제 1 디스에이블용 노드에 공급된 제 1 교류 전압원에 응답하여 2n 번째 스테이지의 인에이블용 노드를 제 2 직류 전압원으로 방전시키는 제 2 스위칭소자;

제 2 디스에이블용 노드에 공급된 제 2 교류 전압원에 응답하여 상기 인에이블용 노드를 제 2 직류 전압원으로 방전시키는 제 3 스위칭소자;

2n+1 번째 스테이지로부터의 스캔펄스에 응답하여 상기 인에이블용 노드를 제 2 직류 전압원으로 방전시키는 제 4 스위칭소자;

제 2 교류 전압원에 응답하여 턴-온 또는 턴-오프되며, 턴-온시 공통노드를 상기 제 2 교류 전압원으로 충전시키는 제 5 스위칭소자;

상기 인에이블용 노드에 충전된 제 1 직류 전압원에 응답하여 상기 공통노드를 제 2 직류 전압원으로 방전시키

는 제 6 스위칭소자;

상기 공통노드에 공급된 제 2 교류 전압원에 응답하여 상기 2n 번째 스테이지의 제 2 디스에이블용 노드 및 2n-1 번째 스테이지의 제 2 디스에이블용 노드를 상기 제 2 교류 전압원으로 충전시키는 제 7 스위칭소자;

2n-2 번째 스테이지로부터의 스캔펄스에 응답하여 상기 2n 번째 스테이지의 제 2 디스에이블용 노드 및 2n-1 번째 스테이지의 제 2 디스에이블용 노드를 제 2 직류 전압원으로 방전시키는 제 8 스위칭소자;

상기 인에이블용 노드에 충전된 제 1 직류 전압원에 응답하여 상기 2n 번째 스테이지의 제 2 디스에이블용 노드 및 2n-1 번째 스테이지의 제 2 디스에이블용 노드를 제 2 직류 전압원으로 방전시키는 제 9 스위칭소자;

외부로부터의 스타트 펄스에 응답하여 상기 공통노드를 제 2 직류 전압원으로 방전시키는 제 10 스위칭소자; 및,

상기 제 2 교류 전압원에 응답하여 턴-온 또는 턴-오프되며, 턴-온시 상기 제 2 디스에이블용 노드를 제 2 직류 전압원으로 방전시키는 제 11 스위칭소자를 포함하여 구성됨을 특징으로 하는 액정표시장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- [0014] 본 발명은 액정표시장치에 관한 것으로, 특히 비용을 절감할 수 있고 휘도를 향상시킬 수 있는 액정표시장치에 대한 것이다.
- [0015] 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 화소영역들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.
- [0016] 상기 액정패널에는 다수개의 게이트 라인들과 다수개의 데이터 라인들이 교차하게 배열되고, 그 게이트 라인들과 데이터 라인들이 수직교차하여 정의되는 영역에 화소영역이 위치하게 된다. 그리고, 상기 화소영역들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 상기 액정패널에 형성된다.
- [0017] 상기 화소전극들 각각은 스위칭소자인 박막트랜지스터(TFT; Thin Film Transistor)의 소스단자 및 드레인단자를 경유하여 상기 데이터 라인에 접속된다. 상기 박막트랜지스터는 상기 게이트 라인을 경유하여 게이트단자에 인가되는 스캔펄스에 의해 턴-온되어, 상기 데이터 라인의 데이터 신호가 상기 화소전압에 충전되도록 한다.
- [0018] 한편, 상기 구동회로는 상기 게이트 라인들을 구동하기 위한 게이트 구동부와, 상기 데이터 라인들을 구동하기 위한 데이터 구동부와, 상기 게이트 구동부와 데이터 구동부를 제어하기 위한 제어신호를 공급하는 타이밍 콘트롤러와, 액정표시장치에서 사용되는 여러 가지의 구동전압들을 공급하는 전원공급부를 구비한다.
- [0019] 상기 게이트 구동부는 스캔펄스를 게이트 라인들에 순차적으로 공급하여 액정패널상의 액정셀들을 1라인분씩 순차적으로 구동한다. 그리고, 상기 데이터 구동부는 게이트 라인들 중 어느 하나에 스캔펄스가 공급될 때마다 데이터 라인들 각각에 화소 전압신호를 공급한다. 이에 따라, 액정표시장치는 액정셀별로 화소전압신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 광투과율을 조절함으로써 화상을 표시한다.
- [0020] 여기서, 상기 게이트 구동부는 상술한 바와 같은 스캔펄스들을 순차적으로 출력할 수 있도록 쉬프트 레지스터를 구비한다. 이를 첨부된 도면을 참조하여 좀 더 구체적으로 설명하면 다음과 같다.
- [0021] 상기 쉬프트 레지스터는 일렬로 배열된 다수의 스테이지를 갖는다. 각 스테이지는 게이트 라인들에 각각 접속되어, 각 게이트 라인에 스캔펄스를 공급한다.
- [0022] 그리고, 각 스테이지는 전단 스테이지로부터의 스캔펄스에 응답하여 인에이블되고, 다음단 스테이지로부터의 스캔펄스에 응답하여 디스에이블된다.
- [0023] 일반적으로, 각 스테이지는 인에이블용 노드 및 디스에이블용 노드의 충전 및 방전 상태를 제어하기 위한 노드 제어부와, 상기 인에이블용 노드의 상태에 따라 스캔펄스를 출력하는 풀업 스위칭소자와, 상기 디스에이블용 노

드의 상태에 따라 오프전압을 출력하는 풀다운 스위칭소자를 포함한다.

- [0024] 한편, 상기 각 스테이지는 한 프레임 중 한 수평기간(1H)을 제외한 나머지 기간동안 오프 전압을 출력하기 때문에, 상기 디스에이블용 노드가 충전상태로 유지되는 시간이 상기 인에이블용 노드가 충전상태로 유지되는 시간보다 훨씬 더 길어질 수밖에 없다. 이에 따라, 상기 디스에이블용 노드에 접속된 풀다운 스위칭소자는 상기 풀업 스위칭소자보다 훨씬 더 오랫동안 턴-온상태를 유지한다. 이로 인해, 상기 풀다운 스위칭소자가 쉽게 열화되는 문제점이 발생한다.
- [0025] 이러한 문제점을 해결하기 위하여, 상기 디스에이블용 노드를 2개 이상 구비한 스테이지를 갖는 쉬프트 레지스터가 개발되었다. 이러한 쉬프트 레지스터는, 상기 디스에이블용 노드를 프레임별로 교대로 충전시켜 각 디스에이블용 노드에 접속된 풀다운 스위칭소자의 열화를 방지할 수 있다.
- [0026] 이하, 첨부된 도면을 참조하여 종래의 스테이지의 구성을 상세히 설명하면 다음과 같다.
- [0027] 도 1은 종래의 쉬프트 레지스터에서 하나의 스테이지에 대한 블록 구성도이다.
- [0028] 종래의 스테이지는, 도 1에 도시된 바와 같이, 인에이블용 노드(Q)의 충전/방전 상태, 그리고 제 1 디스에이블용 노드(QB1)의 충전/방전 상태, 및 제 2 디스에이블용 노드(QB2)의 충전/방전 상태를 제어하는 노드 제어부(201)와, 상기 인에이블용 노드(Q)의 상태에 따라 스캔펄스(Vout)를 출력하는 풀업 스위칭소자(Tru)와, 상기 제 1 디스에이블용 노드(QB1)의 상태에 따라 오프 전압원(Vdc2)을 출력하는 제 1 풀다운 스위칭소자(Trd1), 상기 제 2 디스에이블용 노드(QB2)의 상태에 따라 오프 전압원(Vdc2)을 출력하는 제 2 풀다운 스위칭소자(Trd2)를 포함한다.
- [0029] 여기서, 상기 스테이지가 디스에이블되는 기간에 상기 제 1 및 제 2 디스에이블용 노드(QB2) 중 하나가 충전되고, 나머지 하나는 방전된다. 예를들어, 상기 제 1 디스에이블용 노드(QB1)가 충전되고 상기 제 2 디스에이블용 노드(QB2)가 방전되면, 상기 제 1 디스에이블용 노드(QB1)에 게이트단자가 접속된 제 1 풀다운 스위칭소자(Trd1)가 동작하고, 제 2 디스에이블용 노드(QB2)에 게이트단자가 접속된 제 2 풀다운 스위칭소자(Trd2)는 동작하지 않는다. 즉, 상기 제 2 풀다운 스위칭소자(Trd2)는 휴지기간을 갖는다.
- [0030] 이와 같이, 제 1 풀다운 스위칭소자(Trd1)와 제 2 풀다운 스위칭소자(Trd2)가 교대로 구동되기 때문에, 각 풀다운 스위칭소자의 열화를 방지할 수 있다.
- [0031] 그러나, 이와 같은 구조로 인해, 종래의 스테이지의 노드 제어부(201)는 많은 수의 스위칭소자를 구비한다. 즉, 상기 노드 제어부(201)는 한 개의 인에이블용 노드(Q)와 두 개의 디스에이블용 노드(QB1, QB2)를 제어하기 위한 많은 수의 스위칭소자를 가질 수밖에 없다. 이로 인해, 스테이지의 사이즈가 커지고, 또한 많은 수의 스위칭소자에 따른 비용도 증가하게 된다.

**발명이 이루고자 하는 기술적 과제**

- [0032] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 각 스테이지의 노드 제어부가 자신에 구비된 디스에이블용 노드 및 다른 스테이지의 디스에이블용 노드를 같이 제어하도록 함으로써 스위칭소자의 수를 줄여 비용을 절감하고 스테이지의 사이즈를 줄일 수 있는 쉬프트 레지스터 및 이를 구비한 액정표시장치를 제공하는데 그 목적이 있다.

**발명의 구성 및 작용**

- [0033] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 데이터 라인을 따라 일방향으로 배열된 다수의 단위 화소들; 상기 각 단위 화소내에 포함되며, 각 단위 화소내에서 일정한 색상순서로 배열되며, 상기 데이터 라인에 공통으로 접속된 적색 화소셀, 녹색 화소셀, 및 청색 화소셀; 상기 적색 화소셀, 녹색 화소셀, 및 청색 화소셀에 개별적으로 각각 접속된 다수의 게이트 라인들; 기수번째 게이트 라인들을 구동하기 위한 제 1 게이트 구동부; 및, 우수번째 게이트 라인들을 구동하기 위한 제 2 게이트 구동부를 포함하며; 서로 인접한 단위 화소간의 동일한 색상의 화소셀이 서로 다른 게이트 구동부에 의해 구동됨을 그 특징으로 한다.
- [0034] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 쉬프트 레지스터 및 이를 구비한 액정표시장치를 상세히 설명하면 다음과 같다.
- [0035] 도 2는 본 발명의 실시예에 따른 쉬프트 레지스터를 나타낸 도면이고, 도 3은 도 2의 각 스테이지에 공급되는

입력신호 및 각 스테이지로부터 출력되는 출력신호의 파형을 나타낸 도면이다.

- [0036] 이하, 모든 스위칭소자들, 풀업 스위칭소자, 및 풀다운 스위칭소자는 N형 MOS(Metal Oxide Semiconductor) 트랜지스터 및 P형 MOS 트랜지스터 중 하나이며, 본 발명에서는 N형 MOS 트랜지스터를 사용하여 설명하기로 한다.
- [0037] 본 발명의 제 1 실시예에 따른 쉬프트 레지스터는, 도 2에 도시된 바와 같이, 다수의 게이트 라인들을 구동하기 위한 다수의 스테이지(ST201, ST202, ST203, ...)를 가진다.
- [0038] 여기서, 각 스테이지(ST201, ST202, ST203, ...)는 인에이블용 노드(Q), 상기 인에이블용 노드(Q)에 접속된 풀업 스위칭소자(Tru), 제 1 디스에이블용 노드(QB1), 상기 제 1 디스에이블용 노드(QB1)에 접속된 제 1 풀다운 스위칭소자(Trd1), 제 2 디스에이블용 노드(QB2), 및, 상기 제 2 디스에이블용 노드(QB2)에 접속된 제 2 풀다운 스위칭소자(Trd2)를 포함한다.
- [0039] 제 2n-3(n은 2 이상의 자연수) 스테이지에 구비된 노드 제어부(205)는 상기 제 2n-3 스테이지에 구비된 인에이블용 노드(Q) 및 제 1 디스에이블용 노드(QB1)의 충전/방전 상태를 제어함과 아울러 제 2n-2 스테이지에 구비된 제 1 디스에이블용 노드(QB1)의 충전/방전 상태를 제어한다.
- [0040] 그리고, 상기 제 2n-2 스테이지에 구비된 노드 제어부(205)는 제 2n-2 스테이지에 구비된 인에이블용 노드(Q) 및 제 2 디스에이블용 노드(QB2)의 충전/방전 상태를 제어함과 아울러 상기 제 2n-3 스테이지에 구비된 제 2 디스에이블용 노드(QB2)의 충전/방전 상태를 제어한다.
- [0041] 이를 위해, 상기 제 2n-3 스테이지의 제 1 디스에이블용 노드(QB1)와 제 2n-2 스테이지의 제 1 디스에이블용 노드(QB1)는 서로 연결되어 있으며, 상기 제 2n-2 스테이지의 제 2 디스에이블용 노드(QB2)와 제 2n-2 스테이지의 제 2 디스에이블용 노드(QB2)는 서로 전기적으로 연결되어 있다.
- [0042] 예를들어, 제 3 스테이지(ST203)에 구비된 노드 제어부(205)는 상기 제 3 스테이지(ST203)에 구비된 인에이블용 노드(Q) 및 제 1 디스에이블용 노드(QB1)의 충전/방전 상태를 제어함과 아울러 제 4 스테이지(ST204)에 구비된 제 1 디스에이블용 노드(QB1)의 충전/방전 상태를 제어한다.
- [0043] 그리고, 상기 제 4 스테이지(ST204)에 구비된 노드 제어부(205)는 상기 제 4 스테이지(ST204)에 구비된 인에이블용 노드(Q) 및 제 2 디스에이블용 노드(QB2)의 충전/방전 상태를 제어함과 아울러 상기 제 3 스테이지(ST203)에 구비된 제 2 디스에이블용 노드(QB2)의 충전/방전 상태를 제어한다.
- [0044] 이를 위해, 상기 제 3 스테이지(ST203)의 제 1 디스에이블용 노드(QB1)와 상기 제 4 스테이지(ST204)의 제 1 디스에이블용 노드(QB1)는 서로 연결되어 있으며, 상기 제 4 스테이지(ST204)의 제 2 디스에이블용 노드(QB2)와 상기 제 3 스테이지(ST203)의 제 2 디스에이블용 노드(QB2)는 서로 전기적으로 연결되어 있다.
- [0045] 특히, 상기 제 2n-3 스테이지에 구비된 노드 제어부(205)는 상기 제 2n-3 스테이지에 구비된 제 1 디스에이블용 노드(QB1)의 충전/방전 상태 및 상기 2n-2 번째 스테이지에 구비된 제 1 디스에이블용 노드(QB1)의 충전/방전 상태를 제 1 교류 전압원으로 제어한다.
- [0046] 그리고, 상기 2n-2 번째 스테이지에 구비된 노드 제어부(205)는 상기 제 2n-2 스테이지에 구비된 제 2 디스에이블용 노드(QB2) 및 상기 제 2n-3 스테이지에 구비된 제 2 디스에이블용 노드(QB2)의 충전/방전 상태를 제 2 교류 전압원(Vac2)으로 제어한다.
- [0047] 즉, 상기 스테이지들(ST201, ST202, ST203, ...) 중 기수번째 스테이지들(ST201, ST203, ST205, ...)에 구비된 각 노드 제어부(205)는 상기 제 1 교류 전압원(Vac1)을 공급받으며, 우수번째 스테이지들(ST202, ST204, ST206, ...)에 구비된 각 노드 제어부(205)는 상기 제 2 교류 전압원(Vac2)을 공급받는다.
- [0048] 여기서, 상기 제 1 교류 전압원(Vac1)과 제 2 교류 전압원(Vac2)은 프레임단위로 전압이 변화하는 교류 전압원으로, 상기 제 1 교류 전압원(Vac1)은 제 2 교류 전압원(Vac2)에 대하여 180도 위상반전된 형태를 갖는다.
- [0049] 한편, 상기 각 스테이지(ST201, ST202, ST203, ...)는 제 1 직류 전압원(Vdc1)을 공급받아 자신의 인에이블용 노드(Q)를 충전시키며, 제 2 직류 전압원(Vdc2)을 공급받아 이를 오프 전압원으로서 출력한다.
- [0050] 또한, 각 스테이지(ST201, ST202, ST203, ...)는 상기 제 1 직류 전압원(Vdc1) 대신에 전단 스테이지로부터의 스캔펄스를 공급받아 자신의 인에이블용 노드(Q)를 충전시킬 수도 있다.
- [0051] 여기서, 상기 제 1 직류 전압원(Vdc1)은 정극성의 전압원을 의미하며, 상기 제 2 직류 전압원(Vdc2)은 부극성의 전압원을 의미한다.



- [0052] 이와 같이 구성된 각 스테이지(ST201, ST202, ST203, ...)는 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)들 중 어느 하나의 클럭펄스를 공급받고, 공급된 클럭펄스를 스캔펄스로서 출력한다.
- [0053] 도 3에 도시된 바와 같이, 상기 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는 서로 한 펄스폭만큼씩 위상지연되어 출력된다. 즉, 상기 제 2 클럭펄스(CLK2)는 상기 제 1 클럭펄스(CLK1)보다 한 펄스폭만큼 위상지연되어 출력되고, 상기 제 3 클럭펄스(CLK3)는 상기 제 2 클럭펄스(CLK2)보다 한 펄스폭만큼 위상지연되어 출력되고, 상기 제 4 클럭펄스(CLK4)는 상기 제 3 클럭펄스(CLK3)보다 한 펄스폭만큼 위상지연되어 출력되고, 상기 제 4 클럭펄스(CLK4)보다 한 펄스폭만큼 위상지연되어 제 1 클럭펄스(CLK1)보다 한 펄스폭만큼 위상지연되어 출력된다.
- [0054] 이때, 상기 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)들은 순차적으로 출력되며, 또한 순환하면서 출력된다. 즉, 제 1 클럭펄스(CLK1)부터 제 4 클럭펄스(CLK4)까지 순차적으로 출력된 후, 다시 제 1 클럭펄스(CLK1)부터 제 4 클럭펄스(CLK4)까지 순차적으로 출력된다. 따라서, 상기 제 1 클럭펄스(CLK1)는 상기 제 4 클럭펄스(CLK4)와 제 2 클럭펄스(CLK2) 사이에 해당하는 기간에서 출력된다.
- [0055] 이와 같은 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4) 각각은 일정한 주기를 가지고 계속적으로 출력된다. 따라서, 상기와 같이 네 개의 클럭펄스를 사용할 경우, 제 1 내지 제 4 스테이지(ST201 내지 ST204)는 상기 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)를 스캔펄스로서 출력한다.
- [0056] 이때, 상기 제 1 내지 제 4 클럭펄스(CLK1 내지 CLK4)는, 상술한 바와 같이, 한 클럭펄스씩 위상지연되어 있기 때문에, 상기 제 1 내지 제 4 스테이지(ST201 내지 ST204)로부터 출력되는 각 스캔펄스(Vout1 내지 Vout4)도 서로 한 펄스폭만큼씩 위상지연되어 출력된다.
- [0057] 즉, 상기 각 스캔펄스(Vout1 내지 Vout4)는 순차적으로 출력된다. 그리고, 제 5 스테이지(ST205)는 다시 상기 제 1 클럭펄스(CLK1)를 제 6 스캔펄스(Vout6)로서 출력한다. 이때, 제 5 스테이지(ST205)가 출력하는 제 1 클럭펄스(CLK1)는 상기 제 1 스테이지(ST201)로부터 출력된 제 1 클럭펄스(CLK1)로부터 한 주기 지연된 펄스이다.
- [0058] 한편, 이와 같은 각 스테이지(ST201, ST202, ST203, ...)가 상술한 바와 같은 스캔펄스를 출력하기 위해서는 각 스테이지(ST201, ST202, ST203, ...)가 인에이블 상태가 되어야 하며, 또한 각 스테이지(ST201, ST202, ST203, ...)가 오프 전압원을 출력하기 위해서는 디스에이블 상태가 되어야 한다.
- [0059] 이를 위해서, 각 스테이지(ST201, ST202, ST203, ...)는 전단 스테이지로부터의 스캔펄스에 응답하여 인에이블 되고, 후단 스테이지로부터의 스캔펄스에 응답하여 디스에이블된다.
- [0060] 제 2n-1 스테이지 및 제 2n 스테이지는 제 2n-2 스테이지로부터의 제 2n-2 스캔펄스에 응답하여 동시에 인에이블됨과 아울러 제 2n+2 스테이지로부터의 제 2n+2 스캔펄스에 응답하여 동시에 디스에이블된다.
- [0061] 그리고, 상기 인에이블된 제 2n 스테이지는 제 2n 스캔펄스를 출력하고, 이 제 2n 스캔펄스를 제 2n+1 및 제 2n+2 스테이지에 공급함으로써, 상기 제 2n+1 및 제 2n+2 스테이지를 동시에 인에이블시킨다. 또한, 상기 제 2n 스테이지는 상기 제 2n 스캔펄스를 제 2n-3 및 제 2n-2 스테이지에 공급함으로써 상기 제 2n-3 및 제 2n-2 스테이지를 동시에 디스에이블시킨다.
- [0062] 예를들어, 도 2의 제 3 스테이지(ST203) 및 제 4 스테이지(ST204)는 제 2 스테이지(ST202)로부터의 제 2 스캔펄스(Vout2)에 응답하여 동시에 인에이블됨과 아울러, 제 6 스테이지(ST206)로부터의 제 6 스캔펄스(Vout6)에 응답하여 동시에 디스에이블된다.
- [0063] 그리고, 상기 인에이블된 제 4 스테이지(ST204)는 제 4 스캔펄스(Vout4)를 출력하고, 이 제 4 스캔펄스(Vout4)를 제 5 및 제 6 스테이지(ST205, ST206)에 공급함으로써 상기 제 5 및 제 6 스테이지(ST205, ST206)를 동시에 인에이블시킨다. 또한, 상기 제 4 스테이지(ST204)는 상기 제 4 스캔펄스(Vout4)를 제 1 및 제 2 스테이지(ST201, ST202)에 공급함으로써 상기 제 1 및 제 2 스테이지(ST201, ST202)를 동시에 디스에이블시킨다.
- [0064] 한편, 제 1 및 제 2 스테이지(ST201, ST202)는 타이밍 컨트롤러로부터의 스타트 펄스(Vst)에 응답하여 인에이블된다.
- [0065] 여기서, 상기 각 스테이지(ST201, ST202, ST203, ...)에 구비된 각 노드 제어부(205)의 구성을 좀 더 구체적으로 설명하면 다음과 같다.
- [0066] 도 4는 도 2의 제 3 및 제 4 스테이지에 구비된 노드 제어부의 회로 구성을 나타낸 도면이다.
- [0067] 여기서, 기수번째 스테이지들(제 2n-1 스테이지 ST201, ST203, ST205, ...)과 상기 우수번째 스테이지들(제 2n

스테이지 ST202, ST204, ST206, ...)은 서로 다른 구성을 가진다.

- [0068] 먼저, 기수번째 스테이지들(ST201, ST203, ST205, ...)에 구비된 노드 제어부(205)는, 도 4에 도시된 바와 같이, 제 1 내지 제 11 스위칭소자(Tr1 내지 Tr11)를 갖는다.
- [0069] 즉, 제 2n-1 스테이지에 구비된 제 1 스위칭소자(Tr1)는 제 2n-2 스테이지로부터의 스캔펄스에 응답하여 상기 제 2n-1 스테이지의 인에이블용 노드(Q)를 제 1 직류 전압원(Vdc1)으로 충전시킨다.
- [0070] 예를들어, 도 4의 제 3 스테이지(ST203)에 구비된 제 1 스위칭소자(Tr1)는 제 2 스테이지(ST202)로부터의 제 2 스캔펄스(Vout2)에 응답하여 상기 제 3 스테이지(ST203)의 인에이블용 노드(Q)를 제 1 직류 전압원(Vdc1)으로 충전시킨다.
- [0071] 이를 위해, 상기 제 3 스테이지(ST203)에 구비된 제 1 스위칭소자(Tr1)의 게이트단자는 제 2 스테이지(ST202)에 접속되며, 드레인단자는 상기 제 1 직류 전압원(Vdc1)을 전송하는 전원라인에 접속되며, 소스단자는 상기 제 3 스테이지(ST203)의 인에이블용 노드(Q)에 접속된다.
- [0072] 상기 제 2n-1 스테이지에 구비된 제 2 스위칭소자(Tr2)는 상기 제 2n-1 스테이지의 제 1 디스에이블용 노드(QB1)에 공급된 제 1 교류 전압원(Vac1)에 응답하여 상기 2n-1 스테이지의 인에이블용 노드(Q)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0073] 예를들어, 도 4의 제 3 스테이지(ST203)에 구비된 제 2 스위칭소자(Tr2)는 상기 제 3 스테이지(ST203)의 제 1 디스에이블용 노드(QB1)에 공급된 제 1 교류 전압원(Vac1)에 응답하여 상기 제 3 스테이지(ST203)의 인에이블용 노드(Q)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0074] 이를 위해, 상기 제 3 스테이지(ST203)에 구비된 제 2 스위칭소자(Tr2)의 게이트단자는 제 3 스테이지(ST203)의 제 1 디스에이블용 노드(QB1)에 접속되며, 드레인단자는 상기 제 3 스테이지(ST203)의 인에이블용 노드(Q)에 접속되며, 소스단자는 상기 제 2 직류 전압원(Vdc2)을 전송하는 전원라인에 접속된다.
- [0075] 상기 제 2n-1 스테이지에 구비된 제 3 스위칭소자(Tr3)는 제 2n 스테이지를 통해 상기 제 2n-1 스테이지의 제 2 디스에이블용 노드(QB2)에 공급된 제 2 교류 전압원(Vac2)에 응답하여 상기 제 2n-1 스테이지의 인에이블용 노드(Q)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0076] 즉, 상기 제 2n-1 스테이지에 구비된 제 3 스위칭소자(Tr3)는 상기 제 2n-1 스테이지의 제 2 디스에이블용 노드(QB2)에 공급된 제 2 교류 전압원(Vac2)에 응답하여 상기 제 2n-1 스테이지의 인에이블용 노드(Q)를 제 2 직류 전압원(Vdc2)으로 방전시키는데, 이때 상기 제 2n-1 스테이지에 구비된 제 2 디스에이블용 노드(QB2)의 상태는 상기 제 2n 스테이지의 노드 제어부(205)에 의해 제어된다.
- [0077] 예를들어, 도 4의 제 3 스테이지(ST203)에 구비된 제 3 스위칭소자(Tr3)는 제 4 스테이지(ST204)를 통해 상기 제 3 스테이지(ST203)의 제 2 디스에이블용 노드(QB2)에 공급된 제 2 교류 전압원(Vac2)에 응답하여 상기 제 3 스테이지(ST203)의 인에이블용 노드(Q)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0078] 이를 위해, 상기 제 3 스테이지(ST203)에 구비된 제 3 스위칭소자(Tr3)의 게이트단자는 상기 제 3 스테이지(ST203)의 제 2 디스에이블용 노드(QB2)에 접속되며, 드레인단자는 상기 제 3 스테이지(ST203)의 인에이블용 노드(Q)에 접속되며, 소스단자는 상기 제 2 직류 전압원(Vdc2)을 전송하는 전원라인에 접속된다.
- [0079] 상기 제 2n-1 스테이지에 구비된 제 4 스위칭소자(Tr4)는 2n+2 번째 스테이지로부터의 스캔펄스에 응답하여 상기 제 2n-1 스테이지의 인에이블용 노드(Q)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0080] 예를들어, 도 4의 제 3 스테이지(ST203)에 구비된 제 4 스위칭소자(Tr4)는 제 6 스테이지(ST206)로부터의 제 6 스캔펄스(Vout6)에 응답하여 상기 제 3 스테이지(ST203)의 인에이블용 노드(Q)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0081] 이를 위해, 상기 제 3 스테이지(ST203)에 구비된 제 4 스위칭소자(Tr4)의 게이트단자는 상기 제 6 스테이지(ST206)에 접속되며, 드레인단자는 상기 제 3 스테이지(ST203)의 인에이블용 노드(Q)에 접속되며, 소스단자는 상기 제 2 직류 전압원(Vdc2)을 전송하는 전원라인에 접속된다.
- [0082] 상기 제 2n-1 스테이지에 구비된 제 5 스위칭소자(Tr5)는 제 1 교류 전압원(Vac1)에 응답하여 턴-온 또는 턴-오프되며, 턴-온시 상기 제 2n-1 스테이지의 공통 노드(N)를 상기 제 1 교류 전압원(Vac1)으로 충전시킨다.
- [0083] 예를들어, 도 4의 제 3 스테이지(ST203)에 구비된 제 5 스위칭소자(Tr5)는 제 1 교류 전압원(Vac1)에 응답하여

턴-온 또는 턴-오프되며, 턴-온시 상기 제 3 스테이지(ST203)의 공통 노드(N)를 상기 제 1 교류 전압원(Vac1)으로 충전시킨다.

[0084] 이를 위해, 상기 제 3 스테이지(ST203)에 구비된 제 5 스위칭소자(Tr5)의 게이트단자 및 드레인단자는 상기 제 1 교류 전압원(Vac1)을 전송하는 전원라인에 접속되며, 소스단자는 상기 제 3 스테이지(ST203)의 공통 노드(N)에 접속된다.

[0085] 상기 제 2n-1 스테이지에 구비된 제 6 스위칭소자(Tr6)는 상기 제 2n-1 스테이지의 인에이블용 노드(Q)에 충전된 제 1 직류 전압원(Vdc1)에 응답하여 상기 제 2n-1 스테이지의 공통 노드(N)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.

[0086] 예를들어, 도 4의 제 3 스테이지(ST203)에 구비된 제 6 스위칭소자(Tr6)는 상기 제 3 스테이지(ST203)의 인에이블용 노드(Q)에 충전된 제 1 직류 전압원(Vdc1)에 응답하여 상기 제 3 스테이지(ST203)의 공통 노드(N)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.

[0087] 이를 위해, 상기 제 3 스테이지(ST203)에 구비된 제 6 스위칭소자(Tr6)의 게이트단자는 상기 제 3 스테이지(ST203)의 인에이블용 노드(Q)에 접속되며, 드레인단자는 상기 제 3 스테이지(ST203)의 공통 노드(N)에 접속되며, 소스단자는 상기 제 2 직류 전압원(Vdc2)을 전송하는 전원라인에 접속된다.

[0088] 상기 제 2n-1 스테이지에 구비된 제 7 스위칭소자(Tr7)는 상기 제 2n-1 스테이지의 공통 노드(N)에 공급된 제 1 교류 전압원(Vac1)에 응답하여 상기 제 2n-1 스테이지의 제 1 디스에이블용 노드(QB1) 및 제 2n 스테이지의 제 1 디스에이블용 노드(QB1)를 상기 제 1 교류 전압원(Vac1)으로 충전시킨다.

[0089] 즉, 상기 제 2n-1 스테이지에 구비된 제 7 스위칭소자(Tr7)는 제 2n-1 스테이지에 구비된 제 1 디스에이블용 노드(QB1)의 상태 및 제 2n 스테이지에 구비된 제 1 디스에이블용 노드(QB1)의 상태를 함께 제어한다.

[0090] 예를들어, 도 4의 제 3 스테이지(ST203)에 구비된 제 7 스위칭소자(Tr7)는 상기 제 3 스테이지(ST203)의 공통 노드(N)에 공급된 제 1 교류 전압원(Vac1)에 응답하여 상기 제 3 스테이지(ST203)의 제 1 디스에이블용 노드(QB1) 및 제 4 스테이지(ST204)의 제 1 디스에이블용 노드(QB1)를 상기 제 1 교류 전압원(Vac1)으로 충전시킨다.

[0091] 이를 위해, 상기 제 3 스테이지(ST203)에 구비된 제 7 스위칭소자(Tr7)의 게이트단자는 상기 제 3 스테이지(ST203)의 공통 노드(N)에 접속되며, 드레인단자는 상기 제 1 교류 전압원(Vac1)을 전송하는 전원라인에 접속되며, 소스단자는 상기 제 3 스테이지(ST203)의 제 1 디스에이블용 노드(QB1)에 접속된다.

[0092] 상기 제 2n-1 스테이지에 구비된 제 8 스위칭소자(Tr8)는 제 2n-2 스테이지로부터의 스캔펄스에 응답하여 상기 제 2n-1 스테이지의 제 1 디스에이블용 노드(QB1) 및 제 2n 스테이지의 제 1 디스에이블용 노드(QB1)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.

[0093] 즉, 상기 제 2n-1 스테이지에 구비된 제 8 스위칭소자(Tr8)는 제 2n-1 스테이지에 구비된 제 1 디스에이블용 노드(QB1)의 상태 및 제 2n 스테이지에 구비된 제 1 디스에이블용 노드(QB1)의 상태를 함께 제어한다.

[0094] 예를들어, 도 4의 제 3 스테이지(ST203)에 구비된 제 8 스위칭소자(Tr8)는 제 2 스테이지(ST202)로부터의 제 2 스캔펄스(Vout2)에 응답하여 상기 제 3 스테이지(ST203)의 제 1 디스에이블용 노드(QB1) 및 제 4 스테이지(ST204)의 제 1 디스에이블용 노드(QB1)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.

[0095] 이를 위해, 상기 제 3 스테이지(ST203)에 구비된 제 8 스위칭소자(Tr8)의 게이트단자는 상기 제 2 스테이지(ST202)에 접속되며, 드레인단자는 상기 제 3 스테이지(ST203)의 제 1 디스에이블용 노드(QB1)에 접속되며, 소스단자는 상기 제 2 직류 전압원(Vdc2)을 전송하는 전원라인에 접속된다.

[0096] 상기 제 2n-1 스테이지에 구비된 제 9 스위칭소자(Tr9)는 상기 제 2n-1 스테이지의 인에이블용 노드(Q)에 충전된 제 1 직류 전압원(Vdc1)에 응답하여 상기 제 2n-1 스테이지의 제 1 디스에이블용 노드(QB1) 및 제 2n 스테이지의 제 1 디스에이블용 노드(QB1)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.

[0097] 즉, 상기 제 2n-1 스테이지에 구비된 제 9 스위칭소자(Tr9)는 상기 제 2n-1 스테이지에 구비된 제 1 디스에이블용 노드(QB1)의 상태 및 제 2n 스테이지에 구비된 제 1 디스에이블용 노드(QB1)의 상태를 함께 제어한다.

[0098] 예를들어, 도 4의 제 3 스테이지(ST203)에 구비된 제 9 스위칭소자(Tr9)는 상기 제 3 스테이지(ST203)의 인에이블용 노드(Q)에 충전된 제 1 직류 전압원(Vdc1)에 응답하여 상기 제 3 스테이지(ST203)의 제 1 디스에이블용 노드(QB1)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.

드(QB1) 및 제 4 스테이지(ST204)의 제 1 디스에이블용 노드(QB1)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.

- [0099] 이를 위해, 상기 제 3 스테이지(ST203)에 구비된 제 9 스위칭소자(Tr9)의 게이트단자는 상기 제 3 스테이지(ST203)의 인에이블용 노드(Q)에 접속되며, 드레인단자는 상기 제 3 스테이지(ST203)의 제 1 디스에이블용 노드(QB1)에 접속되며, 소스단자는 상기 제 2 직류 전압원(Vdc2)을 전송하는 전원라인에 접속된다.
- [0100] 상기 제 2n-1 스테이지에 구비된 제 10 스위칭소자(Tr10)는 타이밍 콘트롤러로부터의 스타트 펄스(Vst)에 응답하여 상기 제 2n-1 스테이지의 공통 노드(N)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0101] 예를들어, 도 4의 제 3 스테이지(ST203)에 구비된 제 10 스위칭소자(Tr10)는 타이밍 콘트롤러로부터의 스타트 펄스(Vst)에 응답하여 상기 제 3 스테이지(ST203)의 공통 노드(N)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0102] 이를 위해, 상기 제 3 스테이지(ST203)에 구비된 제 10 스위칭소자(Tr10)의 게이트단자는 상기 타이밍 콘트롤러에 접속되며, 드레인단자는 상기 제 3 스테이지(ST203)의 공통 노드(N)에 접속되며, 소스단자는 상기 제 2 직류 전압원(Vdc2)을 전송하는 전원라인에 접속된다.
- [0103] 이 제 10 스위칭소자(Tr10)는 매 프레임에 한번 출력되는 스타트 펄스(Vst)에 응답하여 자신이 속한 스테이지에 구비된 공통 노드(N)를 방전시킨다(초기화 시킨다).
- [0104] 상기 제 2n-1 스테이지(제 1 스테이지(ST201) 포함)에 구비된 제 11 스위칭소자(Tr11)는 상기 제 1 교류 전압원(Vac1)에 응답하여 턴-온 또는 턴-오프되며, 턴-온시 상기 제 2n-1 스테이지의 제 2 디스에이블용 노드(QB2)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0105] 즉, 상기 제 2n-1 스테이지에 구비된 제 11 스위칭소자(Tr11)는 제 2n-1 스테이지의 제 2 디스에이블용 노드(QB2)를 직접 방전시키는 역할을 한다. 다시말하면, 상기 제 2n-1 스테이지는 자신에 구비된 제 2 디스에이블용 노드(QB2)의 상태를 상기 제 11 스위칭소자(Tr11)와 제 2n 스테이지의 노드 제어부(205)로 같이 제어한다.
- [0106] 예를들어, 도 4의 제 3 스테이지(ST203)에 구비된 제 11 스위칭소자(Tr11)는 상기 제 1 교류 전압원(Vac1)에 응답하여 턴-온 또는 턴-오프되며, 턴-온시 상기 제 3 스테이지(ST203)의 제 2 디스에이블용 노드(QB2)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0107] 이를 위해, 상기 제 11 스위칭소자(Tr11)의 게이트단자는 상기 제 1 교류 전압원(Vac1)을 전송하는 전원라인에 접속되며, 드레인단자는 상기 제 3 스테이지(ST203)의 제 2 디스에이블용 노드(QB2)에 접속되며, 소스단자는 상기 제 2 직류 전압원(Vdc2)을 전송하는 전원라인에 접속된다.
- [0108] 한편, 제 2n-1 스테이지에 구비된 풀업 스위칭소자(Tru)는 상기 제 2n-1 스테이지의 인에이블용 노드(Q)에 충전된 제 1 직류 전압원(Vdc1)에 응답하여 해당 클럭펄스를 제 2n-1 스캔펄스로서 출력한다. 그리고, 이 제 2n-1 스캔펄스를 제 2n-1 게이트 라인에 공급한다.
- [0109] 예를들어, 도 4의 제 3 스테이지(ST203)에 구비된 풀업 스위칭소자(Tru)는 상기 제 3 스테이지(ST203)의 인에이블용 노드(Q)에 충전된 제 1 직류 전압원(Vdc1)에 응답하여 제 3 클럭펄스(CLK3)를 제 3 스캔펄스(Vout3)로 출력한다. 그리고, 이 제 3 스캔펄스(Vout3)를 제 3 게이트 라인에 공급한다.
- [0110] 이를 위해, 상기 제 3 스테이지(ST203)에 구비된 풀업 스위칭소자(Tru)의 게이트 단자는 상기 제 3 스테이지(ST203)의 인에이블용 노드(Q)에 접속되며, 드레인단자는 상기 제 3 클럭펄스(CLK3)를 전송하는 클럭전송라인에 접속되며, 소스단자는 상기 제 3 게이트 라인에 접속된다.
- [0111] 상기 제 2n-1 스테이지에 구비된 제 1 풀다운 스위칭소자(Trd1)는 상기 제 2n-1 스테이지의 제 1 디스에이블용 노드(QB1)에 충전된 제 1 교류 전압원(Vac1)에 응답하여 제 2 직류 전압원(Vdc2)을 오프 전압원으로서 출력한다. 그리고, 이 오프 전압원을 제 2n-1 게이트 라인에 공급한다.
- [0112] 예를들어, 도 4의 제 3 스테이지(ST203)에 구비된 제 1 풀다운 스위칭소자(Trd1)는 제 3 스테이지(ST203)의 제 1 디스에이블용 노드(QB1)에 충전된 제 1 교류 전압원(Vac1)에 응답하여 상기 제 2 직류 전압원(Vdc2)을 오프 전압원으로서 출력하고, 오프 전압원을 제 3 게이트 라인에 공급한다.
- [0113] 이를 위해, 상기 제 3 스테이지(ST203)에 구비된 제 1 풀다운 스위칭소자(Trd1)의 게이트단자는 상기 제 3 스테이지(ST203)의 제 1 디스에이블용 노드(QB1)에 접속되며, 소스단자는 상기 제 2 직류 전압원(Vdc2)을 전송하는 전원라인에 접속되며, 드레인단자는 상기 제 3 게이트 라인에 접속된다.
- [0114] 상기 제 2n-1 스테이지에 구비된 제 2 풀다운 스위칭소자(Trd2)는 제 2n 스테이지를 통해 제 2n-1 스테이지의

제 2 디스에이블용 노드(QB2)에 충전된 제 2 교류 전압원(Vac2)에 응답하여 제 2 직류 전압원(Vdc2)을 오프 전압원으로서 출력한다. 그리고, 이 오프 전압원을 제 2n-1 게이트 라인에 공급한다.

[0115] 즉, 상기 제 2n-1 스테이지에 구비된 제 2 풀다운 스위칭소자(Trd2)는 상기 제 2n-1 스테이지의 제 2 디스에이블용 노드(QB2)에 공급된 제 2 교류 전압원(Vac2)에 응답하여 제 2 직류 전압원(Vdc2)을 오프 전압원으로 출력하는, 이때 상기 제 2n-1 스테이지에 구비된 제 2 디스에이블용 노드(QB2)의 상태는 상기 제 2n 스테이지의 노드 제어부(205)에 의해 제어된다.

[0116] 예를들어, 도 4의 제 3 스테이지(ST203)에 구비된 제 2 풀다운 스위칭소자(Trd2)는 제 3 스테이지(ST203)의 제 2 디스에이블용 노드(QB2)에 충전된 제 2 교류 전압원(Vac2)에 응답하여 상기 제 2 직류 전압원(Vdc2)을 오프 전압원으로서 출력하고, 이 오프 전압원을 제 3 게이트 라인에 공급한다.

[0117] 이를 위해, 상기 제 3 스테이지(ST203)에 구비된 제 2 풀다운 스위칭소자(Trd2)의 게이트단자는 상기 제 3 스테이지(ST203)의 제 2 디스에이블용 노드(QB2)에 접속되며, 소스단자는 상기 제 2 직류 전압원(Vdc2)을 전송하는 전원라인에 접속되며, 드레인단자는 상기 제 3 게이트 라인에 접속된다.

[0118] 한편, 제 1 스테이지(ST201)의 첫 번째 전단에는 스테이지가 존재하지 않기 때문에, 상기 제 1 스테이지(ST201)에 구비된 제 1 및 제 8 스위칭소자(Tr1, Tr8)는 타이밍 컨트롤러로부터의 스타트 펄스(Vst)에 응답하여 동작한다.

[0119] 한편, 우수번째 스테이지들(ST202, ST204, ST206, ...)에 구비된 노드 제어부(205)도, 도 4에 도시된 바와 같이, 제 1 내지 제 11 스위칭소자(Tr1 내지 Tr11)를 갖는다.

[0120] 즉, 제 2n 스테이지에 구비된 제 1 스위칭소자(Tr1)는 제 2n-2 스테이지로부터의 스캔펄스에 응답하여 상기 제 2n 스테이지의 인에이블용 노드(Q)를 제 1 직류 전압원(Vdc1)으로 충전시킨다.

[0121] 예를들어, 도 4의 제 4 스테이지(ST204)에 구비된 제 1 스위칭소자(Tr1)는 제 2 스테이지(ST202)로부터의 제 2 스캔펄스(Vout2)에 응답하여 상기 제 4 스테이지(ST204)의 인에이블용 노드(Q)를 제 1 직류 전압원(Vdc1)으로 충전시킨다.

[0122] 이를 위해, 상기 제 4 스테이지(ST204)에 구비된 제 1 스위칭소자(Tr1)의 게이트단자는 제 2 스테이지(ST202)에 접속되며, 드레인단자는 상기 제 1 직류 전압원(Vdc1)을 전송하는 전원라인에 접속되며, 소스단자는 상기 제 4 스테이지(ST204)의 인에이블용 노드(Q)에 접속된다.

[0123] 상기 제 2n 스테이지에 구비된 제 2 스위칭소자(Tr2)는 제 2n-1 스테이지를 통해 제 2n 스테이지의 제 1 디스에이블용 노드(QB1)에 공급된 제 1 교류 전압원(Vac1)에 응답하여 제 2n 스테이지의 인에이블용 노드(Q)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.

[0124] 즉, 상기 제 2n 스테이지에 구비된 제 2 스위칭소자(Tr2)는 상기 제 2n 스테이지의 제 1 디스에이블용 노드(QB1)에 공급된 제 1 교류 전압원(Vac1)에 응답하여 상기 제 2n 스테이지의 인에이블용 노드(Q)를 제 2 직류 전압원(Vdc2)으로 방전시키는데, 이때 상기 제 2n 스테이지에 구비된 제 1 디스에이블용 노드(QB1)의 상태는 상기 제 2n-1 스테이지의 노드 제어부(205)에 의해 제어된다.

[0125] 예를들어, 도 4의 제 4 스테이지(ST204)에 구비된 제 2 스위칭소자(Tr2)는 제 3 스테이지(ST203)를 통해 상기 제 4 스테이지(ST204)의 제 1 디스에이블용 노드(QB1)에 공급된 제 1 교류 전압원(Vac1)에 응답하여 제 4 스테이지(ST204)의 인에이블용 노드(Q)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.

[0126] 이를 위해, 상기 제 4 스테이지(ST204)에 구비된 제 2 스위칭소자(Tr2)의 게이트단자는 상기 제 4 스테이지(ST204)의 제 1 디스에이블용 노드(QB1)에 접속되며, 드레인단자는 상기 제 4 스테이지(ST204)의 인에이블용 노드(Q)에 접속되며, 소스단자는 상기 제 2 직류 전압원(Vdc2)을 전송하는 전원라인에 접속된다.

[0127] 상기 제 2n 스테이지에 구비된 제 3 스위칭소자(Tr3)는 상기 제 2n 스테이지의 제 2 디스에이블용 노드(QB2)에 공급된 제 2 교류 전압원(Vac2)에 응답하여 상기 제 2n 스테이지의 인에이블용 노드(Q)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.

[0128] 예를들어, 도 4의 제 4 스테이지(ST204)에 구비된 제 3 스위칭소자(Tr3)는 상기 제 4 스테이지(ST204)의 제 2 디스에이블용 노드(QB2)에 공급된 제 2 교류 전압원(Vac2)에 응답하여 상기 제 4 스테이지(ST204)의 인에이블용 노드(Q)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.

- [0129] 이를 위해, 상기 제 4 스테이지(ST204)에 구비된 제 3 스위칭소자(Tr3)의 게이트단자는 상기 제 4 스테이지(ST204)의 제 2 디스에이블용 노드(QB2)에 접속되며, 드레인단자는 상기 제 4 스테이지(ST204)의 인에이블용 노드(Q)에 접속되며, 소스단자는 상기 제 2 직류 전압원(Vdc2)을 전송하는 전원라인에 접속된다.
- [0130] 상기 제 2n 스테이지에 구비된 제 4 스위칭소자(Tr4)는 제 2n+2 스테이지로부터의 스캔펄스에 응답하여 상기 인에이블용 노드(Q)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0131] 예를들어, 도 4의 제 4 스테이지(ST204)에 구비된 제 4 스위칭소자(Tr4)는 제 6 스테이지(ST206)로부터의 제 6 스캔펄스(Vout6)에 응답하여 상기 제 4 스테이지(ST204)의 인에이블용 노드(Q)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0132] 이를 위해, 상기 제 4 스테이지(ST204)에 구비된 제 4 스위칭소자(Tr4)의 게이트단자는 상기 제 6 스테이지(ST206)에 접속되며, 드레인단자는 상기 제 4 스테이지(ST204)의 인에이블용 노드(Q)에 접속되며, 소스단자는 상기 제 2 직류 전압원(Vdc2)을 전송하는 전원라인에 접속된다.
- [0133] 상기 제 2n 스테이지에 구비된 제 5 스위칭소자(Tr5)는 제 2 교류 전압원(Vac2)에 응답하여 턴-온 또는 턴-오프되며, 턴-온시 상기 제 2n 스테이지의 공통 노드(N)를 상기 제 2 교류 전압원(Vac2)으로 충전시킨다.
- [0134] 예를들어, 도 4의 제 4 스테이지(ST204)에 구비된 제 5 스위칭소자(Tr5)는 제 2 교류 전압원(Vac2)에 응답하여 턴-온 또는 턴-오프되며, 턴-온시 상기 제 4 스테이지(ST204)의 공통 노드(N)를 제 2 교류 전압원(Vac2)으로 충전시킨다.
- [0135] 이를 위해, 상기 제 4 스테이지(ST204)에 구비된 제 5 스위칭소자(Tr5)의 게이트단자 및 드레인단자는 상기 제 2 교류 전압원(Vac2)을 전송하는 전원라인에 접속되며, 소스단자는 상기 제 4 스테이지(ST204)의 공통 노드(N)에 접속된다.
- [0136] 상기 제 2n 스테이지에 구비된 제 6 스위칭소자(Tr6)는 상기 제 2n 스테이지의 인에이블용 노드(Q)에 충전된 제 1 직류 전압원(Vdc1)에 응답하여 상기 제 2n 스테이지의 공통 노드(N)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0137] 예를들어, 도 4의 제 4 스테이지(ST204)에 구비된 제 6 스위칭소자(Tr6)는 상기 제 4 스테이지(ST204)의 인에이블용 노드(Q)에 충전된 제 1 직류 전압원(Vdc1)에 응답하여 상기 제 4 스테이지(ST204)의 공통 노드(N)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0138] 이를 위해, 상기 제 4 스테이지(ST204)에 구비된 제 6 스위칭소자(Tr6)의 게이트단자는 상기 제 4 스테이지(ST204)의 인에이블용 노드(Q)에 접속되며, 드레인단자는 상기 제 4 스테이지(ST204)의 공통 노드(N)에 접속되며, 소스단자는 상기 제 2 직류 전압원(Vdc2)을 전송하는 전원라인에 접속된다.
- [0139] 상기 제 2n 스테이지에 구비된 제 7 스위칭소자(Tr7)는 상기 제 2n 스테이지의 공통 노드(N)에 공급된 제 2 교류 전압원(Vac2)에 응답하여 상기 제 2n 스테이지의 제 2 디스에이블용 노드(QB2) 및 제 2n-1 스테이지의 제 2 디스에이블용 노드(QB2)를 상기 제 2 교류 전압원(Vac2)으로 충전시킨다.
- [0140] 즉, 상기 제 2n 스테이지에 구비된 제 7 스위칭소자(Tr7)는 상기 제 2n 스테이지에 구비된 제 2 디스에이블용 노드(QB2)의 상태 및 제 2n-1 스테이지에 구비된 제 2 디스에이블용 노드(QB2)의 상태를 함께 제어한다.
- [0141] 예를들어, 도 4의 제 4 스테이지(ST204)에 구비된 제 7 스위칭소자(Tr7)는 상기 제 4 스테이지(ST204)의 공통 노드(N)에 공급된 제 2 교류 전압원(Vac2)에 응답하여 상기 제 4 스테이지(ST204)의 제 2 디스에이블용 노드(QB2) 및 제 3 스테이지(ST203)의 제 2 디스에이블용 노드(QB2)를 상기 제 2 교류 전압원(Vac2)으로 충전시킨다.
- [0142] 이를 위해, 상기 제 4 스테이지(ST204)에 구비된 제 7 스위칭소자(Tr7)의 게이트단자는 상기 제 4 스테이지(ST204)의 공통 노드(N)에 접속되며, 드레인단자는 상기 제 2 교류 전압원(Vac2)을 전송하는 전원라인에 접속되며, 소스단자는 상기 제 4 스테이지(ST204)의 제 2 디스에이블용 노드(QB2)에 접속된다.
- [0143] 상기 제 2n 스테이지에 구비된 제 8 스위칭소자(Tr8)는 제 2n-2 스테이지로부터의 스캔펄스에 응답하여 상기 제 2n 스테이지의 제 2 디스에이블용 노드(QB2) 및 제 2n-1 스테이지의 제 2 디스에이블용 노드(QB2)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0144] 즉, 상기 제 2n 스테이지에 구비된 제 8 스위칭소자(Tr8)는 상기 제 2n 스테이지에 구비된 제 2 디스에이블용

노드(QB2)의 상태 및 제 2n-1 스테이지에 구비된 제 2 디스에이블용 노드(QB2)의 상태를 함께 제어한다.

- [0145] 예를들어, 도 4의 제 4 스테이지(ST204)에 구비된 제 8 스위칭소자(Tr8)는 제 2 스테이지(ST202)로부터의 제 2 스캔펄스(Vout2)에 응답하여 상기 제 4 스테이지(ST204)의 제 2 디스에이블용 노드(QB2) 및 제 3 스테이지(ST203)의 제 2 디스에이블용 노드(QB2)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0146] 이를 위해, 상기 제 4 스테이지(ST204)에 구비된 제 8 스위칭소자(Tr8)의 게이트단자는 상기 제 2 스테이지(ST202)에 접속되며, 드레인단자는 상기 제 3 스테이지(ST203)의 제 2 디스에이블용 노드(QB2)에 접속되며, 소스단자는 상기 제 2 직류 전압원(Vdc2)을 전송하는 전원라인에 접속된다.
- [0147] 상기 제 2n 스테이지에 구비된 제 9 스위칭소자(Tr9)는 상기 제 2n 스테이지의 인에이블용 노드(Q)에 충전된 제 1 직류 전압원(Vdc1)에 응답하여 상기 제 2n 스테이지의 제 2 디스에이블용 노드(QB2) 및 제 2n-1 스테이지의 제 2 디스에이블용 노드(QB2)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0148] 즉, 상기 제 2n 스테이지에 구비된 제 9 스위칭소자(Tr9)는 상기 제 2n 스테이지에 구비된 제 2 디스에이블용 노드(QB2)의 상태와 상기 제 2n-1 스테이지에 구비된 제 2 디스에이블용 노드(QB2)의 상태를 함께 제어한다.
- [0149] 예를들어, 도 4의 제 4 스테이지(ST204)에 구비된 제 9 스위칭소자(Tr9)는 상기 제 4 스테이지(ST204)의 인에이블용 노드(Q)에 충전된 제 1 직류 전압원(Vdc1)에 응답하여 상기 제 4 스테이지(ST204)의 제 2 디스에이블용 노드(QB2) 및 제 3 스테이지(ST203)의 제 2 디스에이블용 노드(QB2)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0150] 이를 위해, 상기 제 4 스테이지(ST204)에 구비된 제 9 스위칭소자(Tr9)의 게이트단자는 상기 제 4 스테이지(ST204)의 인에이블용 노드(Q)에 접속되며, 드레인단자는 상기 제 4 스테이지(ST204)의 제 2 디스에이블용 노드(QB2)에 접속되며, 소스단자는 상기 제 2 직류 전압원(Vdc2)을 전송하는 전원라인에 접속된다.
- [0151] 상기 제 2n 스테이지에 구비된 제 10 스위칭소자(Tr10)는 타이밍 콘트롤러로부터의 스타트 펄스(Vst)에 응답하여 상기 제 2n 스테이지의 공통 노드(N)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0152] 예를들어, 도 4의 제 4 스테이지(ST204)에 구비된 제 10 스위칭소자(Tr10)는 타이밍 콘트롤러로부터의 스타트 펄스(Vst)에 응답하여 상기 제 3 스테이지(ST203)의 공통 노드(N)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0153] 이를 위해, 상기 제 4 스테이지(ST204)에 구비된 제 10 스위칭소자(Tr10)의 게이트단자는 상기 타이밍 콘트롤러에 접속되며, 드레인단자는 상기 제 3 스테이지(ST203)의 공통 노드(N)에 접속되며, 소스단자는 상기 제 2 직류 전압원(Vdc2)을 전송하는 전원라인에 접속된다.
- [0154] 이 제 10 스위칭소자(Tr10)는 매 프레임에 한번 출력되는 스타트 펄스(Vst)에 응답하여 자신이 속한 스테이지에 구비된 공통 노드(N)를 방전시킨다(초기화 시킨다).
- [0155] 상기 제 2n 스테이지(제 2 스테이지(ST202) 포함)에 구비된 제 11 스위칭소자(Tr11)는 상기 제 2 교류 전압원(Vac2)에 응답하여 턴-온 또는 턴-오프되며, 턴-온시 상기 제 2n 스테이지의 제 1 디스에이블용 노드(QB1)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0156] 즉, 상기 제 2n 스테이지에 구비된 제 11 스위칭소자(Tr11)는 제 2n 스테이지의 제 2 디스에이블용 노드(QB2)를 직접 방전시키는 역할을 한다. 다시말하면, 상기 제 2n 스테이지는 자신에 구비된 제 1 디스에이블용 노드(QB1)의 상태를 상기 제 11 스위칭소자(Tr11)와 제 2n-1 스테이지의 노드 제어부(205)로 같이 제어한다.
- [0157] 예를들어, 도 4의 제 4 스테이지(ST204)에 구비된 제 11 스위칭소자(Tr11)는 상기 제 2 교류 전압원(Vac2)에 응답하여 턴-온 또는 턴-오프되며, 턴-온시 상기 제 4 스테이지(ST204)의 제 1 디스에이블용 노드(QB1)를 제 2 직류 전압원(Vdc2)으로 방전시킨다.
- [0158] 이를 위해, 상기 제 4 스테이지(ST204)에 구비된 제 11 스위칭소자(Tr11)의 게이트단자는 상기 제 2 교류 전압원(Vac2)을 전송하는 전원라인에 접속되며, 드레인단자는 상기 제 4 스테이지(ST204)의 제 1 디스에이블용 노드(QB1)에 접속되며, 소스단자는 상기 제 2 직류 전압원(Vdc2)을 전송하는 전원라인에 접속된다.
- [0159] 제 2n 스테이지에 구비된 풀업 스위칭소자(Tru)로부터 출력된 스캔펄스, 그리고 상기 제 2n 스테이지에 구비된 제 1 및 제 2 풀다운 스위칭소자(Trd1, Trd2)로부터 출력된 오프 전압원은 제 2n 게이트 라인, 제 2n+1 스테이지, 제 2n+2 스테이지, 제 2n-3 스테이지, 및 제 2n-2 스테이지에 공급된다.
- [0160] 예를들어, 제 4 스테이지(ST204)에 구비된 풀업 스위칭소자(Tru)로부터 출력된 제 4 스캔펄스(Vout4), 그리고 상기 제 4 스테이지(ST204)에 구비된 제 1 및 제 2 풀다운 스위칭소자(Trd1, Trd2)로부터 출력된 오프 전압원은

제 4 게이트 라인, 제 5 스테이지(ST205), 제 6 스테이지(ST206), 제 1 스테이지(ST201), 및 제 2 스테이지(ST202)에 공급된다.

[0161] 이와 같이, 본 발명에 따른 쉬프트 레지스터는 서로 인접한 스테이지가 서로의 노드를 공유하기 때문에, 종래에 비하여 노드를 제어하기 위한 스위칭소자의 수를 줄일 수 있다.

[0162] 이와 같이 구성된 쉬프트 레지스터는 액정패널에 내장된다. 즉, 상기 쉬프트 레지스터에 구비된 모든 스위칭소자들은 비정질 실리콘으로 이루어진 반도체층을 갖는 소자들로서, 이들은 액정패널의 표시부에 형성된 화소용 스위칭소자와 동일한 공정을 통해 제조된다.

[0163] 상기 쉬프트 레지스터를 구비한 액정표시장치를 설명하면 다음과 같다.

[0164] 도 5는 도 2의 쉬프트 레지스터가 구비된 액정표시장치를 나타낸 도면이다.

[0165] 본 발명의 실시예에 따른 액정표시장치는, 도 5에 도시된 바와 같이, 화상을 표시하기 위한 다수의 단위 화소(PXL)가 형성된 액정패널(200)과, 상기 액정패널(200)을 구동하기 위한 제 1 게이트 구동부(GD1), 제 2 게이트 구동부(GD2), 및 데이터 구동부(DD)를 갖는다.

[0166] 상기 액정패널(200)에는 서로 교차하는 다수의 게이트 라인들(GL1 내지 GLn)과 다수의 데이터 라인들(DL1 내지 DLm)이 형성되어 있다.

[0167] 상기 각 데이터 라인(DL1 내지 DLm)의 우측에는 상기 데이터 라인(DL1 내지 DLm)의 길이 방향을 따라 다수의 단위 화소(PXL)들이 배열된다. 상기 데이터 라인의 길이 방향을 따라 배열된 단위 화소(PXL)들은 이들의 좌측에 위치한 데이터 라인에 공통으로 접속된다.

[0168] 상기 각 단위 화소(PXL)는 적색 화소셀(R), 녹색 화소셀(G), 및 청색 화소셀(B)을 포함한다.

[0169] 상기 적색 화소셀(R)은 적색에 해당하는 데이터 신호를 공급받아 적색에 해당하는 화상을 표시하는 화소셀을 의미하며, 상기 녹색 화소셀(G)은 녹색에 해당하는 데이터 신호를 공급받아 녹색에 해당하는 화상을 표시하는 화소셀을 의미하며, 그리고 상기 청색 화소셀(B)은 청색에 해당하는 데이터 신호를 공급받아 청색에 해당하는 화상을 표시하는 화소셀을 의미한다.

[0170] 도면에 도시하지 않았지만, 각 화소셀(R, G, B)은 게이트 라인(GL1 내지 GLn)으로부터의 스캔펄스(Vout1 내지 Voutn)에 응답하여 데이터 라인으로부터의 데이터 신호를 스위칭하는 박막트랜지스터와, 상기 박막트랜지스터로부터의 데이터 신호를 공급받는 화소전극과, 상기 화소전극과 대향하여 위치한 공통전극과, 상기 화소전극과 공통전극 사이에 위치하여 상기 두 전극 사이에서 발생하는 전계에 따라 광 투과량을 조절하는 액정층을 포함한다.

[0171] 하나의 단위 화소(PXL)에 포함된 적색 화소셀(R), 녹색 화소셀(G), 및 청색 화소셀(B)은 하나의 데이터 라인에 공통으로 접속됨과 아울러, 서로 다른 게이트 라인에 개별적으로 접속된다. 이때, 서로 다른 데이터 라인에 접속되며, 동일한 수평라인상에 형성된 화소셀들은 서로 동일한 게이트 라인에 공통으로 접속된다.

[0172] 각 단위 화소(PXL)내의 화소셀들(R, G, B)은 상기 데이터 라인의 상측에서 하측 방향을 따라 청색 화소셀(B), 녹색 화소셀(G), 및 적색 화소셀(R) 순서로 배열되어 있다. 이 데이터 라인들(DL1 내지 DLm)의 상측 끝단은 데이터 구동부(DD)에 접속되어 있는데, 하나의 단위 화소(PXL)내에서 청색 화소셀(B)이 상기 데이터 라인의 상측 끝단에 가장 근접하여 위치하고 있으며, 적색 화소셀(R)이 상기 데이터 라인의 상측 끝단으로부터 가장 멀리 떨어져 있다.

[0173] 제 1 및 제 2 게이트 구동부(GD1, GD2)는 상기 게이트 라인들(GL1 내지 GLn)에 스캔펄스(Vout1 내지 Voutn)를 공급함으로써, 상기 게이트 라인들(GL1 내지 GLn)을 순차저적으로 구동한다. 즉, 상기 제 1 및 제 2 게이트 구동부(GD1, GD2)는 한 시간에 한 게이트 라인씩 차례로 구동한다.

[0174] 상기 제 1 게이트 구동부(GD1)는 상기 게이트 라인들(GL1 내지 GLn)의 일측에 구비되어 있다. 이 제 1 게이트 구동부(GD1)는 상기 게이트 라인들(GL1 내지 GLn) 중 기수번째 게이트 라인들(GL1, GL3, ..., GLn-1)의 일측 끝단에 접속되어, 상기 기수번째 게이트 라인들(GL1, GL3, ..., GLn-1)에 차례로 스캔펄스(Vout1, Vout3, ..., Voutn-1)를 공급한다.

[0175] 상기 제 2 게이트 구동부(GD2)는 상기 게이트 라인들(GL1 내지 GLn)의 타측에 구비되어 있다. 이 제 2 게이트 구동부(GD2)는 상기 게이트 라인들(GL1 내지 GLn) 중 우수번째 게이트 라인들(GL2, GL4, ..., GLn)의 타측 끝단



에 접속되어, 상기 우수번째 게이트 라인들(GL2, GL4, ..., GLn)에 스캔펄스(Vout2, Vout4, ..., Voutn)를 차례로 공급한다.

[0176] 이에 따라, 상기 기수번째 게이트 라인(GL1, GL3, ..., GLn-1)과 우수번째 게이트 라인(GL2, GL4, ..., GLn)은 매 기간마다 교번하여 구동된다. 예를 들어, 기수번째 게이트 라인이 먼저 구동되고, 이후 우수번째 게이트 라인이 구동되고, 다시 기수번째 게이트 라인이 구동된다.

[0177] 상기 제 1 게이트 구동부(GD1)는 제 1 쉬프트 레지스터(SR1)를 포함하며, 상기 제 2 게이트 구동부(GD2)는 제 2 쉬프트 레지스터(SR2)를 포함한다.

[0178] 도 6은 도 5의 제 1 및 제 2 게이트 구동부에 구비된 제 1 및 제 2 쉬프트 레지스터를 나타낸 도면이고, 도 7은 도 5의 각 스테이지로부터의 출력 및 제 1 데이터 라인에 공급되는 데이터 신호의 타이밍도이다.

[0179] 도 6에 도시된 바와 같이, 상기 제 1 쉬프트 레지스터(SR1)와 제 2 쉬프트 레지스터(SR2)는 상술한 쉬프트 레지스터에 구비된 스테이지들을 나누어 갖는다.

[0180] 즉, 상기 제 1 쉬프트 레지스터(SR1)는 4k+1 번째 스테이지들과 4k+2 번째 스테이지들을 구비하며, 상기 제 2 쉬프트 레지스터(SR2)는 4k+3 번째 스테이지들과 4k+4 번째 스테이지들을 구비한다.

[0181] 이에 따라, 상기 4k+1 번째 스테이지들 및 4k+2 번째 스테이지들은 기수번째 게이트 라인들에 접속되고, 상기 4k+3 번째 스테이지들 및 4k+4 번째 스테이지들은 우수번째 게이트 라인들에 접속된다.

[0182] 상술한 바와 같이, 4k+2 번째 스테이지로부터의 스캔펄스는 4k+3 및 4k+4 번째 스테이지에 스타트 펄스(Vst)로서 공급되는데, 이때 상기 4k+2 번째 스테이지가 제 1 쉬프트 레지스터(SR1)에 구비되고, 상기 4k+3 및 4k+4 번째 스테이지가 제 2 쉬프트 레지스터(SR2)에 구비되기 때문에, 상기 4k+2 번째 스테이지로부터의 스캔펄스는 게이트 라인을 통해 상기 4k+3 및 4k+4 번째 스테이지에 공급된다.

[0183] 이와 같이 구성된 액정표시장치의 동작을 설명하면 다음과 같다.

[0184] 여기서, 설명의 편의상 제 1 데이터 라인(DL1)에 접속된 제 1 내지 제 4 단위 화소(PXL1 내지 PXL4)의 동작을 설명하기로 한다.

[0185] 제 1 단위 화소(PXL1)는 제 1 청색, 제 1 녹색, 및 제 1 적색 화소셀(B1, G1, R1)을 포함하며, 제 2 단위 화소(PXL2)는 제 2 청색, 제 2 녹색, 및 제 2 적색 화소셀(B2, G2, R2)을 포함하며, 제 3 단위 화소(PXL3)는 제 3 청색, 제 3 녹색, 및 제 3 적색 화소셀(B3, G3, R3)을 포함하며, 그리고 제 4 단위 화소(PXL4)는 제 4 청색, 제 4 녹색, 및 제 4 적색 화소셀(B4, G4, R4)을 포함한다.

[0186] 제 1 내지 제 4 단위 화소(PXL1 내지 PXL4)의 화소셀들은 제 1 데이터 라인(DL1)의 상측에서 하측 방향을 따라 청색 화소셀, 녹색 화소셀, 및 적색 화소셀 순서로 배열되어 있다.

[0187] 먼저, 초기 기간의 동작을 설명하면 다음과 같다.

[0188] 도시하지 않은 초기 기간에는 스타트 펄스(Vst)가 하이 상태이므로, 이 스타트 펄스(Vst)를 공급받는 제 1 및 제 2 스테이지(ST1, ST2)가 인에이블된다.

[0189] 다음으로, 제 1 기간(T1)의 동작을 설명하면 다음과 같다.

[0190] 상기 제 1 기간(T1)에는 제 1 클럭펄스(CLK1)가 하이 상태이므로, 이 제 1 클럭펄스(CLK1)를 공급받는 제 1 스테이지(ST1)가 제 1 스캔펄스(Vout1)를 출력한다. 그리고, 이 스캔펄스(Vout1)를 제 1 게이트 라인(GL1)에 공급한다. 이에 따라, 상기 제 1 게이트 라인(GL1)에 접속된 제 1 청색 화소셀(B1)이 구동된다.

[0191] 이 제 1 기간(T1)에 상기 제 1 데이터 라인(DL1)에 상기 제 1 청색 화소셀(B1)에 해당하는 제 1 데이터 신호가 공급됨에 따라, 상기 제 1 청색 화소셀(B1)이 화상을 표시한다.

[0192] 다음으로, 제 2 기간(T2)의 동작을 설명하면 다음과 같다.

[0193] 상기 제 2 기간(T2)에는 제 2 클럭펄스(CLK2)가 하이 상태이므로, 이 제 2 클럭펄스(CLK2)를 공급받는 제 2 스테이지(ST2)가 제 2 스캔펄스(Vout2)를 출력한다. 그리고, 이 제 2 스캔펄스(Vout2)를 제 3 게이트 라인(GL3)에 공급한다. 따라서, 상기 제 3 게이트 라인(GL3)에 접속된 제 1 적색 화소셀(R1)이 구동된다.

[0194] 이 제 2 기간(T2)에 상기 제 1 데이터 라인(DL1)에 상기 제 1 적색 화소셀(R1)에 해당하는 제 2 데이터 신호가 공급됨에 따라, 상기 제 1 적색 화소셀(R1)이 화상을 표시한다.

- [0195] 여기서, 상기 제 2 스테이지(ST2)로부터 출력된 제 2 스캔펄스(Vout2)는 제 3 게이트 라인(GL3)을 경유하여 제 3 및 제 4 스테이지(ST3, ST4)에도 공급된다. 이에 따라, 상기 제 3 및 제 4 스테이지(ST3, ST4)가 인에이블된다.
- [0196] 다음으로, 제 3 기간(T3)의 동작을 설명하면 다음과 같다.
- [0197] 상기 제 3 기간(T3)에는 제 3 클럭펄스(CLK3)가 하이 상태이므로, 이 제 3 클럭펄스(CLK3)를 공급받는 제 3 스테이지(ST3)가 제 3 스캔펄스(Vout3)를 출력한다. 그리고, 이 제 3 스캔펄스(Vout3)를 제 2 게이트 라인(GL2)에 공급한다. 따라서, 상기 제 2 게이트 라인(GL2)에 접속된 제 1 녹색 화소셀(G1)이 구동된다.
- [0198] 이 제 3 기간(T3)에 상기 제 1 데이터 라인(DL1)에 상기 제 1 녹색 화소셀(G1)에 해당하는 제 3 데이터 신호가 공급됨에 따라, 상기 제 1 녹색 화소셀(G1)이 화상을 표시한다.
- [0199] 다음으로, 제 4 기간(T4)의 동작을 설명하면 다음과 같다.
- [0200] 상기 제 4 기간(T4)에는 제 4 클럭펄스(CLK4)가 하이 상태이므로, 이 제 4 클럭펄스(CLK4)를 공급받는 제 4 스테이지(ST4)가 제 4 스캔펄스(Vout4)를 출력한다. 그리고, 이 제 4 스캔펄스(Vout4)를 제 4 게이트 라인(GL4)에 공급한다. 따라서, 상기 제 4 게이트 라인(GL4)에 접속된 제 2 청색 화소셀(B2)이 구동된다.
- [0201] 이 제 4 기간(T4)에 상기 제 1 데이터 라인(DL1)에 상기 제 2 청색 화소셀(B2)에 해당하는 제 4 데이터 신호가 공급됨에 따라, 상기 제 2 청색 화소셀(B2)이 화상을 표시한다.
- [0202] 여기서, 상기 제 4 스테이지(ST4)로부터 출력된 제 4 스캔펄스(Vout4)는 제 4 게이트 라인(GL4)을 경유하여 제 5 및 제 6 스테이지(ST5, ST6)에도 공급된다. 이에 따라, 상기 제 5 및 제 6 스테이지(ST5, ST6)가 인에이블된다. 또한, 상기 제 4 스테이지(ST4)로부터 출력된 제 4 스캔펄스(Vout4)는 제 4 게이트 라인(GL4)을 경유하여 제 1 및 제 2 스테이지(ST1, ST2)에도 공급된다. 이에 따라 상기 제 1 및 제 2 스테이지(ST1, ST2)가 디스에이블된다.
- [0203] 다음으로, 제 5 기간(T5)의 동작을 설명하면 다음과 같다.
- [0204] 상기 제 5 기간(T5)에는 제 1 클럭펄스(CLK1)가 하이 상태이므로, 이 제 1 클럭펄스(CLK1)를 공급받는 제 5 스테이지(ST5)가 제 5 스캔펄스(Vout5)를 출력한다. 그리고, 이 제 5 스캔펄스(Vout5)를 제 5 게이트 라인(GL5)에 공급한다. 따라서, 상기 제 5 게이트 라인(GL5)에 접속된 제 2 녹색 화소셀(G2)이 구동된다.
- [0205] 이 제 5 기간(T5)에 상기 제 1 데이터 라인(DL1)에 상기 제 2 녹색 화소셀(G2)에 해당하는 제 5 데이터 신호가 공급됨에 따라, 상기 제 2 녹색 화소셀(G2)이 화상을 표시한다.
- [0206] 다음으로, 제 6 기간(T6)의 동작을 설명하면 다음과 같다.
- [0207] 상기 제 6 기간(T6)에는 제 2 클럭펄스(CLK2)가 하이 상태이므로, 이 제 2 클럭펄스(CLK2)를 공급받는 제 6 스테이지(ST6)가 제 6 스캔펄스(Vout6)를 출력한다. 그리고, 이 제 6 스캔펄스(Vout6)를 제 7 게이트 라인(GL7)에 공급한다. 따라서, 상기 제 7 게이트 라인(GL7)에 접속된 제 3 청색 화소셀(B3)이 구동된다.
- [0208] 이 제 6 기간(T6)에 상기 제 1 데이터 라인(DL1)에 상기 제 3 청색 화소셀(B3)에 해당하는 제 6 데이터 신호가 공급됨에 따라, 상기 제 3 청색 화소셀(B3)이 화상을 표시한다.
- [0209] 여기서, 상기 제 6 스테이지(ST6)로부터 출력된 제 6 스캔펄스(Vout6)는 제 7 게이트 라인(GL7)을 경유하여 제 7 및 제 8 스테이지(ST7, ST8)에도 공급된다. 이에 따라, 상기 제 7 및 제 8 스테이지(ST7, ST8)가 인에이블된다. 또한, 상기 제 6 스테이지(ST6)로부터 출력된 제 6 스캔펄스(Vout6)는 제 7 게이트 라인(GL7)을 경유하여 제 3 및 제 4 스테이지(ST3, ST4)에도 공급된다. 이에 따라 상기 제 3 및 제 4 스테이지(ST3, ST4)가 디스에이블된다.
- [0210] 다음으로, 제 7 기간(T7)의 동작을 설명하면 다음과 같다.
- [0211] 상기 제 7 기간(T7)에는 제 3 클럭펄스(CLK3)가 하이 상태이므로, 이 제 3 클럭펄스(CLK3)를 공급받는 제 7 스테이지(ST7)가 제 7 스캔펄스(Vout7)를 출력한다. 그리고, 이 제 7 스캔펄스(Vout7)를 제 6 게이트 라인(GL6)에 공급한다. 따라서, 상기 제 6 게이트 라인(GL6)에 접속된 제 2 적색 화소셀(R2)이 구동된다.
- [0212] 이 제 7 기간(T7)에 상기 제 1 데이터 라인(DL1)에 상기 제 2 적색 화소셀(R2)에 해당하는 제 7 데이터 신호가 공급됨에 따라, 상기 제 2 적색 화소셀(R2)이 화상을 표시한다.

- [0213] 다음으로, 제 8 기간(T8)의 동작을 설명하면 다음과 같다.
- [0214] 상기 제 8 기간(T8)에는 제 4 클럭펄스(CLK4)가 하이 상태이므로, 이 제 4 클럭펄스(CLK4)를 공급받는 제 8 스테이지(ST8)가 제 8 스캔펄스(Vout8)를 출력한다. 그리고, 이 제 8 스캔펄스(Vout8)를 제 8 게이트 라인(GL8)에 공급한다. 따라서, 상기 제 8 게이트 라인(GL8)에 접속된 제 3 녹색 화소셀(G3)이 구동된다.
- [0215] 이 제 8 기간(T8)에 상기 제 1 데이터 라인(DL1)에 상기 제 3 녹색 화소셀(G3)에 해당하는 제 8 데이터 신호가 공급됨에 따라, 상기 제 3 녹색 화소셀(G3)이 화상을 표시한다.
- [0216] 여기서, 상기 제 8 스테이지(ST8)로부터 출력된 제 8 스캔펄스(Vout8)는 제 8 게이트 라인(GL8)을 경유하여 제 9 및 제 10 스테이지(ST9, ST10)에도 공급된다. 이에 따라, 상기 제 9 및 제 10 스테이지(ST9, ST10)가 인에이블된다. 또한, 상기 제 8 스테이지(ST8)로부터 출력된 제 8 스캔펄스(Vout8)는 제 8 게이트 라인(GL8)을 경유하여 제 5 및 제 6 스테이지(ST5, ST6)에도 공급된다. 이에 따라 상기 제 5 및 제 6 스테이지(ST5, ST6)가 디스에이블된다.
- [0217] 다음으로, 제 9 기간(T9)의 동작을 설명하면 다음과 같다.
- [0218] 상기 제 9 기간(T9)에는 제 1 클럭펄스(CLK1)가 하이 상태이므로, 이 제 1 클럭펄스(CLK1)를 공급받는 제 9 스테이지(ST9)가 제 9 스캔펄스(Vout9)를 출력한다. 그리고, 이 제 9 스캔펄스(Vout9)를 제 9 게이트 라인(GL9)에 공급한다. 따라서, 상기 제 9 게이트 라인(GL9)에 접속된 제 3 적색 화소셀(R3)이 구동된다.
- [0219] 이 제 9 기간(T9)에 상기 제 1 데이터 라인(DL1)에 상기 제 3 적색 화소셀(R3)에 해당하는 제 9 데이터 신호가 공급됨에 따라, 상기 제 3 적색 화소셀(R3)이 화상을 표시한다.
- [0220] 다음으로, 제 10 기간(T10)의 동작을 설명하면 다음과 같다.
- [0221] 상기 제 10 기간(T10)에는 제 2 클럭펄스(CLK2)가 하이 상태이므로, 이 제 2 클럭펄스(CLK2)를 공급받는 제 10 스테이지(ST10)가 제 10 스캔펄스(Vout10)를 출력한다. 그리고, 이 제 10 스캔펄스(Vout10)를 제 11 게이트 라인(GL11)에 공급한다. 따라서, 상기 제 11 게이트 라인(GL11)에 접속된 제 4 녹색 화소셀(G4)이 구동된다.
- [0222] 이 제 10 기간(T10)에 상기 제 1 데이터 라인(DL1)에 상기 제 4 녹색 화소셀(G4)에 해당하는 제 10 데이터 신호가 공급됨에 따라, 상기 제 4 녹색 화소셀(G4)이 화상을 표시한다.
- [0223] 여기서, 상기 제 10 스테이지(ST10)로부터 출력된 제 10 스캔펄스(Vout10)는 제 11 게이트 라인(GL11)을 경유하여 제 11 및 제 12 스테이지(ST11, ST12)에도 공급된다. 이에 따라, 상기 제 11 및 제 12 스테이지(ST11, ST12)가 인에이블된다. 또한, 상기 제 10 스테이지(ST10)로부터 출력된 제 10 스캔펄스(Vout10)는 제 10 게이트 라인(GL10)을 경유하여 제 7 및 제 8 스테이지(ST7, ST8)에도 공급된다. 이에 따라 상기 제 7 및 제 8 스테이지(ST7, ST8)가 디스에이블된다.
- [0224] 다음으로, 제 11 기간(T11)의 동작을 설명하면 다음과 같다.
- [0225] 상기 제 11 기간(T11)에는 제 3 클럭펄스(CLK3)가 하이 상태이므로, 이 제 3 클럭펄스(CLK3)를 공급받는 제 11 스테이지(ST11)가 제 11 스캔펄스(Vout11)를 출력한다. 그리고, 이 제 11 스캔펄스(Vout11)를 제 10 게이트 라인(GL10)에 공급한다. 따라서, 상기 제 10 게이트 라인(GL10)에 접속된 제 4 청색 화소셀(B4)이 구동된다.
- [0226] 이 제 11 기간(T11)에 상기 제 1 데이터 라인(DL1)에 상기 제 4 청색 화소셀(B4)에 해당하는 제 11 데이터 신호가 공급됨에 따라, 상기 제 4 청색 화소셀(B4)이 화상을 표시한다.
- [0227] 다음으로, 제 12 기간(T12)의 동작을 설명하면 다음과 같다.
- [0228] 상기 제 12 기간(T12)에는 제 4 클럭펄스(CLK4)가 하이 상태이므로, 이 제 4 클럭펄스(CLK4)를 공급받는 제 12 스테이지(ST12)가 제 12 스캔펄스(Vout12)를 출력한다. 그리고, 이 제 12 스캔펄스(Vout12)를 제 12 게이트 라인(GL12)에 공급한다. 따라서, 상기 제 12 게이트 라인(GL12)에 접속된 제 4 적색 화소셀(R4)이 구동된다.
- [0229] 이 제 12 기간(T12)에 상기 제 1 데이터 라인(DL1)에 상기 제 4 적색 화소셀(R4)에 해당하는 제 12 데이터 신호가 공급됨에 따라, 상기 제 4 적색 화소셀(R4)이 화상을 표시한다.
- [0230] 여기서, 상기 제 12 스테이지(ST12)로부터 출력된 제 12 스캔펄스(Vout12)는 제 12 게이트 라인(GL12)을 경유하여 제 13 및 제 14 스테이지에도 공급된다. 이에 따라, 상기 제 13 및 제 14 스테이지가 인에이블된다. 또한, 상기 제 12 스테이지(ST12)로부터 출력된 제 12 스캔펄스(Vout12)는 제 12 게이트 라인(GL12)을 경유하여 제 9

및 제 10 스테이지(ST9, ST10)에도 공급된다. 이에 따라 상기 제 9 및 제 10 스테이지(ST9, ST10)가 디스에이블된다.

- [0231] 이후 제 13 기간부터의 동작은 제 1 내지 제 12 기간(T1 내지 T12)의 동작과 동일하게 이루어진다.
- [0232] 이에 따라, 서로 인접한 단위 화소간의 서로 대응되는 색상의 화소셀이 서로 다른 게이트 구동부, 즉 서로 다른 쉬프트 레지스터에 의해 구동됨으로써 액정패널의 화질이 향상된다.
- [0233] 이러한 효과의 발생 원리를 상세히 설명하면 다음과 같다.
- [0234] 상기 게이트 라인에는 저항 및 커패시턴스가 존재하는데, 이에 따라 상기 게이트 라인에 공급된 스캔펄스는 왜곡될 수 있다.
- [0235] 이때, 상기 스캔펄스의 왜곡정도가 하나의 게이트 라인에서도 다르게 나타낸다. 예를 들어, 제 1 쉬프트 레지스터(SR1)로부터 출력된 제 1 스캔펄스(Vout1)는 제 1 게이트 라인(GL1)에 공급되는데, 이 제 1 스캔펄스(Vout1)의 전압이 상기 제 1 게이트 라인(GL1)의 모든 부분에서 동일한 레벨로 나타나지 않는다.
- [0236] 즉, 제 1 쉬프트 레지스터(SR1)의 출력단에서 제 1 게이트 라인(GL1)의 일측 끝단을 바라보았을 때의 저항 및 커패시턴스의 크기는, 상기 제 1 쉬프트 레지스터(SR1)의 출력단에서 상기 제 1 게이트 라인(GL1)의 타측 끝단을 바라보았을 때의 저항 및 커패시턴스의 크기보다 작다. 이는 제 1 게이트 라인(GL1)의 일측 끝단이 상기 제 1 쉬프트 레지스터(SR1)에의 출력단에 가장 근접하여 위치하고 있으며, 상기 제 1 게이트 라인(GL1)의 타측 끝단이 상기 제 1 쉬프트 레지스터(SR1)의 출력단으로부터 가장 멀리 위치하고 있기 때문이다.
- [0237] 이에 따라, 상기 제 1 쉬프트 레지스터(SR1)로부터 상기 제 1 게이트 라인(GL1)에 공급된 제 1 스캔펄스(Vout1)는, 상기 제 1 게이트 라인(GL1)의 일측 끝단에서 거의 왜곡되지 않으며, 상기 제 1 게이트 라인(GL1)의 타측 끝단에서 가장 심하게 왜곡된다. 다시말하면, 상기 제 1 쉬프트 레지스터(SR1)의 출력단으로부터 멀리 위치한 부분일수록 상기 스캔펄스의 왜곡이 심해진다.
- [0238] 이러한, 왜곡 차이로 인해, 상기 제 1 게이트 라인(GL1)의 일측 끝단에 접속된 화소셀과, 상기 제 1 게이트 라인(GL1)의 타측 끝단에 접속된 화소셀간에 충전량의 차이가 발생하며, 따라서 이들 화소셀들간에 휘도차가 발생하여 화질이 떨어지는 문제점이 발생한다.
- [0239] 예를 들어, 상기 제 1 게이트 라인(GL1)의 좌측 끝단에 접속된 적색 화소셀과, 상기 제 1 게이트 라인(GL1)의 우측 끝단에 접속된 적색 화소셀에 동일한 크기의 데이터 신호가 공급된다 하더라도, 상술한 바와 같은 충전량의 차이로 인해 상기 좌측 끝단에 접속된 적색 화소셀이 우측 끝단에 접속된 적색 화소셀보다 더 밝은 화상을 표시한다.
- [0240] 이러한 문제점은 제 1 게이트 라인(GL1)을 포함한 기수번째 게이트 라인에서 공통적으로 발생한다.
- [0241] 이와 같은 원리로, 우수번째 게이트 라인에서도 상술한 바와 같은 문제점이 발생한다. 단, 상기 우수번째 게이트 라인은 이 게이트 라인들의 우측에 위치한 제 2 쉬프트 레지스터(SR2)에 의해 구동되므로, 이 우수번째 게이트 라인에 공급되는 스캔펄스는, 상기 우수번째 게이트 라인의 타측 끝단에서 거의 왜곡되지 않으며, 상기 우수번째 게이트 라인의 일측 끝단에서 가장 심하게 왜곡된다.
- [0242] 도 6의 제 1 데이터 라인(DL1)에 접속된 모든 화소셀들은 제 1 쉬프트 레지스터(SR1)의 출력단에 가장 가깝게 위치하고 있으며, 상대적으로 제 2 쉬프트 레지스터(SR2)로부터 가장 멀리 위치하고 있다.
- [0243] 따라서, 어느 한 색상의 화소셀을 동일 쉬프트 레지스터로 구동하고, 다른 색상의 화소셀들을 서로 다른 쉬프트 레지스터로 교번하여 구동할 경우 한 색상의 화소셀의 휘도가 다른 색상의 화소셀의 휘도보다 더 밝거나 어두울 수 있다. 그러면, 각 색상별 화소셀간에 휘도차가 발생하여 화질의 저하가 발생할 수 있다.
- [0244] 이러한, 문제점을 방지하기 위해 본 발명에서는 서로 인접한 단위 화소간의 서로 대응되는 색상의 화소셀이 서로 동일한 조건하에서 구동되도록 함으로써 각 색상별 화소셀들간의 휘도차를 방지하고 있다. 즉, 서로 인접한 단위 화소간의 서로 대응되는 색상의 화소셀이 다른 게이트 구동부, 즉 서로 다른 쉬프트 레지스터에 의해 구동되도록 함으로써 색상별 화소셀들간의 휘도차를 방지하고 있다.
- [0245] 예를 들어, 제 1 단위 화소(PXL1)내의 제 1 청색 화소셀(B1)과 제 2 단위 화소(PXL2)내의 청색 화소셀(B2)은 서로 다른 쉬프트 레지스터에 의해 구동된다.
- [0246] 즉, 상기 제 1 청색 화소셀(B1)은 제 1 쉬프트 레지스터(SR1)에 구비된 제 1 스테이지(ST1)에 의해 구동되고,

제 2 청색 화소셀(B2)은 제 2 쉬프트 레지스터(SR2)에 구비된 제 4 스테이지(ST4)에 의해서 구동된다.

[0247] 이와 마찬가지로, 상기 제 1 단위 화소(PXL1)내의 제 1 녹색 화소셀(G1)과 제 2 단위 화소(PXL2)내의 제 2 녹색 화소셀(G2)은 서로 다른 쉬프트 레지스터에 의해 구동되며, 제 1 단위 화소(PXL1)내의 제 1 적색 화소셀(R1)과 제 2 단위 화소(PXL2)내의 제 2 적색 화소셀(R2)은 서로 다른 쉬프트 레지스터에 의해 구동된다.

[0248] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

**발명의 효과**

[0249] 이상에서 설명한 바와 같은 본 발명에 따른 쉬프트 레지스터 및 이를 구비한 액정표시장치에는 다음과 같은 효과가 있다.

[0250] 첫째, 각 스테이지간의 노드를 공유시킴으로써 각 스테이지의 스위칭소자들의 수를 줄일 수 있다.

[0251] 둘째, 서로 인접한 단위 화소간의 동일 색상의 화소셀들이 서로 다른 게이트 구동부에 의해 구동되기 때문에, 모든 화소셀들간의 휘도차를 방지할 수 있다.

**도면의 간단한 설명**

[0001] 도 1은 종래의 쉬프트 레지스터에서 하나의 스테이지에 대한 블록 구성도

[0002] 도 2는 본 발명의 실시예에 따른 쉬프트 레지스터를 나타낸 도면

[0003] 도 3은 도 2의 각 스테이지에 공급되는 입력신호 및 각 스테이지로부터 출력되는 출력신호의 파형을 나타낸 도면

[0004] 도 4는 도 2의 제 3 및 제 4 스테이지에 구비된 노드 제어부의 회로 구성을 나타낸 도면

[0005] 도 5는 도 2의 쉬프트 레지스터가 구비된 액정표시장치를 나타낸 도면

[0006] 도 6은 도 5의 제 1 및 제 2 게이트 구동부에 구비된 제 1 및 제 2 쉬프트 레지스터를 나타낸 도면

[0007] 도 7은 도 5의 각 스테이지로부터의 출력 및 제 1 데이터 라인에 공급되는 데이터 신호의 타이밍도

[0008] \*도면의 주요부에 대한 부호 설명

[0009] 205 : 노드 제어부                              Tru : 풀업 스위칭소자

[0010] Trd : 풀다운 스위칭소자                     Vac : 교류 전압원

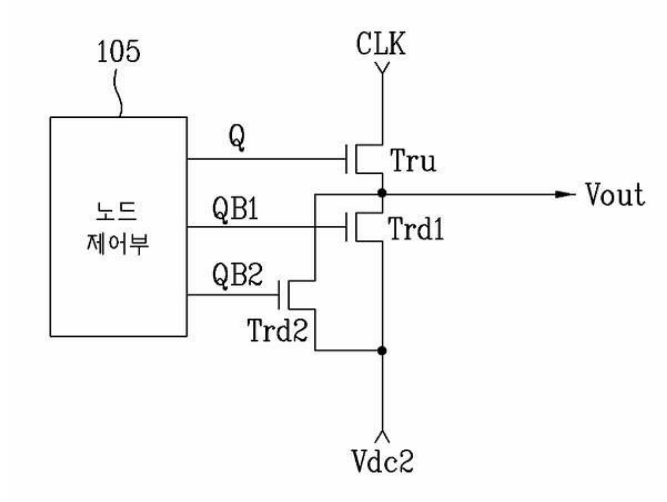
[0011] Vdc : 직류 전압원                             ST : 스테이지

[0012] Vout : 스캔펄스                              Q : 인에이블용 노드

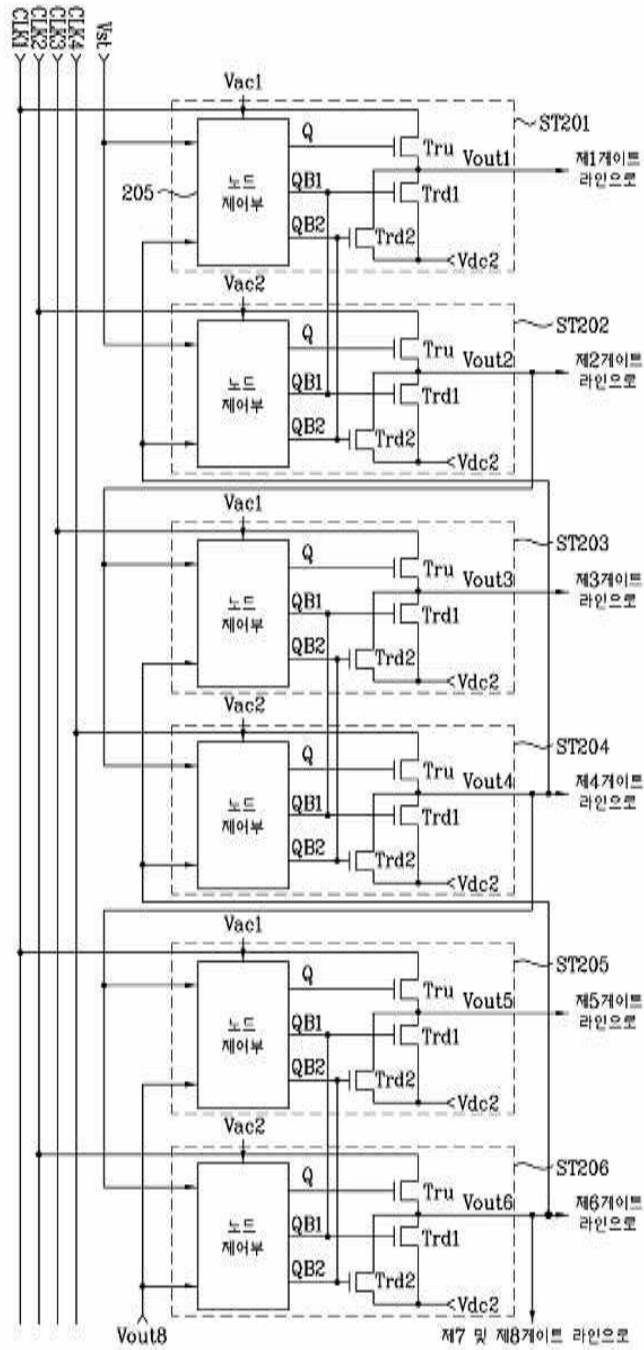
[0013] QB : 디스에이블용 노드

도면

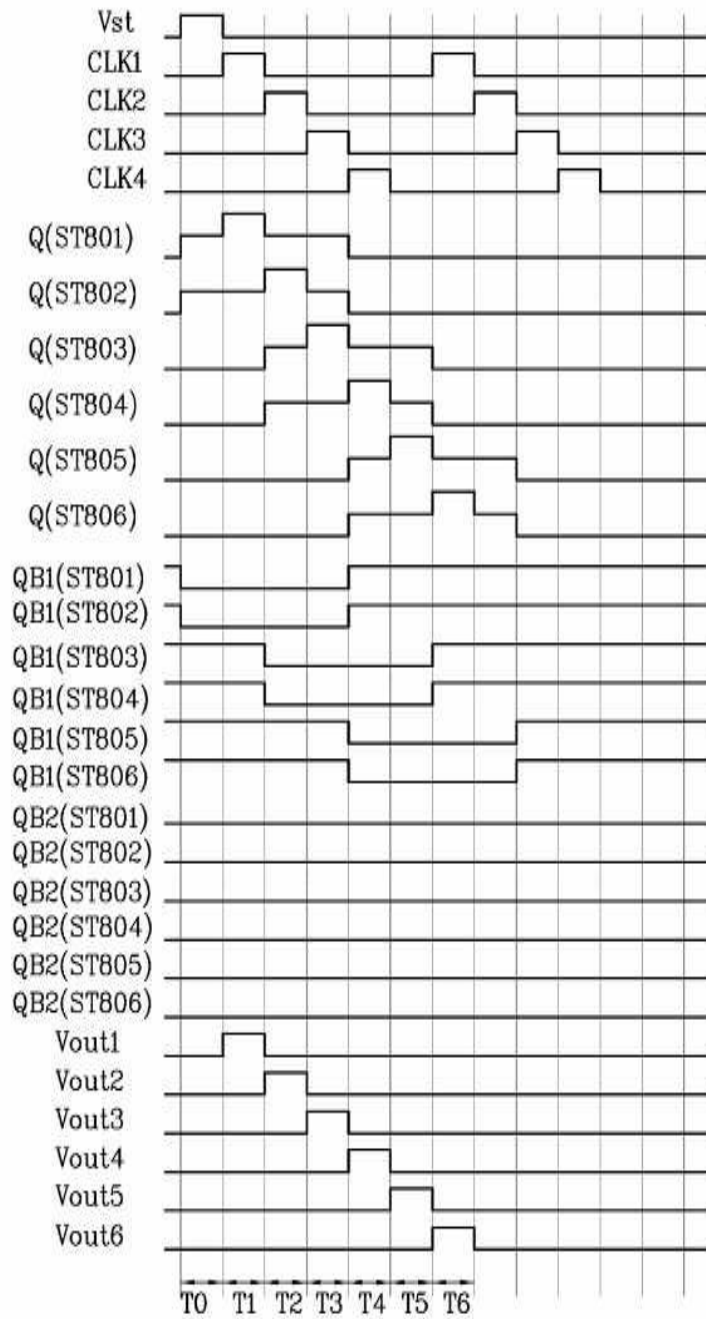
도면1



도면2

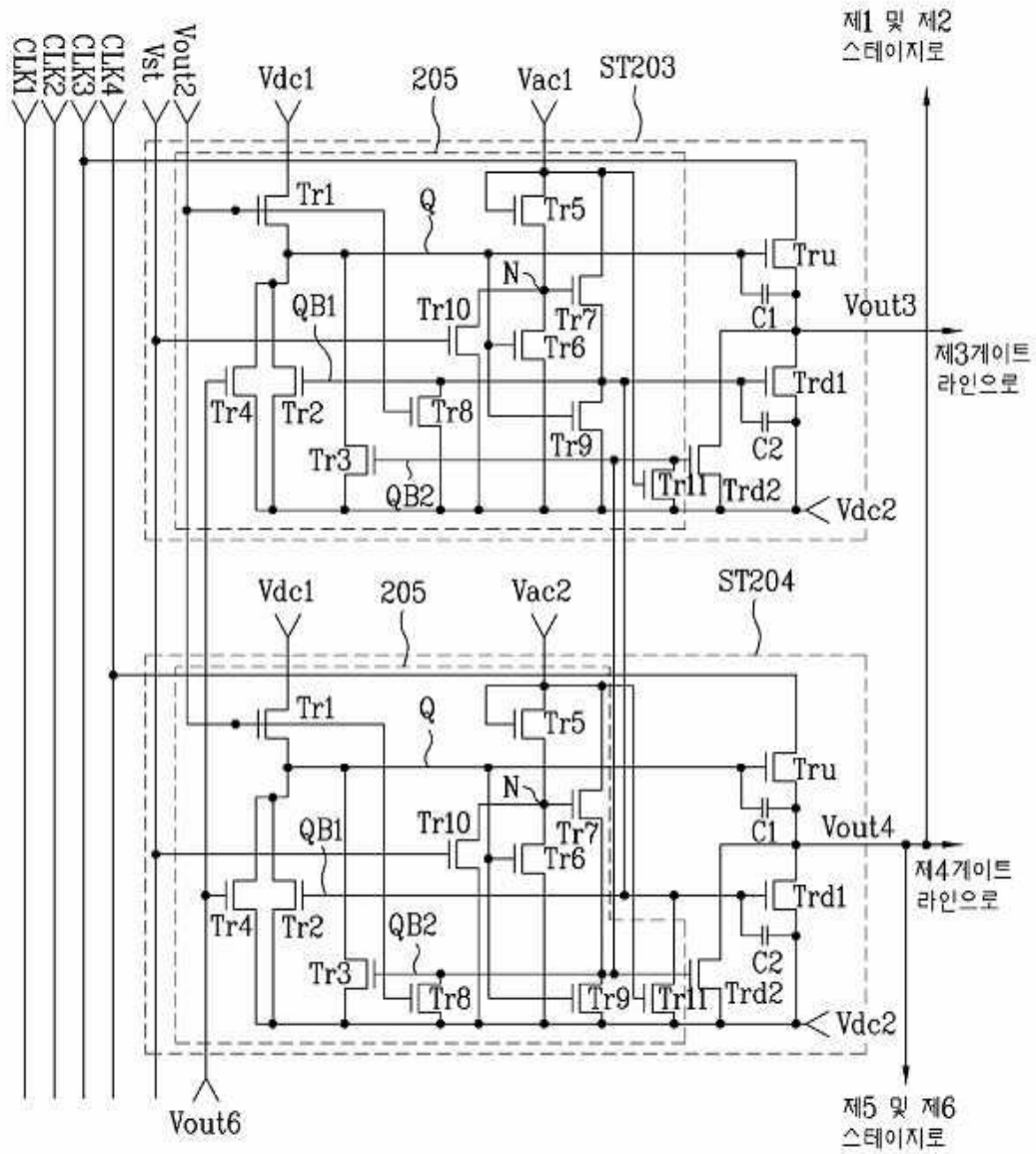


도면3

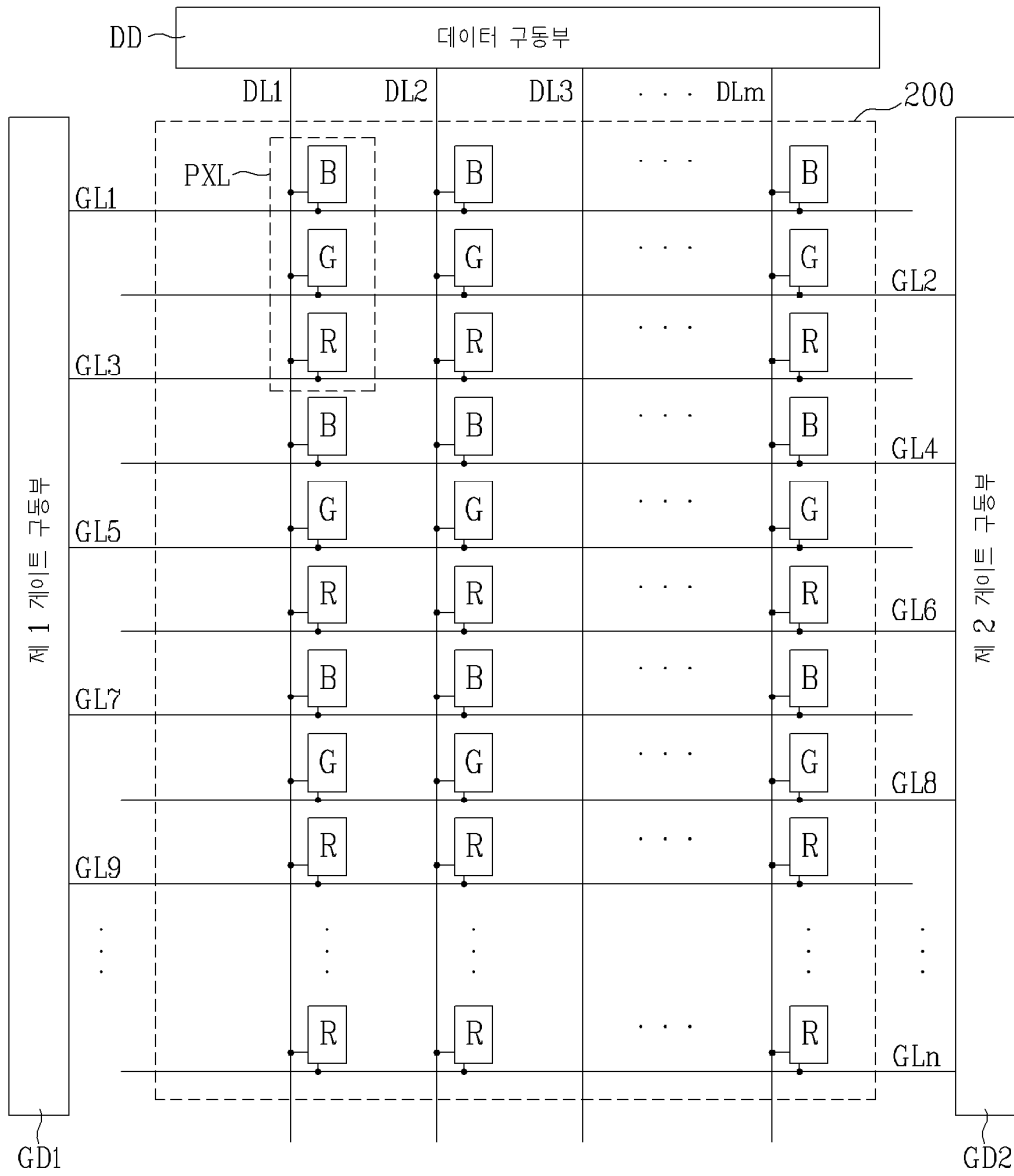




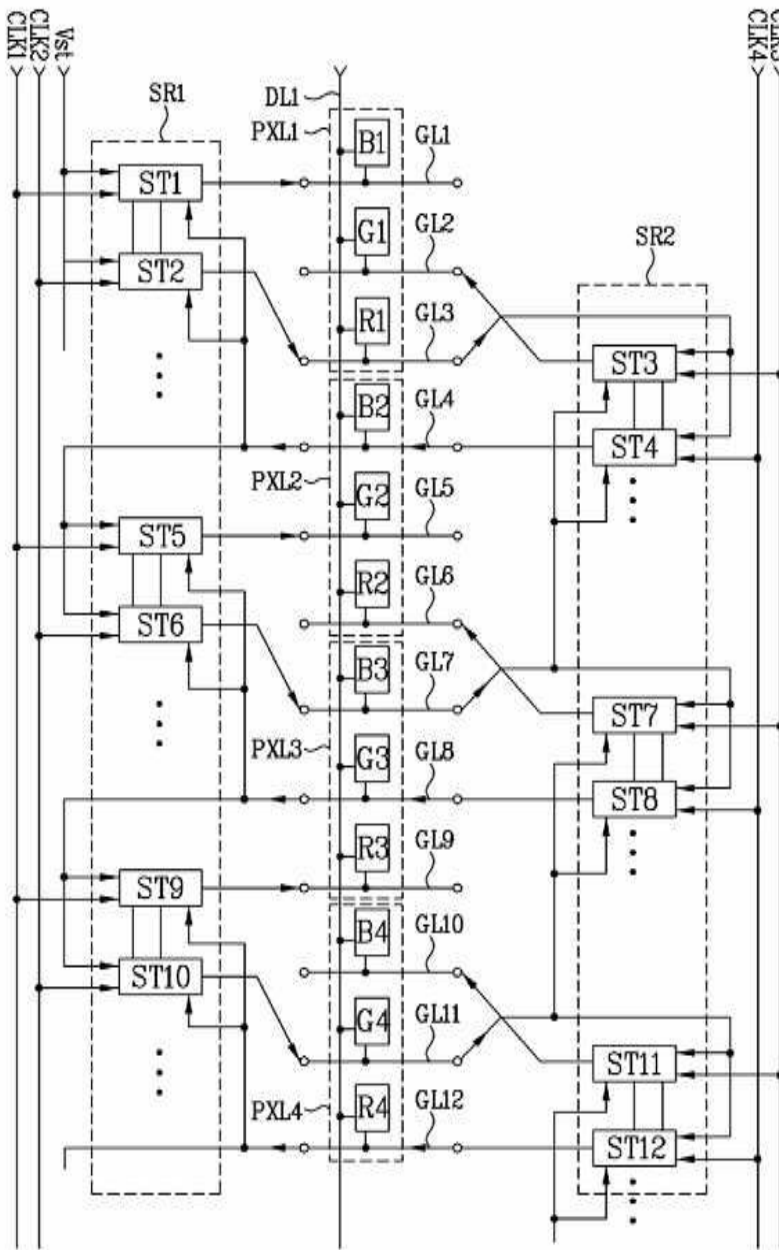
도면4



도면5



도면6



도면7

