



(10) **DE 103 40 917 B4** 2012.03.22

(12) **Patentschrift**

(21) Aktenzeichen: **103 40 917.3**
(22) Anmeldetag: **05.09.2003**
(43) Offenlegungstag: **07.04.2005**
(45) Veröffentlichungstag
der Patenterteilung: **22.03.2012**

(51) Int Cl.: **G11C 29/00 (2006.01)**

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:
Qimonda AG, 81739, München, DE

(74) Vertreter:
Wilhelm & Beck, 80639, München, DE

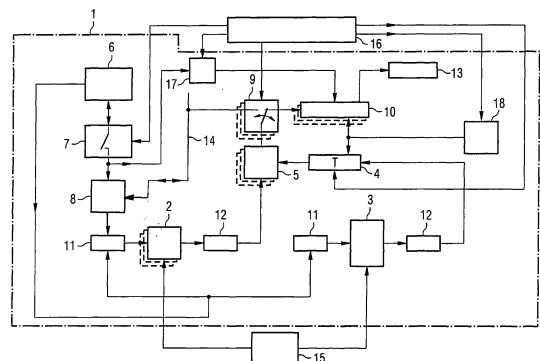
(72) Erfinder:
Beer, Peter, 82327, Tutzing, DE; Schramm, Achim, Dr., 81673, München, DE; Versen, Martin, Dr., 81669, München, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

DE	101 45 745	B4
DE	100 34 852	A1
DE	101 04 575	A1
DE	101 17 891	A1
US	6 260 154	B1

(54) Bezeichnung: **Verfahren und Vorrichtung zum Überprüfen von Ausgangssignalen einer integrierten Schaltung**

(57) Zusammenfassung: Es wird eine Vorrichtung und ein Verfahren vorgeschlagen, die eine Überprüfung ermöglichen, ob ein Ausgeben von Signalen durch eine Schreibschaltung einer integrierten Schaltung gemäß einer vorgegebenen Spezifikation erfolgt. Dabei wird eine systemimmanente hohe Präzision einer externen Testeinrichtung verwendet, um ein bausteininternes Überprüfen eines spezifikationsgemäßen Ausgebens eines Datensignals und eines Datenabtastsignals der integrierten Schaltung bereitzustellen.



Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zum Überprüfen von Ausgangssignalen einer integrierten Schaltung.

[0002] Betriebsfrequenzen von modernen, dynamischen Speicherbausteinen (DRAMs) werden immer höher. Angaben in Spezifikationen für einzelne Typen der dynamischen Speicherbausteine legen dabei fest, in welchem zeitlichen Bezug einzelne Signale der Speicherbausteine zueinander stehen sollen. Diese Angaben in den Spezifikationen müssen Kunden der Speicherbausteine gegenüber garantiert werden.

[0003] Moderne Testsysteme zum Messen eines Zeitverhaltens der Signale der dynamischen Speicherbausteine werden vor allem Anforderungen beim Messen eines Ausgabe-Zeitverhaltens von Ausgangssignalen der Speicherbausteine nicht mehr gerecht. Ungenauigkeiten beim Messen bei einer Benutzung der Testsysteme sind dabei größer, als für die in den Spezifikationen angegebenen Werte erlaubt ist. Es existieren verschiedene Ansätze, das genannte Problem in den Griff zu bekommen. Dabei wird versucht, durch ein sogenanntes „robustes Design“ der Speicherbausteine die nicht mehr messbaren Werte eines Ausgabe-Zeitverhaltens sicherzustellen. Ferner wird versucht, neuartige Testsysteme bereit zu stellen, die imstande sind, eine Einhaltung der in den Spezifikationen angegebenen zeitlichen Bezüge zwischen den Signalen der Speicherbausteine zu überprüfen.

[0004] Im Fall des robusten Designs wird versucht, das Ausgabe-Zeitverhalten unabhängig von Prozessschwankungen bei der Herstellung der Speicherbausteine auszugestalten. Dabei soll es beispielsweise nicht mehr darauf ankommen, ob bestimmte Einsatzspannungen von Transistoren oder Widerstandswerte von Leitungen der Speicherbausteine in einem gewünschten Toleranzbereich liegen. Es wird also von Design- und Layoutseite her angestrebt, eine Prozessschwankungs-Unabhängigkeit einzelner Elemente der dynamischen Speicherbausteine und damit des Ausgabe-Zeitverhaltens für ausgewählte Ausgangssignale zu gewährleisten. Nachteilig lässt sich das robuste Design allerdings nicht beliebig weit treiben, weil dafür insbesondere zusätzliche Chipfläche benötigt und das Design damit teuer wird. Außerdem steigen Risiken, dass trotz möglichst robusten Designs Ausfälle auftreten, die nicht abgetestet werden können.

[0005] Ein Problem herkömmlicher Testsysteme besteht darin, dass diese üblicherweise nicht in der Lage sind, zeitliche Bezüge zwischen mehreren, dem Testsystem zugeführten Signalen mit einer hohen Auflösung zu ermitteln. Dies ist insbesondere darauf

zurückzuführen, dass die Testsysteme ein internes Zeitnormal, in der Regel ein internes Referenztaktsignal, bereitstellen, bezüglich dem alle dem Testsystem zugeführten Signale gemessen werden. Dies bedeutet, dass das Testsystem die zeitlichen Bezüge zwischen den Signalen aufgrund ihrer jeweiligen Relation zum Referenztaktsignal rechnerisch ermittelt. Hohe zeitliche Auflösungen sind auf diese Art und Weise jedoch ungünstigerweise nur äußerst aufwendig zu realisieren.

[0006] Somit birgt der zweite genannte Ansatz zur Lösung des Problems den Nachteil, dass moderne und geeignete Testsysteme teuer sind bzw. für einen Hochvolumentest, in dem Tausende der Speicherbausteine innerhalb eines beschränkten Zeitraums getestet werden müssen, gar nicht zur Verfügung stehen.

[0007] Aus DE 101 45 745 B4 ist eine integrierte Schaltung und ein Verfahren zu deren Betrieb bekannt. Die integrierte Schaltung weist einen ersten Ausgangstreiber zur Ausgabe eines ersten digitalen Signals, einen zweiten Ausgangstreiber zur Ausgabe eines zweiten digitalen Signals und einen Anschluss für ein Referenzsignal auf. Zudem ist eine Empfängerschaltung vorgesehen, die über zwei verschiedene Eingänge mit dem ersten und dem zweiten Ausgangstreiber verbunden ist. Weiterhin sind Mittel zum Laufzeitabgleich zwischen den am ersten und am zweiten Eingang der Empfängerschaltung anliegenden digitalen Signalen vorgesehen. Zudem ist eine Bewertungsschaltung zum Messen und Bewerten einer Phasenverschiebung zwischen einem anliegenden Signal und dem Zeitreferenzsignal vorgesehen.

[0008] Aus DE 101 17 891 A1 ist eine DRAM-Schaltung bekannt, die einen Taktgenerator aufweist. Der Taktgenerator stellt ein Testsignal mit einem genauen zeitlichen Bezug zu einem Referenzsignal zur Verfügung.

[0009] Aus DE 101 04 575 A1 ist ein Verfahren zum Testen eines integrierten Speichers bekannt, bei dem ein Datensignal und unabhängig davon ein Datenreferenzsignal innerhalb eines Zugriffszyklus parallel gemessen und bewertet werden. Mithilfe des Verfahrens ist eine genaue und applikationsnahe Messung eines Timingparameters möglich, der den zeitlichen Abstand zwischen dem Datensignal und dem Datenreferenzsignal erfasst.

[0010] Aus DE 100 34 852 A1 ist ein Verfahren und eine Vorrichtung zum Einlesen und Überprüfen der zeitlichen Lage von aus einem zu testenden Speicherbaustein ausgelesenen Datenwortsignalen bekannt. Das Datenantwortsignal wird in einem Testempfänger mit einem verzögerten Datenstrobe-Antwortsignal in ein Datenlatch gespeichert. Mittels eines als Kalibriersignals erfolgten symmetri-

schen Taktsignals wird eine Kalibrierung der zeitlichen Lage des zum Einlatchen verzögerten Datenstrobe-Antwortsignals gegenüber des Datenantwortsignals durchgeführt. Die beim Kalibriervorgang in eine Verzögerungseinrichtung einprogrammierte Verzögerungszeit liefert ein Maß zum Abtasten genauer Zeitverhältnisse zwischen dem Datenstrobe-Antwortsignal und dem Datenantwortsignal.

[0011] Aus US 6,260,154 B1 ist eine Anordnung zum Justieren eines Datensignals in Bezug auf ein Datentaktsignal bekannt, das während einer Leseoperation von einem Speicherbaustein empfangen wird. Das Datensignal und das Datentaktsignal werden von der Justiereinrichtung empfangen und es wird ein zeitlicher Offset detektiert. Der zeitliche Offset wird in einer Vergleichsschaltung mit einem zulässigen Bereich verglichen. Falls der zeitliche Offset außerhalb des zulässigen Bereichs liegt, wird eine zeitliche Verzögerung zwischen dem Datentaktsignal und dem Datensignal so eingestellt, dass der Offset innerhalb des gültigen Bereichs liegt.

[0012] Nach dem oben Gesagten ist es die Aufgabe der vorliegenden Erfindung, ein Verfahren und eine Vorrichtung zum verbesserten Testen des Ausgabe-Zeitverhaltens von Ausgangssignalen von dynamischen Speicherbausteinen bereit zu stellen.

[0013] Die Aufgabe wird mit einem Verfahren gemäß Patentanspruch 1 gelöst. Bevorzugte Weiterbildungen der Erfindung sind in abhängigen Ansprüchen angegeben.

[0014] Das erfindungsgemäße Verfahren dient einem Überprüfen, ob ein Ausgeben von Signalen durch eine Schreibeinheit einer integrierten Schaltung gemäß einer vorgegebenen Spezifikation erfolgt. Dabei stehen ein erstes Datensignal und ein zugehöriges zweites Datensignal in einem zeitlichen Bezug zueinander, wobei die Spezifikation einen Zeitversatzgrenzwert zwischen dem ersten Datensignal und dem zweiten Datensignal definiert. Die integrierte Schaltung weist eine Leseschaltung zum Lesen der Signale und wenigstens zwei Anschlüsse zum Anlegen des ersten und des zweiten Datensignals auf. Jeder der beiden Anschlüsse ist mit der Schreib- und Leseschaltung verbunden.

[0015] Beim Verfahren ist vorerst ein Bereitstellen eines externen ersten Kalibrierdatensignals und eines zugehörigen externen zweiten Kalibrierdatensignals am jeweils zugeordneten Anschluss der integrierten Schaltung vorgesehen, wobei das externe erste Kalibrierdatensignal und das externe zweite Kalibrierdatensignal gemäß dem Zeitversatzgrenzwert der Spezifikation zeitlich zueinander versetzt sind. Anschließend wird überprüft, ob die Leseschaltung das erste Kalibrierdatensignal korrekt einliest. In einer vorteilhaften Ausbildung erfolgt die Überprüfung der Le-

seschaltung in Bezug auf das korrekte Einlesen des ersten Kalibrierdatensignals in der Weise, dass die Leseschaltung derart eingestellt wird, dass der Zeitversatzwert einer Grenze zwischen einem Erkennen und einem Nichterkennen des externen ersten Kalibrierdatensignals im Wesentlichen entspricht.

[0016] In einer Weiterführung des Verfahrens erfolgt ein Bereitstellen eines ersten Testdatensignals und eines zugehörigen zweiten Testdatensignals von der zu überprüfenden Schreibeinheit in der integrierten Schaltung über die Anschlüsse an die Leseschaltung, so dass mittels des ersten Testdatensignals und des zweiten Testdatensignals Testdaten von der Leseschaltung empfangen werden. Schließlich erfolgt ein Vergleichen der bereitgestellten Testdaten mit den von der Leseschaltung empfangenen Testdaten, wobei ein Fehler erkannt wird, wenn die bereitgestellten von den empfangenen Testdaten abweichen.

[0017] In vorteilhafter Weise wird dadurch ein bausteininterner Test des Ausgabe-Zeitverhaltens von Ausgangssignalen der integrierten Schaltung ermöglicht. Außerdem wird eine systembedingte hohe Präzision eines externen Testsystems beim Bereitstellen von Kalibrierdatensignalen ausgenutzt, wobei die geringere Präzision des Testsystems beim Lesen unbeachtet bleiben kann.

[0018] Erfindungsgemäß wird dadurch der Speicherbaustein mittels einer externen Testeinrichtung und einer modifizierten Ein-/Ausgangsschaltung des Speicherbausteins in vorteilhafter Weise überprüft. Dabei wird zunächst ein Kalibriervorgang für die Leseschaltung des Speicherbausteins derart durchgeführt, dass der Speicherbaustein an einer Grenze gerade nicht mehr imstande ist, das externe erste Kalibrierdatensignal mit Hilfe der Leseschaltung gültig einzulesen. In weiterer Folge wird die Schreibeinheit des Speicherbausteins getestet, so dass man erfindungsgemäß als Ergebnis ein Einhalten oder Nicht-Einhalten der Spezifikationswerte erhält.

[0019] Die Erfindung sieht eine besonders nützliche Erweiterung einer Ein-/Ausgangsschaltung des Speicherbausteins zusammen mit einem Kalibriervorgang der Leseschaltung durch eine externe Testeinrichtung vor. Dadurch wird erreicht, dass der Speicherbaustein beim erfindungsgemäßen Überprüfen des Einhaltens der Spezifikationswerte durch die externe Testeinrichtung wirkungsvoll unterstützt wird. Als besonders vorteilhaft wird dabei angesehen, dass die externe Testeinrichtung, die im wesentlichen den eingangs erwähnten modernen Testsystemen entspricht, selektiv hinsichtlich ihrer hohen Präzision beim Bereitstellen von Signalen benutzt wird. Ein systembedingt geringes zeitliches Auflösungsvermögen von zeitlichen Bezügen von Signalen, die dem Testsystem von extern zugeführt werden, kann vorteilhaft unbenutzt bleiben. Eine besonders vorteilhafte selek-

tive Ausnutzung von Leistungspotential der modernen Testsysteme wird auf diese Weise unterstützt. Die geschilderten Nachteile der herkömmlichen Testsysteme können durch das erfindungsgemäße Verfahren also behoben werden. Die erfindungsgemäße Erweiterung der Ein-/Ausgangsschaltung ist im Zuge des Produktionsprozesses einfach durchzuführen und erfordert im Vergleich zu der unmodifizierten, standardmäßig vorgesehenen Ein-/Ausgangsschaltung lediglich einen geringfügigen Mehraufwand bei der Herstellung.

[0020] Gemäß einem weiteren Gesichtspunkt des erfindungsgemäßen Verfahrens definiert der Zeitversatzgrenzwert eine maximal zulässige Einrichtzeit und/oder eine minimal erforderliche Haltezeit zwischen Ausgangssignalen der integrierten Schaltung. Dabei wird das Einstellen der Leseschaltung zyklisch durchgeführt, wobei ein zeitliches Verzögern des zweiten externen Kalibrierdatensignals, das als externes Kalibrierdatenabtastsignal ausgebildet ist, durchgeführt wird. Ein Zeitversatzwert zwischen dem externen Kalibrierdatensignal und dem externen Kalibrierdatenabtastsignal wird derart eingestellt, dass ein Wechsel zwischen dem Erkennen und dem Nichterkennen des externen Kalibrierdatensignals durch die Leseschaltung auftritt.

[0021] Dadurch ist es in vorteilhafter Weise möglich, einen Kalibriervorgang für ein Einleseverhalten des Speicherbausteins möglichst genau an einer gewünschten Grenze zwischen dem Erkennen und dem Nichterkennen des externen Kalibrierdatensignals auszubilden.

[0022] Gemäß einer bevorzugten Ausführungsform des erfindungsgemäßen Verfahrens wird der Zeitversatzwert mit Hilfe einer Einstellschaltung stufenweise geändert, wobei bei einem Wechsel vom Nichterkennen zum Erkennen des externen Kalibrierdatensignals derjenige Zeitversatzwert eingestellt wird, der als letzter Wert das Nichterkennen des externen Kalibrierdatensignals bewirkt. Bei einem Wechsel vom Erkennen zum Nichterkennen des externen Kalibrierdatensignals wird derjenige Zeitversatzwert eingestellt, der als erster Wert das Nichterkennen des externen Kalibrierdatensignals bewirkt.

[0023] Auf diese Weise wird eine systemimmanente hohe Präzision eines externen Testgerätes ausgenutzt, um den Zeitversatzgrenzwert zwischen dem Datensignal und dem Datenabtastsignal der integrierten Schaltung derart einzustellen, dass ein Grenzbereich zwischen dem Erkennen und dem Nichterkennen des externen Kalibrierdatensignals erreicht wird. Eine Genauigkeit des Kalibriervorgangs des erfindungsgemäßen Verfahrens wird dadurch in vorteilhafter Weise unterstützt.

[0024] Gemäß einer weiteren bevorzugten Ausführungsform des erfindungsgemäßen Verfahrens werden Überprüfungsergebnisse aus dem Abweichen der bereitgestellten Testdaten von den empfangenen Testdaten ermittelt, wobei die Überprüfungsergebnisse nach jedem Bereitstellen der Testdaten und dem Vergleichen der bereitgestellten Testdaten mit den von der Leseschaltung empfangenen Testdaten ermittelt werden. Ferner können die ermittelten Überprüfungsergebnisse in einem Zellenfeld der integrierten Schaltung abgespeichert werden.

[0025] Es ist dadurch günstig möglich, das erfindungsgemäße Verfahren mit verschiedensten Datenmustern und -topologien durchzuführen, wodurch eine verbesserte und aussagekräftige Testabdeckung erzielt werden kann. Auf diese Weise ist es möglich, mit den abgespeicherten Überprüfungsergebnissen einen Verlauf des erfindungsgemäßen Überprüfens zu dokumentieren bzw. reproduzierbar auszugestalten.

[0026] Die erfindungsgemäße Vorrichtung ist zu einem Überprüfen eines Ausgebens von Signalen einer integrierten Schaltung gemäß einer vorgegebenen Spezifikation ausgebildet, wobei die Vorrichtung eine Schreibeinheit umfasst, mit der ein Datensignal und ein zugehöriges Datenabtastsignal, die in einem zeitlichen Bezug zueinander stehen, ausgebar sind. Die Vorrichtung weist eine Leseschaltung auf, mit der das Datensignal und das Datenabtastsignal einlesbar sind und wenigstens zwei Anschlüsse zum Einlesen/Ausgeben der Signale, wobei einer der Anschlüsse dem Datensignal und ein anderer der Anschlüsse dem Datenabtastsignal zugeordnet ist und wobei jeder der Anschlüsse mit der Schreibeinheit und mit der Leseschaltung verbunden ist. Weiterhin umfasst die Leseschaltung eine Einstellschaltung, mit der ein Zeitversatzwert zwischen dem Datensignal und dem zugehörigen Datenabtastsignal einstellbar ist, wobei an den jeweils zugeordneten Anschlüssen ein externes Kalibrierdatensignal und ein externes Kalibrierdatenabtastsignal derart bereitstellbar sind, dass das externe Kalibrierdatensignal und das externe Kalibrierdatenabtastsignal gemäß dem Zeitversatzgrenzwert der Spezifikation zueinander zeitversetzt sind. Eine Vergleichseinrichtung ist vorgesehen, mit deren Hilfe von der Schreibeinheit geschriebene Testdaten mit den von der Leseschaltung empfangenen Testdaten vergleichbar sind, wobei von der Vergleichseinrichtung ein Fehlersignal generierbar ist, wenn die geschriebenen Testdaten von den empfangenen Testdaten abweichen.

[0027] Die Erfindung wird im Folgenden anhand von Figuren detailliert beschrieben. Dabei zeigt:

[0028] [Fig. 1](#) ein prinzipielles Blockschaltbild einer Ein-/Ausgangsschaltung eines dynamischen Speicherbausteins;

[0029] **Fig. 2** ein prinzipielles Blockschaltbild einer Ausführungsform der erfindungsgemäßen Vorrichtung; und

[0030] **Fig. 3** ein Zeitdiagramm von Signalen des dynamischen Speicherbausteins, für die das erfindungsgemäße Verfahren eingesetzt werden kann.

[0031] **Fig. 1** zeigt schematisch einen Aufbau einer Ein-/Ausgangsschaltung **1**, wie sie beispielsweise in einem dynamischen Speicherbaustein mit doppelter Datenrate (DDR-DRAM) benutzt wird. Die Ein-/Ausgangsschaltung **1** umfasst dabei einen Datensignalein-/ausgang **2** zur Zuführung bzw. Senden eines Datensignals und einen Datenabtastsignalein-/ausgang **3** zur Zuführung bzw. Senden eines Datenabtastsignals. Der Datensignalein-/ausgang **2** und der Datenabtastsignalein-/ausgang **3** sind jeweils mit einer eigenen Treibereinrichtung **11** und mit einer eigenen Empfängereinrichtung **12** verbunden. Die beiden Empfängereinrichtungen **12** sind mit einem Empfangsregister **5** (Latch) verbunden, das einen Ausgang aufweist, der mit einem internen Datenpfad **14** des Speicherbausteins verbunden ist. Das Empfangsregister **5** liest das Datum des Datensignals bei einer einzuhaltenden zeitlichen Relation zwischen dem Datensignal und dem Datenabtastsignal ein. Das Datenabtastsignal erfüllt dabei die Funktion eines taktenden Einlesesignals, wobei die einzuhaltende Relation bestimmte zeitliche Abstände zwischen den taktenden Flanken des Datenabtastsignals und gültigen Daten des Datensignals betreffen. In DDR-RAMs besteht die einzuhaltende zeitliche Relation zwischen dem Datensignal und dem Datenabtastsignal darin, dass sowohl steigende als auch fallende Flanken des Datenabtastsignals mit einem gültigen Datum des Datensignals zeitlich ausgerichtet sind. Es muss dabei zwingend eine maximal erlaubte Verzögerungszeit zwischen jeder taktenden Flanke des Datenabtastsignals und jedem Erscheinen eines gültigen Datums des Datensignals eingehalten werden. Ferner muss für ein gültiges Einlesen des Datums eine Mindestzeit eingehalten werden, während der das gültige Datum des Datensignals nach jeder Flanke des Datenabtastsignals am Empfangsregister **5** anliegt.

[0032] Die beiden Empfängereinrichtungen **12** sind für einen Schreibvorgang in den Speicherbaustein vorgesehen, wobei ein externes, zu schreibendes Datensignal an den Datensignalein-/ausgang **2** und ein externes Datenabtastsignal an den Datenabtastsignalein-/ausgang **3** geführt wird und wobei das Datensignal und das Datenabtastsignal die genannten zeitlichen Bezüge zueinander aufweisen sollen. Über die beiden Empfängereinrichtungen **12** wird das Datum sodann vom Empfangsregister **5** in der oben geschilderten Weise eingelesen, woraufhin das Empfangsregister **5** das eingelesene Datum an seinem

Ausgang in weiterer Folge dem internen Datenpfad **14** zuführt.

[0033] Eine Synchronisierereinrichtung **6**, die mit den beiden Treibereinrichtungen **11** verbunden ist, ist vorgesehen, um ein Synchronisiersignal für die beiden Treibereinrichtungen **11** bereitzustellen. Das Synchronisiersignal soll die genannte zeitliche Ausrichtung („edge-alignment“) des Datenabtastsignals mit dem Datensignal sicherstellen. Dabei steuert die Synchronisierereinrichtung **6** die Treibereinrichtungen **11** des Datensignalein-/ausgangs **2** und des Datenabtastsignalein-/ausgangs **3** derart an, dass die genannten zeitlichen Relationen zwischen dem Datensignal am Datensignalein-/ausgang **2** und dem Datenabtastsignal am Datenabtastsignalein-/ausgang **3** erfüllt sind. Die Synchronisierereinrichtung **6** ist vorzugsweise als Delay-Locked-Loop (DLL) ausgebildet und kann im Prinzip als eine steuerbare Verzögerungsschaltung aufgefasst werden.

[0034] Bei einem Lesevorgang aus dem Speicherbaustein, bei dem der Speicherbaustein ein aktiver, d. h. ein treibender Teil eines Datenaustauschprozesses zwischen dem Speicherbaustein und einer lesenden Einrichtung ist, gelangen die Daten vom internen Datenpfad **14** in ein FIFO-Schieberegister **8**, das die Daten über die Treibereinrichtung **11** dem Datensignalein-/ausgang **2** zuführt. Vom Datensignalein-/ausgang **2** werden die Daten schließlich an die lesende Einrichtung, beispielsweise eine Controllereinrichtung, ausgegeben. Die Synchronisierereinrichtung **6** stellt dabei in der oben geschilderten Weise sicher, dass die in der Spezifikation angegebenen zeitlichen Bezugswerte zwischen dem Datensignal und dem Datenabtastsignal eingehalten werden.

[0035] Bei einem Schreiben in den Speicherbaustein stellt eine externe, schreibende Einrichtung das Datenabtastsignal (DQS-Signal) und das Schreibdatum bereit. Das Empfangsregister **5**, das über eine der Empfängereinrichtungen **12** mit dem Datensignalein-/ausgang **2** verbunden ist, bewertet ein geschriebenes Datum mit Hilfe einer Flanke des Datenabtastsignals. Dabei ist in der Spezifikation angegeben, bei welchem zeitlichen Versatzwert zwischen dem Datensignal und dem Datenabtastsignal der Speicherbaustein noch in der Lage sein muss, das geschriebene Datum korrekt zu interpretieren.

[0036] Beim Lesezugriff auf den Speicherbaustein generiert und treibt der Speicherbaustein also selbständig im Wesentlichen gleichzeitig das Datenabtastsignal und das Datensignal. Das Datenabtastsignal teilt dabei der aus dem Speicherbaustein auslesenden Einrichtung den Zeitpunkt mit, zu dem die Daten gültig sind und von der lesenden Einrichtung eingelesen werden können. Dabei ist dem Speicherbaustein gemäß Spezifikation auch eine gewisse tole-

rierte Ungenauigkeit beim Treiben des Datenabtastsignals und des Datensignals erlaubt.

[0037] Ein Überprüfen des beschriebenen Schreibzugriffs ist mit heutigem Testequipment noch gut möglich. Zu diesem Zweck müssen mit Hilfe eines externen Testsystems das Datenabtastsignal und das Datensignal in einem bestimmten zeitlichen Bezug an den Speicherbaustein gesendet werden. Dies ist aufgrund der Tatsache, dass beide Signale von demselben Testsystem bereit gestellt werden, mit einer hohen Genauigkeit möglich.

[0038] Allerdings ist ein Überprüfen des beschriebenen Lesezugriffs mit den heute üblicherweise benutzten Testsystemen nach neuesten Spezifikationen der Speicherbausteine nicht mehr möglich. Ungenauigkeiten, die sich beim Messen der zeitlichen Bezüge zwischen den einzelnen Flanken des Datensignals und des Datenabtastsignals ergeben, können den gemessenen Wert so verfälschen, dass nicht sicher festgestellt werden kann, ob die Spezifikation eingehalten ist oder nicht. Dies ist vor allem darin begründet, dass die herkömmlichen Testsysteme nicht in der Lage sind, die zeitlichen Bezüge aufgrund der rechnerischen Ermittlungsweise mit ausreichender Genauigkeit aufzulösen.

[0039] Erfindungsgemäß wird deshalb eine Modifikation in der zuvor beschriebenen Ein-/Ausgangsschaltung **1** vorgeschlagen, mit der das Zeitverhalten des Lesezugriffs bausteinintern („On-Chip“) getestet werden kann.

[0040] **Fig. 2** zeigt ein prinzipielles Blockschaltbild eines Ausführungsbeispiels einer erfindungsgemäß erweiterten Ein-/Ausgangsschaltung **1**. In der Figur ist die erfindungsgemäß erweiterte Ein-/Ausgangsschaltung **1** innerhalb einer strichpunktieren Umrandung dargestellt. Eine externe Testeinrichtung **15** und eine externe Teststeuereinheit **16** sind außerhalb der Ein-/Ausgangsschaltung **1** angeordnet. Durch die erfindungsgemäße Erweiterung ist es vorgesehen, dass der Speicherbaustein mittels der Teststeuereinheit **16** in einen Testmodus schaltbar ist. Zu diesem Zweck steuert die Teststeuereinheit **16** eine Testdateneinrichtung **7**, ein Verzögerungselement **17**, eine Schaltereinrichtung **9**, eine Steuereinrichtung **18** sowie eine programmierbare Verzögerungseinrichtung **4** an. Die genannten Elemente werden zur Durchführung des erfindungsgemäßen Verfahrens in nachfolgend beschriebener Weise eingesetzt. Es wird dabei ein Überprüfen eines Einhaltens einer maximal erlaubten Einrichtzeit zwischen dem Datensignal und dem Datenabtastsignal beim Lesevorgang aus dem Speicherbaustein beschrieben:

Die Schaltereinrichtung **9** ist mit dem Empfangsregister **5** und mit der Teststeuereinheit **16** sowie mit einer Vergleichseinrichtung **10** verbunden. Zum Schalten des Speicherbausteins in den Testmodus wird

die Schaltereinrichtung **9** von der externen Teststeuereinheit **16** derart umgeschaltet, dass Daten, die vom Empfangsregister **5** eingelesen werden, über die Schaltereinrichtung **9** in die Vergleichseinrichtung **10** geschrieben werden. Von der externen Testeinrichtung **15**, die mit dem Datensignalein-/ausgang **2** und mit dem Datenabtastsignalein-/ausgang **3** verbunden ist, wird sodann ein externes Kalibrierdatensignal an den Datensignalein-/ausgang **2** und ein externes Kalibrierdatenabtastsignal an den Datenabtastsignalein-/ausgang **3** zugeführt. Das Kalibrierdatensignal und das Kalibrierdatenabtastsignal stehen dabei in einem definierten zeitlichen Bezug zueinander, so dass das Datum über die Empfängereinrichtung **12** des Datensignalein-/ausgangs **2** mit Hilfe des Kalibrierdatenabtastsignals vom Empfangsregister **5** eingelatcht wird. Dabei wird das Kalibrierdatenabtastsignal dem Empfangsregister **5** über die Empfängereinrichtung **12** des Datenabtastsignalein-/ausgangs **3** zugeführt. Das Kalibrierdatenabtastsignal wird mit Hilfe einer programmierbaren Verzögerungseinrichtung **4** zeitlich derart verzögert, dass das Empfangsregister **5** nicht mehr in der Lage ist, das Kalibrierdatensignal gültig einzulatchen. Dies bedeutet letztlich, dass der in der Spezifikation angegebene maximale Wert für die Einrichtzeit zwischen dem Kalibrierdatensignal und dem Kalibrierdatenabtastsignal mithilfe der externen Testeinrichtung **15** überzogen wird, so dass der Speicherbaustein nicht mehr in der Lage ist, das Datum gültig einzulesen.

[0041] Eine Entscheidung, ob das Datum vom Empfangsregister **5** gültig eingelesen wurde oder nicht, wird von der Vergleichseinrichtung **10** getroffen. Zu diesem Zweck können beispielsweise vor Beginn der Durchführung des erfindungsgemäßen Verfahrens Testdaten in die Testdateneinrichtung **7** eingeschrieben werden. Die Testdateneinrichtung **7** schreibt die Testdaten synchronisiert mit den Daten der externen Testeinrichtung **15** über das Verzögerungselement **17** ebenfalls in die Vergleichseinrichtung **10**. In der Vergleichseinrichtung **10** werden die Daten der externen Testeinrichtung **15** sodann mit den Daten der Testdateneinrichtung **7** verglichen. Im Falle, dass die Daten nicht übereinstimmen, ist eine Kalibrierungsprozedur der Leseschaltung des Speicherbausteins erfolgreich abgeschlossen. Dies bedeutet, dass der Speicherbaustein nunmehr nicht mehr imstande ist, die von der externen Testeinrichtung **15** geschriebenen Kalibrierdatensignale gültig einzulesen. Es ist also ein Ziel des beschriebenen Kalibriervorgangs, einen sogenannten „PASS/FAIL-Übergang“ bezüglich des Erkennens des externen Kalibrierdatensignals einzustellen.

[0042] Eine Annäherung an diesen PASS/FAIL-Übergang kann sowohl von einer PASS- als auch von einer FAIL-Seite her erfolgen. Die Steuereinrichtung **18** ist mit der Teststeuereinheit **16** verbunden und wird von dieser angesteuert. Ferner ist die Steuer-

einrichtung **18** mit der Vergleichseinrichtung **10** und mit der programmierbaren Verzögerungseinrichtung **4** verbunden. In der Verzögerungseinrichtung **4** ist ein Verzögerungswert speicherbar, der eine Verzögerungszeit T der Verzögerungseinrichtung **4** festlegt.

[0043] Die Steuereinrichtung **18** steuert den Programmierungsvorgang der programmierbaren Verzögerungseinrichtung **4** im Zuge des Kalibriervorgangs in Abhängigkeit von den Vergleichsergebnissen in der Vergleichseinrichtung **10**. Dabei stellt die Steuereinrichtung **18** die Verzögerungszeit T der programmierbaren Verzögerungseinrichtung **4** in einem stufenweise, zyklisch erfolgenden Einstellvorgang derart ein, dass der angestrebte PASS/FAIL-Übergang des Erkennens des externen Kalibrierdatensignals erzielt wird. Dies wird mit einer Verzögerungszeit T erreicht, die so groß ist, dass sie gerade nicht mehr ein korrektes Einlesen und gerade schon ein schon fehlerhaftes Einlesen bewirkt. Die dazu in die Verzögerungseinrichtung **4** programmierte Verzögerungszeit T ist somit die geringstmöglich überschrittene maximal erlaubte Einrichtzeit zwischen dem Datum des Datensignals und einer der Flanken des Datenabtastsignals.

[0044] Bei der Annäherung von der PASS-Seite wird die Einrichtzeit zwischen dem externen Kalibrierdatensignal und dem externen Kalibrierdatenabtastsignal während des Einstellvorgangs stets eingehalten. Zum Erreichen des PASS/FAIL-Übergangs wird von der Steuereinrichtung **18** derjenige Zeitwert in die programmierbare Verzögerungseinrichtung **4** programmiert, der als erster das gewünschte FAIL-Ergebnis des Erkennens des externen Kalibrierdatensignals bewirkt. Dies bedeutet, dass jetzt die maximal erlaubte Einrichtzeit zwischen dem externen Kalibrierdatensignal und dem externen Kalibrierdatenabtastsignal für ein korrektes Einlesen geringstmöglich überschritten ist, wodurch der Speicherbaustein außerstande ist, das externe Kalibrierdatensignal der externen Testeinrichtung **15** gültig einzulesen.

[0045] Bei einer Annäherung von der FAIL-Seite wird die maximal erlaubte Einrichtzeit zwischen dem externen Kalibrierdatensignal und dem externen Kalibrierdatenabtastsignal während des Einstellvorgangs permanent überschritten. In diesem Fall wird von der Steuereinrichtung **18** derjenige Zeitwert in die programmierbare Verzögerungseinrichtung **4** programmiert, der nach einem Übergang zu einem PASS-Ergebnis des Erkennens des externen Kalibrierdatensignals als letzter das Nichterkennen des externen Kalibrierdatensignals bewirkt hatte. Somit ist nunmehr auch im Fall der Annäherung von der FAIL-Seite der gewünschte PASS/FAIL-Übergang des Erkennens des externen Kalibrierdatensignals erreicht.

[0046] Die beschriebene Kalibrierung stellt im Prinzip also eine Kalibrierung der Verzögerungseinrich-

tung **4** des Speicherbausteins dar. Es wird zu diesem Zweck eine bausteininterne, intrinsische Verzögerungszeit einer Verbindung zwischen der Empfängereinrichtung **12** des Datenabtastsignalein-/ausgangs **3** und dem Empfangsregister **5** mit Hilfe der programmierbaren Verzögerungseinrichtung **4** erfindungsgemäß verkürzt oder verlängert. Dadurch kann der für das erfindungsgemäße Verfahren erforderliche PASS/FAIL-Übergang für das Erkennen des externen Kalibrierdatensignals erreicht werden.

[0047] Mit dem Einstellen des PASS/FAIL-Übergangs des Erkennens des externen Kalibrierdatensignals ist das Kalibrieren des Speicherbausteins im Zuge der Durchführung des erfindungsgemäßen Verfahrens abgeschlossen. Als nächstes wird der Speicherbaustein mit Hilfe der Teststeuereinheit **16** für ein sogenanntes „internes Lesen“ eingestellt. Dabei schreibt der Speicherbaustein selbständig Testdaten gemäß einem dem Speicherbaustein von seiner Produktion her immanenten Ausgabe-Zeitverhalten.

[0048] Zu diesem Zweck werden Testdaten von der Testdateneinrichtung **7** über das FIFO-Schieberegister **8**, die Treibereinrichtung **11** an den Datensignalein-/ausgang **2** gesendet. Vom Datensignalein-/ausgang **2** werden die Daten dann über die zugeordnete Empfängereinrichtung **12** an das Empfangsregister **5** gesendet. Der zeitliche Bezug zwischen dem Datensignal und dem Datenabtastsignal wird von der Synchronisiereinrichtung **6** bereitgestellt. Zu diesem Zweck werden die beiden Treibereinrichtungen **11** von der Synchronisiereinrichtung **6** in der oben beschriebenen Weise angesteuert.

[0049] Aufgrund der Tatsache, dass die in der Spezifikation angegebenen Werte für die maximal erlaubte Einrichtzeit zwischen dem Datensignal und dem Datenabtastsignal Werte darstellen, die dem Kunden gegenüber garantiert werden, wird erwartet, dass der Baustein diese Spezifikationswerte im operativen Betrieb einhält, also permanent unterschreitet. Dies bedeutet, dass auch das über die im Kalibriervorgang programmierbare Verzögerungseinrichtung **4** geführte, verzögerte Datenabtastsignal in der Lage sein muss, am Empfangsregister **5** ein gültiges Einlesen des Testdatums zu bewirken. Ein Evaluieren des gültigen Einlesens der Testdaten erfolgt, wie auch schon beim vorangegangenen Kalibrieren, mit Hilfe der Vergleichseinrichtung **10**. Dabei vergleicht die Vergleichseinrichtung **10** die von der Testdateneinrichtung **7** über das Verzögerungselement **17** gesendeten Testdaten mit den vom Empfangsregister **5** über die Schaltereinrichtung **9** an die Vergleichseinrichtung **10** gesendeten Testdaten.

[0050] Ergebnisse dieses Vergleichens werden von der Vergleichseinrichtung **10** in ein Zellenfeld **13** des Speicherbausteins geschrieben. Das „interne Lesen“ soll somit den Nachweis erbringen, dass der Spei-

cherbaustein imstande ist, die in der Spezifikation angegebenen Werte für die maximale Einrichtzeit zu unterschreiten. Es wird also erwartet, dass der Speicherbaustein fähig ist, ein mit Hilfe der externen Testeinrichtung **15** auf ein FAIL-Verhalten kalibriertes Einleseverhalten des Speicherbausteins permanent zu durchbrechen, d. h. ein permanentes PASS-Verhalten bereitzustellen. Für den Fall, dass das von der Testdateneinrichtung **7** geschriebene Testdatum vom Empfangsregister **5** nicht gültig eingelesen werden kann, verletzt der Speicherbaustein das spezialisierte Ausgabe-Zeitverhalten für die maximale Einrichtzeit zwischen Datensignal und Datenabtastsignal. Dies bedeutet, dass der Speicherbaustein außerstande ist, die in der Spezifikation angegebenen Werte für die maximale Einrichtzeit einzuhalten und daher nicht an den Kunden ausgeliefert werden darf.

[0051] Das erfindungsgemäße Überprüfungsprinzip kann analog zu der oben beschriebenen Weise auch für eine Überprüfung einer minimal erforderlichen Haltezeit zwischen dem Datensignal und dem Datenabtastsignal verwendet werden. In diesem Fall soll sichergestellt werden, dass der Baustein in der Lage ist, die minimal erforderliche Haltezeit zwischen dem Datensignal und dem Datenabtastsignal bereit zu stellen, das heißt permanent zu überschreiten. Das dazu notwendige Kalibrieren des Speicherbausteins mit Hilfe der externen Testeinrichtung **15** erfolgt in analoger Weise zum oben beschriebenen Kalibrieren für die maximal zulässige Einrichtzeit. Das heißt, es wird vorerst ein PASS/FAIL-Übergang für das Erkennen des externen Kalibrierdatensignals eingestellt. Zu diesem Zweck wird mit Hilfe der Steuereinrichtung **18** in Abhängigkeit von Überprüfungsergebnissen der Vergleichseinrichtung **10** derjenige Zeitwert in die programmierbare Verzögerungseinrichtung **4** programmiert, der das Nichterkennen des externen Kalibrierdatensignals bewirkt.

[0052] Auch für das Überprüfen der minimal erforderlichen Haltezeit wird sodann mit Hilfe der externen Teststeuereinheit **16** das interne Lesen im Speicherbaustein initiiert. Der Speicherbaustein muss dabei mit dem im Kalibriervorgang programmierten Wert für die programmierbare Verzögerungseinrichtung **4** in der oben beschriebenen Weise in der Lage sein, Testdaten von der Testdateneinrichtung **7** gültig einzulesen. Ein Überprüfen des internen Lesens erfolgt analog wie oben geschildert beim Überprüfen der maximal erlaubten Einrichtzeit.

[0053] Das erfindungsgemäße Verfahren kann vorteilhaft mit verschiedenen Datentopologien, Temperaturen und elektrischen Spannungspegeln wiederholt werden, so dass eine bessere Testabdeckung erzielt wird. Mehr Vorhalt gegenüber den Werten der Spezifikation kann dadurch erzielt werden, dass der im Kalibriervorgang programmierte Wert für die programmierbare Verzögerungseinrichtung **4** noch

kritischer eingestellt wird. Beispielsweise kann bei der Überprüfung der minimal erforderlichen Haltezeit der in die programmierbare Verzögerungseinrichtung **4** programmierte Wert nach dem PASS/FAIL-Übergang um einen weiteren Schritt vergrößert werden. Dadurch wird der Speicherbaustein zur Einhaltung der minimal erforderlichen Haltezeit noch stärker gefordert, was eine Sicherheit eines Nachweises des Einhaltens der Spezifikationswerte in vorteilhafter Weise steigert.

[0054] Die Durchführung des erfindungsgemäßen Verfahrens mit verschiedenen Datentopologien kann beispielsweise bezwecken, dass auf benachbarten Signalleitungen des Speicherbausteins inverse Signale getrieben werden sollen. Dabei berücksichtigt das erfindungsgemäße Verfahren ein spezifikationsgemäßes Ausgeben aufgrund von Kopplungseffekten zwischen den benachbarten Signalleitungen. Ferner können dadurch auch diverse Worst-Case-Topologien, die sich in veränderten Eigenschaften des Speicherbausteins während des Testens bei wechselnder Temperatur bzw. veränderten Treiberspannungspegeln auswirken, berücksichtigt werden.

[0055] Die Testdateneinrichtung **7** kann vorzugsweise als Testdatengenerator ausgebildet sein, der sämtliche für die Überprüfung benötigten Testdaten generiert. Beispielsweise können so pro Überprüfungsvorgang beim internen Lesen mehrere Testdaten in der oben beschriebenen Weise über den Datensignalein-/ausgang **2** an das Empfangsregister **5** und in weiterer Folge über die Schaltereinrichtung **9** an die Vergleichseinrichtung **10** bzw. über das Verzögerungselement **17** in die Vergleichseinrichtung **10** geschrieben werden.

[0056] [Fig. 3](#) zeigt einen prinzipiellen Zeitverlauf des Datensignals DQ(7:0) und des Datenabtastsignals DQS, die zeitlich beide auf ein Clock-Signal CLK des Speicherbausteins bezogen sind. Die maximal erlaubte Einrichtzeit zwischen dem Datenabtastsignal DQS und dem Datensignal DQ(7:0) ist als $t_{DQSQ(max)}$ definiert. Diese Zeit gilt sowohl zwischen einer steigenden und einer fallenden Flanke des Datenabtastsignals DQS und einem gültigen Datum des Datensignals DQ(7:0). Ferner ist in der [Fig. 3](#) die minimal erforderliche Haltezeit $t_{QH(min)}$ zwischen dem Datenabtastsignal DQS und dem Datensignal DQ(7:0) dargestellt. Auch die minimal erforderliche Haltezeit $t_{QH(min)}$ ist sowohl zwischen einer steigenden Flanke des Datenabtastsignals DQS und dem Datensignal DQ(7:0) und einer fallenden Flanke des Datenabtastsignals DQS und einem gültigen Datum des Datensignals DQ(7:0) definiert.

[0057] In der [Fig. 3](#) ist weiterhin zu erkennen, dass das Datenabtastsignal DQS und das Datensignal DQ(7:0) idealerweise „edge-aligned“ zueinander zeitversetzt sind. Dies bedeutet, dass die Flanken des Da-

tenabtastsignals DQS und des Datensignals DQ(7:0) idealerweise einen Zeitversatz von im Wesentlichen Null aufweisen. Wenn also das Datenabtastsignal DQS seine steigende Flanke aufweist, sollte idealerweise auch das Datensignal DQ(7:0) sein gültiges Datum aufweisen. Somit stellt im Prinzip die maximale erlaubte Einrichtzeit $d_{TQSQ(max)}$ eine Set-Up-Zeit und die minimal erforderliche Haltezeit $t_{QH(min)}$ eine Hold-Zeit dar.

[0058] Das erfindungsgemäße Verfahren überprüft in vorteilhafter Weise die maximal erlaubte Einrichtzeit $t_{QDSQ(max)}$ und die minimal erforderliche Haltezeit $t_{QH(min)}$ sowohl zwischen der steigenden und der fallenden Flanke des Datenabgangssignals DQS und dem Datensignal DQ(7:0).

[0059] Die erfindungsgemäße Erweiterung der Ein-/Ausgangsschaltung **1** ist vorzugsweise für jeden der Datensignalein-/ausgänge **2** ausgebildet. In der **Fig. 2** ist diese Diversifizierung der erfindungsgemäßen Erweiterung auf die einzelnen Datensignalein-/ausgänge **2**, Empfangsregister **5**, Vergleichseinrichtungen **10** und Schaltereinrichtungen **9** angedeutet. In vorteilhafter Weise lässt sich somit für jeden einzelnen der Datensignalein-/ausgänge **2** das spezifikationsgemäße Ausgeben des Datensignals in Relation zum Datenabtastsignal überprüfen.

[0060] Um aus den Einzelüberprüfungsergebnissen für die einzelnen Datensignalein-/ausgänge **2** ein Gesamtüberprüfungsergebnis für den gesamten Speicherbaustein zu erhalten, ist es erforderlich, die Einzelüberprüfungsergebnisse zum Gesamtüberprüfungsergebnis zu verknüpfen. Diese Verknüpfung kann beispielsweise mittels einer logischen Konjunktion (UND-Operation) in der Vergleichseinrichtung **10** erfolgen. Das Gesamtergebnis richtet sich dabei nach dem schlechtesten Einzelergebnis. Das heißt, dass für den Fall, dass nur ein einzelner der Datensignalein-/ausgänge **2** im Zuge des internen Lesens nicht in der Lage ist, Daten gültig einzulesen, der gesamte Speicherbaustein mit FAIL bewertet wird. Nachdem die programmierbare Verzögerungseinrichtung **4** lediglich einmalig vorhanden ist, muss die programmierbare Verzögerungseinrichtung **4** derart programmiert werden, dass sie den oben geschilderten PASS/FAIL-Übergang für das Erkennen des externen Kalibrierdatensignals für alle vorhandenen Datensignalein-/ausgänge **2** bewirkt. Dies hat letztlich zur Folge, dass einige der Datensignalein-/ausgänge **2** kritischer getestet werden als andere. Der Grund für ein nicht einheitliches Einleseverhalten der einzelnen Datensignalein-/ausgänge **2** ist in einer unterschiedlichen Struktur der einzelnen Empfängereinrichtungen **12** der einzelnen Datensignalein-/ausgänge **2** zu sehen. Diese Unterschiede sind vor allem in Ungenauigkeiten im Schaltungslayout und in der Prozesstechnik begründet.

[0061] Mit Hilfe der erfindungsgemäßen Erweiterung der Ein-/Ausgangsschaltung **1** des Speicherbausteins für alle vorhandenen Datensignalein-/ausgänge **2** ist es in vorteilhafter Weise möglich, ein paralleles Überprüfen des spezifikationsgemäßen Ausgebens des Datensignals in Relation zum Datenabtastsignal durchzuführen. Alternativ ist selbstverständlich auch ein serielles Überprüfen des spezifikationsgemäßen Ausgebens für das Datensignal und das Datenabtastsignal der einzelnen Datensignalein-/ausgänge **2** möglich. Dies ist besonders dann vorteilhaft, wenn einzelne Datensignalein-/ausgänge **2** mit unterschiedlichen Testdatenmustern überprüft werden.

[0062] Das erfindungsgemäße Einstellen der PASS/FAIL-Grenze beruht auf dem Erfordernis, dass der Speicherbaustein gegenüber den garantierten Spezifikationswerten einen Schritt besser sein muss. Die Spezifikationswerte sollen also eine sichere Grenze darstellen, die im operativen Betrieb des Speicherbausteins stets eingehalten wird.

[0063] Zur Durchführung des erfindungsgemäßen Verfahrens wird in vorteilhafter Weise die Tatsache ausgenutzt, dass ein externes Testsystem beim Treiben von Signalen genauer ist als beim Messen von zeitlichen Bezügen von Signalen, die dem Testsystem zugeführt werden. Als besonders vorteilhaft wird dabei angesehen, dass eine systemeigene hohe Präzision der externen Testeinrichtung **15** ausgenutzt wird, um ein bausteininternes Überprüfen des Ausgabe-Zeitverhaltens von Signalen des Speicherbausteins zu ermöglichen.

[0064] Die verschiedenen Gesichtspunkte der Erfindung, die in der Beschreibung, den Patentansprüchen und den Figuren offenbart sind, können sowohl einzeln als auch in beliebiger Kombination für die Ausführung der vorliegenden Erfindung wesentlich sein.

Bezugszeichenliste

1	Ein-/Ausgangsschaltung
2	Datensignalein-/ausgang
3	Datenabtastsignalein-/ausgang
4	programmierbare Verzögerungseinrichtung
5	Empfangsregister
6	Synchronisierereinrichtung
7	Testdateneinrichtung
8	FIFO-Schieberegister
9	Schaltereinrichtung
10	Vergleichseinrichtung
11	Treibereinrichtung
12	Empfängereinrichtung
13	Zellenfeld
14	interner Datenpfad

- 15** externe Testeinrichtung
- 16** externe Teststeuereinheit
- 17** Verzögerungselement
- 18** Steuereinrichtung

Patentansprüche

1. Verfahren zum Überprüfen, ob ein Ausgeben von Datensignalen durch eine Ein-/Ausgangsschaltung (1) einer integrierten Schaltung gemäß einer vorgegebenen Spezifikation erfolgt;

wobei in der Ein-/Ausgangsschaltung (1) ein Datensignal mit Hilfe eines Datenabtastsignals, die in einem zeitlichen Bezug zueinander stehen, abgetastet wird; und

wobei die Spezifikation einen Zeitversatzgrenzwert zwischen dem Datensignal und dem Datenabtastsignal definiert;

mit folgenden Verfahrensschritten:

a) Anlegen eines externen Kalibrierdatensignals und eines externen Kalibrierdatenabtastsignals an der Ein-/Ausgangsschaltung (1) wobei das externe Kalibrierdatensignal und das externe Kalibrierdatenabtastsignal gemäß dem Zeitversatzgrenzwert zeitlich zueinander versetzt sind;

b) Einstellen einer zeitlichen Verzögerung des Kalibrierdatenabtastsignals in der Ein-/Ausgangsschaltung (1) derart, dass in der Ein-/Ausgangsschaltung (1) eine Grenze zwischen einem Erkennen und einem Nichterkennen des externen Kalibrierdatensignals mit Hilfe des zeitlich verzögerten Kalibrierdatenabtastsignal ermittelt wird;

c) Bereitstellen eines Testdatensignals und eines Testdatenabtastsignals in der Ein-/Ausgangsschaltung (1);

d) Abtasten des Testdatensignals mit Hilfe des Testdatenabtastsignals in der Ein-/Ausgangsschaltung (1), wobei das Testdatenabtastsignal entsprechend der beim Kalibrierdatenabtastsignal eingestellten zeitlichen Verzögerung zeitlich verzögert wird; und

e) Bewerten des Abtastergebnisses, um festzustellen, ob die gemäß der Spezifikation vorgeschriebene Zeitversatzgrenzwert eingehalten wird.

2. Verfahren nach Anspruch 1, wobei der Zeitversatzgrenzwert eine maximal zulässige Einrichtzeit und/oder eine minimal erforderliche Haltezeit definiert.

3. Verfahren nach Anspruch 2, wobei das Kalibrierdatenabtastsignals mit Hilfe einer Einstellschaltung (4) in der Ein-/Ausgangsschaltung (1) stufenweise zeitlich verzögert wird, wobei bei einem Wechsel vom Nichterkennen zum Erkennen des externen Kalibrierdatensignals diejenige zeitliche Verzögerung des Kalibrierdatenabtastsignals eingestellt wird, die als letzter Wert das Nichterkennen des externen Kalibrierdatensignals bewirkt, oder wobei bei einem Wechsel vom Erkennen zum Nicht-Erkennen des externen Kalibrierdatensignals diejenige zeitliche Verzögerung

des Kalibrierdatenabtastsignals eingestellt wird, der als erster Wert das Nichterkennen des externen Kalibrierdatensignals bewirkt.

4. Verfahren nach Anspruch 2 oder 3, wobei die zeitliche Verzögerung zwischen einer steigenden und/oder einer fallenden Flanke des externen Kalibrierdatenabtastsignals und einer zugehörigen Flanke des externen Kalibrierdatensignals eingestellt wird.

5. Verfahren nach Anspruch 2 oder 3, wobei die zeitliche Verzögerung zwischen einer steigenden und/oder einer fallenden Flanke des externen Kalibrierdatenabtastsignals und einer auf die zugehörige Flanke folgende Flanke des externen Kalibrierdatensignals eingestellt wird.

6. Verfahren nach einem der vorhergehenden Ansprüche, wobei das Bewertungsergebnis aus dem Abweichen des bereitgestellten Testdatensignals von dem abgetasteten Testdatensignal ermittelt wird.

7. Verfahren nach einem der vorhergehenden Ansprüche, wobei die integrierte Schaltung in einen Testmodus schaltbar und im Testmodus betreibbar ist, wobei mit einer Teststeuereinrichtung (16) Schaltungselemente (9, 17, 18) für den Testmodus der integrierten Schaltung steuerbar sind.

Es folgen 2 Blatt Zeichnungen

Anhängende Zeichnungen

FIG 1

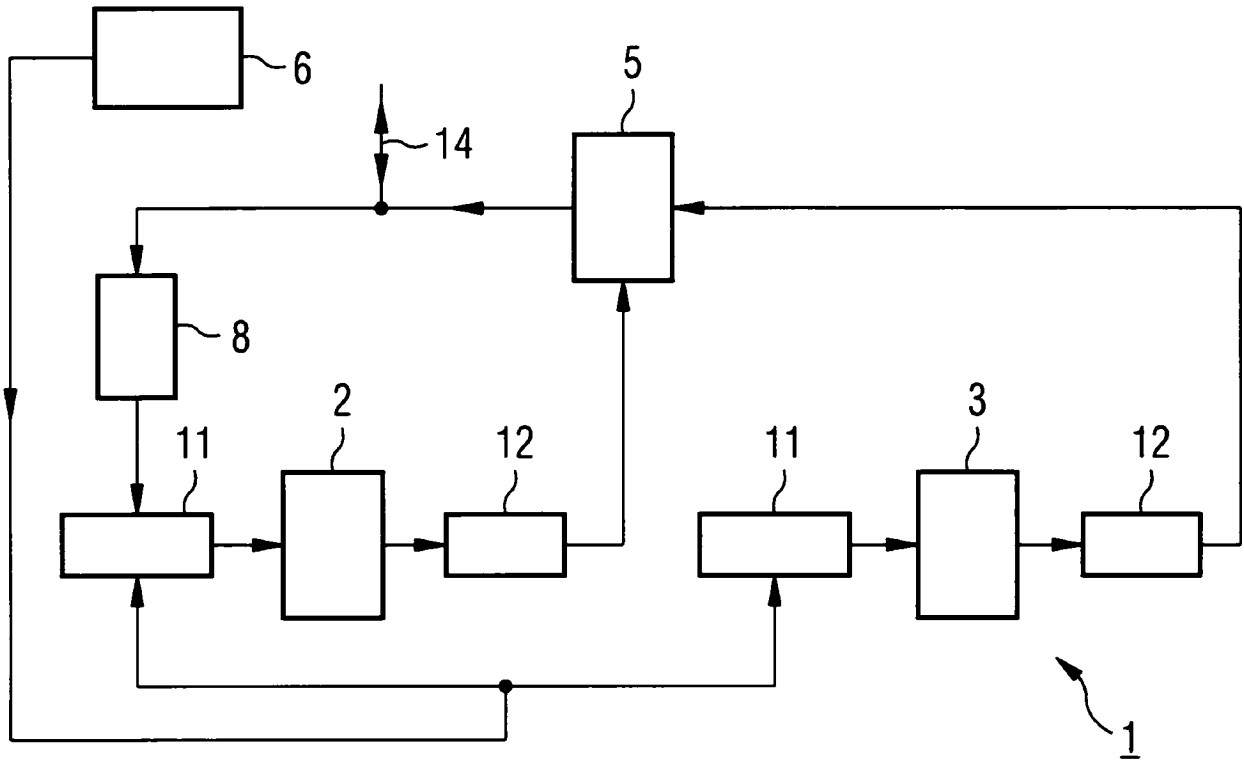


FIG 3

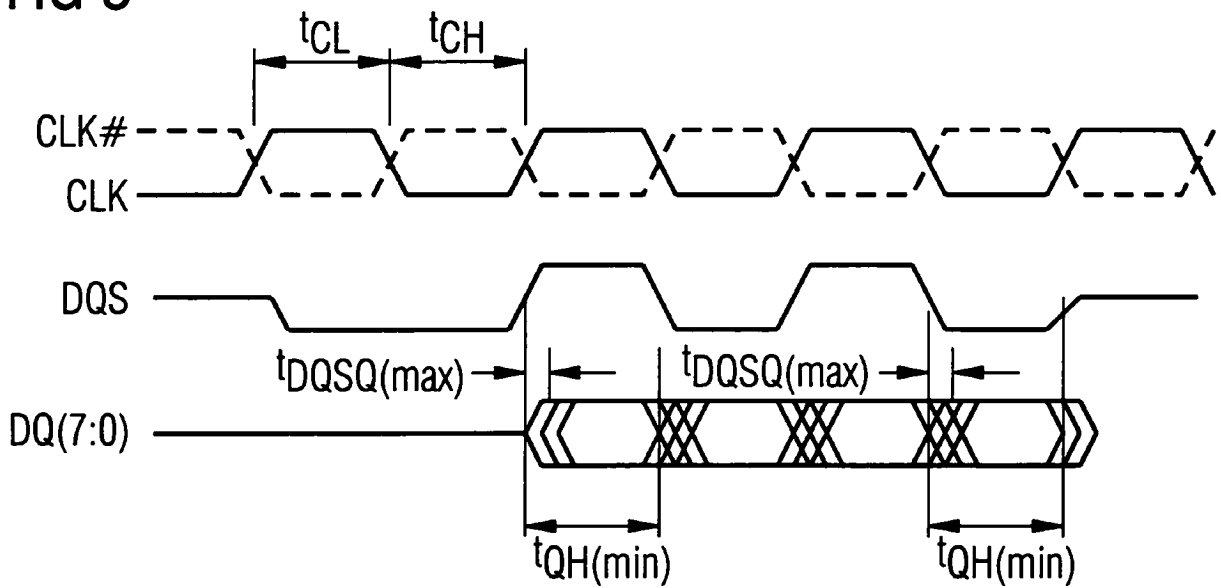


FIG 2

