

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.	(45) 공고일자	2006년10월20일
G09G 3/28 (2006.01)	(11) 등록번호	10-0636060
H03K 17/687 (2006.01)	(24) 등록일자	2006년10월12일
G09G 3/20 (2006.01)		

(21) 출원번호	10-2005-0027495	(65) 공개번호	10-2006-0045416
(22) 출원일자	2005년04월01일	(43) 공개일자	2006년05월17일

(30) 우선권주장 JP-P-2004-00195409 2004년07월01일 일본(JP)

(73) 특허권자 후지쯔 히다찌 플라즈마 디스플레이 리미티드
일본 미야자끼켄 히가시모로카따군 구니또미쵸 오야자 다지리 1815 반지 1

(72) 발명자 오노자와 마코토
일본 가나가와켄 가와사끼시 다카쓰꾸 사카도 3쵸메 2-1 후지쯔히다찌
플라즈마 디스플레이 리미티드 내

오끼 히데아끼
일본 가나가와켄 요코하마시 도쓰까꾸 요시다쵸 292 히다찌어드밴스트
디지털, 인크. 내

오까다, 요시노리
일본 가나가와켄 가와사끼시 다카쓰꾸 사카도 3쵸메 2-1 후지쯔히다찌
플라즈마 디스플레이 리미티드 내

(74) 대리인 장수길
구영창
이중희

(56) 선행기술조사문헌	
EP1139323 A2	JP05048021 A
JP09200017 A	JP55038639 A
US5502412 A	US5514981 A
* 심사관에 의하여 인용된 문헌	

심사관 : 정재현

(54) 표시 장치의 구동 회로 및 플라즈마 디스플레이 장치

요약

전원 투입 시의 오동작이 없고, 출력 소자를 파괴하지 않는 표시 장치의 구동 회로를 실현한다. 입력 신호의 프론트 및 백 엣지에 대응한 엣지 펄스를 발생하는 엣지 펄스 발생 회로(31)와, 프론트 및 백 엣지 펄스를 각각, 출력 기준 전압을 기준으로 한 펄스로 변환하는 제1 및 제2 레벨 시프트 회로 Q1, Q2와, 제1 및 제2 레벨 시프트 회로에 접속된 논리 회로(32)와,

논리 회로에 접속된 플립 플롭 회로(33)와, 플립 플롭 회로의 내부 또는 상기 플립 플롭 회로의 후단에서의 신호 라인에 접속된 셋업 저항 R4와, 셋업 저항의 후단에 접속된 출력 증폭 회로(34)와, 출력 소자 LU를 구비하는 표시 장치의 구동 회로로서, 셋업 저항은 출력 증폭 회로(34)의 전원 전압 라인과 신호 라인 사이에 접속된다.

대표도

도 6

색인어

플립 플롭 회로, 셋업 저항, 기생 용량, 돌입 전류, 엣지 펄스

명세서

도면의 간단한 설명

도 1은 플라즈마 디스플레이 장치의 전체 구성을 도시하는 도면.

도 2는 종래의 파워 트랜지스터 구동용 IC를 도시하는 도면.

도 3은 종래에에서 사용되는 확산 저항의 단면 구성을 도시하는 도면.

도 4는 종래에의 하이 레벨 시프트 회로와 출력 증폭 회로의 상세한 구성을 도시하는 도면.

도 5는 종래에의 서스테인 회로의 구성을 도시하는 도면.

도 6은 본 발명의 제1 실시예의 하이 레벨 시프트 회로와 출력 증폭 회로의 구성을 도시하는 도면.

도 7은 본 발명의 제2 실시예의 하이 레벨 시프트 회로와 출력 증폭 회로의 구성을 도시하는 도면.

도 8은 본 발명의 제3 실시예의 하이 레벨 시프트 회로와 출력 증폭 회로의 구성을 도시하는 도면.

도 9는 제3 실시예에서 사용되는 확산 저항의 단면 구성을 도시하는 도면.

도 10은 본 발명의 제4 실시예의 하이 레벨 시프트 회로와 출력 증폭 회로의 구성을 도시하는 도면.

도 11은 제4 실시예의 리셋 지연 회로의 다른 구성예를 도시하는 도면.

도 12는 본 발명의 제5 실시예의 하이 레벨 시프트 회로와 출력 증폭 회로의 구성을 도시하는 도면.

도 13은 본 발명의 제6 실시예의 하이 레벨 시프트 회로와 출력 증폭 회로의 구성을 도시하는 도면.

도 14는 본 발명의 제2 실시예의 하이 레벨 시프트 회로와 출력 증폭 회로의 구성을 적용한 서스테인 회로의 구성을 도시하는 도면.

도 15는 본 발명의 제2 실시예의 하이 레벨 시프트 회로와 출력 증폭 회로의 구성을 적용한 파워 트랜지스터 구동용 IC의 다른 예를 도시하는 도면.

도 16은 도 15의 IC를 사용한 서스테인 회로의 구성을 도시하는 도면.

<도면의 주요 부분에 대한 부호의 설명>

1 : 플라즈마 디스플레이 패널

- 2 : 어드레스 드라이버
- 3 : X 전극 구동 회로
- 4 : 주사 드라이버
- 5 : Y 전극 구동 회로
- 8 : 구동 제어 회로
- 11, 11A, 11B, 31, 31A, 31B : 파워 트랜지스터 구동용 IC
- 21, 24, 41, 44 : 입력 증폭 회로
- 22, 25, 42, 45 : 하이 레벨 시프트 회로
- 23, 26, 43, 46 : 출력 증폭 회로
- 31 : 엣지 펄스 발생 회로
- 32 : 논리 회로
- 33 : 플립 플롭
- 35 : 출력 증폭 회로
- R3, R4, R5 : 셋업 저항

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 장치의 구동 회로 및 플라즈마 디스플레이 장치에 관한 것으로, 특히 유지 방전(서스테인 방전)을 행하는 구동 신호의 타이밍의 개량에 관한 것이다.

평면 디스플레이로서 플라즈마 디스플레이 장치가 실용화되어 있고, 고휘도의 박형 디스플레이로서 기대되고 있다. 도 1은 종래의 3 전극형의 AC 구동 방식의 플라즈마 디스플레이 장치의 전체 구성을 도시하는 도면이다. 도시하는 바와 같이, 플라즈마 디스플레이 장치는, 인접하여 배치된 복수의 X 전극 X1, X2, X3, ..., Xn 및 Y 전극 Y1, Y2, Y3, ..., Yn과, 그에 교차하는 방향으로 배치된 복수의 어드레스 전극 A1, A2, A3, ..., Am과, 교차 부분에 배치된 형광체를 갖는 2매의 기관 사이에 방전 가스를 봉입한 플라즈마 디스플레이 패널(PDP)(1)과, 어드레스 전극에 어드레스 펄스 등을 인가하는 어드레스 드라이버(2)와, X 전극에 유지 방전(서스테인) 펄스 등을 인가하는 X 전극 구동 회로(3)와, Y 전극에 순차 주사 펄스 등을 인가하는 주사 드라이버(4)와, Y 전극에 인가하는 유지 방전(서스테인) 펄스 등을 주사 드라이버(4)에 공급하는 Y 전극 구동 회로(5)와, 각 부의 제어를 행하는 제어 회로(6)를 구비하고, 제어 회로(6)는 또한, 프레임 메모리를 포함하는 표시 데이터 제어부(7)와, 주사 드라이버 제어부(9)와 공통 드라이버 제어부(10)로 구성되는 구동 제어 회로(8)를 갖는다. X 전극 구동 회로(3)와 Y 전극 구동 회로(5)에는, 서스테인 펄스를 출력하는 서스테인 회로가 설치되어 있고, 서스테인 회로는 서스테인 출력 소자를 갖는다. 플라즈마 디스플레이 장치에 대해서는 널리 알려져 있기 때문에, 여기서는 장치 전체에 관한 더 이상의 자세한 설명은 생략하고, 본 발명에 관계되는 X 전극 구동 회로(3)와 Y 전극 구동 회로(5)에 대해서만 더 설명한다. 플라즈마 디스플레이 장치의 X 전극 구동 회로, 주사 드라이버 및 Y 전극 구동 회로에 대해서는, 예를 들면, 특허 문헌 1 등에 개시되어 있다. 또한, 특허 문헌 2 공보는, 이와 같은 드라이버에서 사용되는 파워 트랜지스터 구동 회로 및 이를 1 칩화한 IC를 개시하고 있다.

도 2는 특허 문헌 2에 개시된 파워 트랜지스터 구동 회로의 개략 구성을 블록도로 도시한 도면으로서, 점선으로 나타내는 바와 같이 전체가 IC(11)에 설치되어 있다. 플라즈마 디스플레이 장치에서는, 도 2의 파워 트랜지스터 구동 IC를, 서스테인 출력 소자를 드라이브하기 위한 프리 드라이브 회로로서 사용한다. 도 2에 도시하는 파워 트랜지스터 구동 IC(11)에서는, 하이 레벨 입력 신호 HIN을 입력 회로(21)에서 증폭하고, 하이 레벨 시프트 회로(22)에 의해서 하이 레벨 기준 전압 Vr을 기준으로 한 전압으로 변환하고, 또한 출력 증폭 회로(23)를 통하여 하이 레벨 출력 전압 HO로서 출력하고 있다. 또한, 로우 레벨 입력 신호 LIN을 입력 증폭 회로(24)에서 증폭하고, 지연 회로(25)를 통하여 출력 증폭 회로(26)로 입력하여 증폭한 후 로우 레벨 출력 전압 LO로서 출력하고 있다. 참조 번호 12와 13은 하이 레벨 입력 신호 HIN과 로우 레벨 입력 신호 LIN의 입력 단자를, 참조 번호 16과 19는 하이 레벨 출력 전압 HO와 로우 레벨 출력 전압 LO의 출력 단자를, 참조 번호 15는 하이 레벨 전원 전압 Vc의 공급 단자를, 참조 번호 17은 하이 레벨 기준 전압 Vr의 공급 단자를, 참조 번호 18은 로우 레벨 전원 전압 Vd의 공급 단자를, 참조 번호 20은 그라운드 단자를 나타낸다.

도 2의 파워 트랜지스터 구동 IC에서, 지연 회로(25)는, 하이 레벨 입력 신호 HIN과 하이 레벨 출력 전압 HO의 상승 시각의 차분 $tdLH(HO)$ 와, 로우 레벨 입력 신호 LIN과 로우 레벨 출력 전압 LO의 상승 시각의 차분 $tdLH(LO)$ 가 동등하게 되도록 조정하는 기능을 하고 있다. 또한, 지연 회로(25)는, 하이 레벨 입력 신호 HIN과 하이 레벨 출력 전압 HO의 하강 시각의 차분 $tdHL(HO)$ 와, 로우 레벨 입력 신호 LIN과 로우 레벨 출력 전압 LO의 하강 시각의 차분 $tdHL(LO)$ 가 동등하게 되도록 조정하는 기능도 하고 있다.

도 2의 파워 트랜지스터 구동 IC를 플라즈마 디스플레이 장치의 프리 드라이브 회로로서 사용하는 경우, 그 출력 단자(16, 19)에는, 파워 MOSFET나 IGBT(Insulated Gate Bipolar Transistor) 등의 서스테인 출력 소자가 접속된다. 플라즈마 디스플레이 장치(PDP 장치)에서는, 서스테인 출력 소자를 온 오프함으로써, 서스테인 펄스를 생성하여, 플라즈마 디스플레이 패널(PDP)의 X 전극과 Y 전극에 공급하고 있다.

도 2에서, 참조 부호 C21은 하이 레벨 시프트 회로(22)의 출력 단자와 출력 증폭 회로(23)의 전원 전압 단자(라인) 사이의 기생 용량을 나타내고, 참조 부호 C22는 하이 레벨 시프트 회로(22)의 출력 단자와 출력 증폭 회로(23)의 기준 전압 단자(라인) 사이의 기생 용량을 나타낸다. 이들 기생 용량은, 하이 레벨 시프트 회로(22)의 출력부 및 출력 증폭 회로(23)의 입력부를 구성하는 데 이용되는 소자 등에 의해 형성된다. 또한, 참조 번호 R3는, IC(11)의 전원 투입 시에 출력 전압이 「저(L)」 레벨(즉, 단자(16과 17) 사이의 전압이 약 0V)로 되도록 하기 위한 셋업 저항이다.

종래의 회로에서는, 셋업 저항 R3은 확산 저항으로 실현되었다. 도 3은 IC 기판 상에 형성된 확산 저항의 단면도를 도시한다. 도 3에 도시하는 바와 같이 P형 기판(27) 상에 N형 확산층(28)을 형성하고, 그 위에 P형 확산 저항층(29)을 형성한다. P형 확산 저항층(29) 상의 떨어진 2점에 단자 T1과 T2를 설치하여 저항의 단자로 한다. 여기서, N형 확산층(28)은 전원 전압 라인 Vc에 접속되기 때문에, 전원 전압 단자 Vc와 P형 확산 저항층(29)(확산 저항) 사이에 기생 용량 Cr이 발생한다.

따라서, 확산 저항을 도 2의 셋업 저항 R3로서 사용하면, 도 2에 도시하는 바와 같이 확산 저항의 기생 용량 Cr이, 하이 레벨 시프트 회로(22)의 출력부와 전원 전압 라인 Vc 사이, 즉 용량 C1과 병렬로 접속되게 된다.

도 4는, 도 2에 도시한 하이 레벨 시프트 회로와 출력 증폭부 사이에 확산 저항으로 구성된 셋업 저항 R3를 설치한 종래의 회로 구성의 상세 내용을 도시한다. 도 4의 회로에서는, 엣지 펄스 발생 회로(31)가 입력 신호 V1의 프론트 엣지를 검출하여, 이 프론트 엣지에서 상승하고 소정의 펄스 폭을 갖는 프론트 엣지 펄스를 발생한다. 이 프론트 엣지 펄스는, 트랜지스터 Q1으로 입력되어, 신호 VS1으로 변환된 후에 논리 회로(32)로 공급된다. 엣지 펄스 발생 회로(31)는 또한, 입력 신호 V1의 백 엣지를 검출하여, 이 백 엣지에서 상승하고 소정의 펄스 폭을 갖는 백 엣지 펄스를 발생한다. 이 백 엣지 펄스는, 트랜지스터 Q2로 입력되어, 신호 VR1으로 변환된 후에 논리 회로(32)로 공급된다. 트랜지스터 Q1 및 Q2는 각각 제1 및 제2 레벨 시프트 회로라고 한다.

논리 회로(32)는, 신호 VS1의 프론트 엣지에서 상승하고 신호 VR1의 프론트 엣지에서 하강하는 세트 신호 VS2와, 신호 VS1의 프론트 엣지에서 하강하고 신호 VR1의 프론트 엣지에서 상승하는 리세트 신호 VR2를 발생한다. 또한, 논리 회로(32)는, 신호 VS1과 VR1이 동시에 H 레벨로 되는 것을 방지하는 동시 액티브 출력 방지 기능을 갖고 있다.

세트 신호 VS2와 리세트 신호 VR2는 플립 플롭 회로(33)에 입력된다. 플립 플롭 회로(33)는, 인버터 회로 INV1, INV2, 및 NAND 회로 NAND1, NAND2로 구성되고, 세트 신호 VS2의 상승 엣지에서 상승하고 리세트 신호 VR2의 상승 엣지에서 하강하는 신호 VB를 발생한다.

도 4의 회로에서는, 트랜지스터 Q1 및 Q2(제1 및 제2 레벨 시프트 회로)는, 엣지 펄스 발생 회로(31)에서 발생하는 소정의 펄스 폭을 갖는 프론트 엣지 펄스 및 백 엣지 펄스가 발생하고 있는 기간만 온하면 되고, 레벨 시프트 동작을 행할 때에, 트랜지스터 Q1 및 Q2가 온하는 시간을 짧게 할 수 있다는 점이 특징이다. 이에 의해, 트랜지스터 Q1, Q2, 저항 R1 및 R2에 의해서 발생하는 전력 손실을 저감할 수 있다.

또한, 특허 문헌 3은 도 4에 도시한 회로에 유사한 회로를 기재하고 있다.

또한, 특허 문헌 1은 도 2에 도시한 회로 구성을 사용한 플라즈마 디스플레이 장치의 서스테인 회로를 기재하고 있고, 도 5는 그 예를 도시하는 도면이다.

발명이 이루고자 하는 기술적 과제

도 2에 도시한 회로를 도 5에 도시하는 서스테인 회로에 사용한 경우, 회로에의 전원 투입 시에 출력 전압 HO가 「고(H)」 레벨에 고정되고, 도 5에 도시한 서스테인 회로에서의 출력 소자 CU 또는 출력 소자 LU에 이상 전류가 흘러 출력 소자 CU 또는 출력 소자 LU가 파괴될 가능성이 있음을 알 수 있었다. 그 원인은, 도 2 및 도 4의 회로에서, 셋업 저항 R3로서 사용하고 있는 확산 저항의 기생 용량 Cr 및 용량 C21을 통하여, 전원 투입 시에 돌입 전류가 흐르고, 이 전류에 의해서 셋업 저항 R3의 양단에 전압이 발생하여, 출력 전압 HO가 H 레벨에 고정되기 때문임을 알 수 있었다.

이에 따라, 도 5의 회로에서는, 전원 투입 시의 돌입 전류에 의한 오동작을 방지하기 위해, 광대역의 고주파 용량 소자 C1을, 전계 커패시터 등의 저주파 고용량 용량 소자 C11에 병렬로 접속하여, 전원 전압 Vc가 급격하게 상승하지 않도록 하여 오동작을 방지하였다.

또한, 플라즈마 디스플레이 패널로 공급하는 전압 Vcp가 마이너스 방향으로 급격하게 변화하는 경우에서도, 출력 전압 HO가 H 레벨에 고정될 가능성이 있다. 이에 따라, 전압 Vcp의 마이너스 방향으로의 급격한 변화를 소거하기 위해, 보호 다이오드 D7을 설치하였다.

본 발명의 제1 목적은, 전원 투입 시에서의 오동작의 발생을 없애고, 출력 소자의 파괴를 방지하는 데 있다.

본 발명의 제2 목적은, 고주파 용량 소자 C1이나 보호 다이오드 D7을 사용하지 않더라도 오동작에 의한 출력 소자의 파괴를 방지할 수 있도록 하여, 고주파 용량 소자 C1이나 보호 다이오드 D7을 사용하지 않는 데 있다.

발명의 구성 및 작용

상기 목적을 실현하기 위해, 본 발명의 제1 양태의 표시 장치의 구동 회로는, 확산 저항에 의한 셋업 저항을 접속하는 경우, 출력 증폭 회로의 전원 전압 라인과 신호 라인 사이에 접속하는 것을 특징으로 한다. 셋업 저항을 접속하는 신호 라인의 부분은, 그 부분이 H 레벨로 됨으로써, 출력 전압이 L 레벨로 되는 것이 필요하다.

제1 양태와 같이 접속하면, 확산 저항에 의한 기생 용량은, 출력 증폭 회로의 전원 전압 라인과 신호 라인 사이에, 셋업 저항과 병렬로 접속되게 되고, 전원 투입 시의 돌입 전류는 셋업 저항을 바이패스하여 확산 저항에 의한 기생 용량을 흘리게 된다. 이에 의해, 돌입 전류에 의한 셋업 저항의 양단에서 발생하는 전압을 저감할 수 있고, 오히려 확산 저항에 의한 기생 용량을 흘리는 전류에 의해 확실하게 H 레벨로 설정할 수 있다.

상기 목적을 실현하기 위해, 본 발명의 제2 양태의 표시 장치의 구동 회로는, 플립 플롭 회로의 출력 단자와 출력 증폭 회로의 전원 전압 라인 사이의 용량이, 플립 플롭 회로의 출력 단자와 출력 기준 전압을 공급하는 전원 전압 라인 사이의 용량보다 작은 것을 특징으로 한다.

제2 양태에서는, 플립 플롭 회로의 출력 단자와 출력 증폭 회로의 전원 전압 라인 사이의 용량 C1과 플립 플롭 회로의 출력 단자와 출력 기준 전압을 공급하는 전원 전압 라인 사이의 용량 C2가 직렬로 접속되고, 전원 투입 시에, 직렬로 접속된 C1과 C2를 통하여 돌입 전류가 흐른다. 이에 의한 플립 플롭 회로의 출력 단자의 전압은, C1과 C2의 용량치의 비로 결정되기 때문에, C2의 용량치를 C1의 용량치보다 크게 해 두면, 돌입 전류에 의한 C2의 양단에 생기는 전압을 작게 할 수 있어, 오동작이 발생하지 않는다. 또한, 용량 C1과 C2의 용량치는, 후단의 트랜지스터나 인버터 회로를 형성하는 소자의 칩 사이즈를 조정하여 설정하여도 되지만, 이 조건을 충족시키도록 용량 소자를 접속하도록 하여도 된다.

상기 목적을 실현하기 위해, 본 발명의 제3 양태의 표시 장치의 구동 회로는, 셋업 저항이 폴리실리콘 저항으로 구성되어 있는 것을 특징으로 한다.

제3 양태에 따르면, 셋업 저항이 폴리실리콘 저항으로 구성되어 있다. 폴리실리콘 저항은, 기준 전압 라인에 접속되는 N형 확산층 위에 형성되기 때문에, 전원 전압 라인 사이에 기생 용량을 갖지 않는다. 이 때문에, 오동작 발생이 저감된다.

상기 목적을 실현하기 위해, 본 발명의 제4 양태의 표시 장치의 구동 회로는, 도 4에 도시한 플립 플롭을 갖는 구성에서, 제 2 NAND 회로의 전단 또는 후단에 리셋 지연 회로를 접속한 것을 특징으로 한다.

제4 양태의 회로에서는, 제2 NAND 회로의 출력이 리셋 지연 회로에 의해 제1 NAND 회로의 출력보다 지연되기 때문에, 제2 NAND 회로의 출력이 플립 플롭 회로의 출력을 결정한다. 따라서, 플립 플롭 회로의 출력은 확실하게 L 레벨로 되고, 출력 전압도 확실하게 L 레벨로 되어, 오동작을 방지할 수 있다.

또한, 상기의 구동 회로를 플라즈마 디스플레이 장치의 서스테인 회로에 사용하면, 제2 목적을 실현할 수 있다.

이하, 도면을 참조하여 본 발명의 실시예를 설명한다.

도 6은 본 발명의 제1 실시예의 표시 장치의 구동 회로에서의 레벨 시프트 회로와 출력 증폭 회로의 구성을 도시하는 도면으로서, 도 4에 대응하는 도면이다. 도 4와 비교하여 분명히 알 수 있듯이, 종래예에서는 확산 저항인 셋업 저항 R3가 플립 플롭(33)의 제1 NAND 회로 NAND1의 출력과 기준 전압 라인 Vr 사이에 접속되어 있는 데 대하여, 제1 실시예의 회로에서는, 확산 저항인 셋업 저항 R4가 플립 플롭(33)의 제1 인버터 회로 INV1과 제1 NAND 회로 NAND1의 접속점과 전원 전압 라인 Vc 사이에 접속되어 있다는 점이 상이하다.

제1 실시예의 회로에서는, INV1의 출력 신호가 H 레벨 시에 출력 전압 HO가 L 레벨로 된다. 도 6에 도시한 회로에서는, 셋업 저항 R4에 확산 저항을 사용한 경우의 기생 용량 Cr은 셋업 저항 R4와 병렬로 접속된다. 이 때문에, 전원 투입 시에 기생 용량 Cr을 통하여 흐르는 돌입 전류는, 셋업 저항 R4를 바이패스하여 흐른다. 따라서, 전원 투입 시의 돌입 전류에 의해서 셋업 저항 R4의 양단에 발생하는 전압을 억제할 수 있을 뿐만 아니라, 오히려 기생 용량 Cr을 통하여 흐르는 투입 전류에 의해서, 보다 확실하게 INV1의 출력 전압을 H 레벨로 할 수 있기 때문에, 출력 전압 HO를 확실하게 L 레벨로 할 수 있다.

그 결과, 도 6에 도시한 회로를 도 2와 같은 구동 회로에 적용하여 도 5의 서스테인 회로의 출력 소자를 구동한 경우, 종래의 회로를 사용한 경우에 생길 가능성이 있는 전원 투입 시에 출력 전압 HO가 H 레벨에 고정되고, 후단의 출력 소자가 온 상태로 되어, 과전류에 의해 파괴되는 문제를 회피할 수 있다.

도 7은 본 발명의 제2 실시예의 표시 장치의 구동 회로에서의 레벨 시프트 회로와 출력 증폭 회로의 구성을 도시하는 도면이다. 도 6의 제1 실시예의 회로와 비교하여 분명히 알 수 있듯이, 플립 플롭 회로(33)의 출력 신호를 반전하는 인버터 회로 INVA를 설치하고, INV3를 삭제하고, N형 트랜지스터 Q3를 P형 트랜지스터 Q5로 치환하고, R4를 삭제하고, INVA의 출력 단자와 전원 전압 라인 Vc 사이에 확산 저항의 셋업 저항 R5를 접속한 점이, 제1 실시예와 상이하다. 트랜지스터 Q6는 트랜지스터 Q4와 동일한 N형이다.

제2 실시예의 회로에서는, Q5의 게이트 전압이 H 레벨일 때, Q5가 오프, Q6가 온으로 되고, 출력 전압 HO가 L 레벨로 된다. 따라서, 셋업 저항 R5로서 확산 저항을 사용한 경우, 셋업 저항 R5와 병렬로 기생 용량 Cr이 접속되게 된다. 이 때문에, 제1 실시예와 마찬가지로, 전원 전압 Vc의 투입 시의 돌입 전류가 흐른 경우에서도, Q5의 게이트 전압은 H 레벨로, 출력 전압 HO가 L 레벨로 된다. 따라서, 후단에 접속되는 출력 소자가 온 상태에 고정되어, 과전류에 의해 출력 소자를 파괴하지는 않는다.

도 8은 본 발명의 제3 실시예의 표시 장치의 구동 회로에서의 레벨 시프트 회로와 출력 증폭 회로의 구성을 도시하는 도면으로서, 도 4에 대응하는 도면이다. 도 4와 비교하여 분명하게 알 수 있듯이, 도 4에 도시한 회로에 유사한 구성을 갖지만, 셋업 저항 R3로서 폴리실리콘 저항을 사용하고 있다는 점이 상이하다.

도 9는 IC 기관 상에 형성된 폴리실리콘 저항의 단면도 및 저항 패턴의 상면도를 도시한다. 도 9의 (A)에 도시하는 바와 같이, P형 기관(51) 상에 P형 확산층(52)을 형성하고, 그 위에 폴리실리콘층(53)을 형성한다. 폴리실리콘층(53)은, 도 9의 (B)에 도시하는 바와 같은 패턴(54)을 갖고, 패턴(54)의 양단에 단자 T1과 T2를 설치하여 저항의 단자로 한다. 패턴(54)

의 길이에 의해 저항치가 결정된다. 여기서, P형 확산층(52)은 기준 전압 라인 Vr에 접속되고, 전원 전압 라인 Vc에는 접속되지 않기 때문에, 폴리실리콘층(53)은 전원 전압 라인 Vc와의 사이에 기생 용량을 생기지는 않는다(혹은, 무시할 수 있을 정도로 작다). 즉, 폴리실리콘 저항을 사용하면, 확산 저항을 이용한 경우에 발생한 기생 용량 Cr을 없앨 수 있다. 그 결과, 종래예에서 기생 용량 Cr을 통하여 흐를 가능성이 있는 전원 전압 Vc의 투입 시의 돌입 전류를 작게 할 수 있다. 따라서, 전원 전압 Vc의 투입 시에 셋업 저항 R3의 양단에 발생하는 전압을 작게 할 수 있다. 따라서, 출력 전압 HO가 H 레벨에 고정되고, 후단의 출력 소자가 온 상태로 되어, 과전류에 의해 출력 소자가 파괴되는 문제를 해결할 수 있다.

또한, 제3 실시예에서, 기생 용량 C22의 용량치가 기생 용량 C21의 용량치에 대하여 크면, 저항 R3를 삭제하여도, 출력 전압 HO가 H 레벨에 고정되고, 후단의 출력 소자가 온 상태로 되어, 과전류에 의해 파괴되는 문제가 생기지 않도록 할 수 있다. 이하, 이 조건에 대하여 설명한다.

도 8에서, 셋업 저항 R3를 삭제한 상태에서는, 기생 용량 C21이 플립 플롭(33)의 제1 NAND 회로의 출력 단자와 전원 전압 라인 Vc 사이에 접속되고, 기생 용량 C22가 플립 플롭(33)의 제1 NAND 회로의 출력 단자와 기준 전압 라인 Vr 사이에 접속되어 있다. 여기서, 기생 용량 C21 및 C22 부분에 각각 용량 소자를 접속하여, 원하는 용량치를 실현한다고 하자. 이 경우의 용량치는, 기생 용량과 용량 소자의 용량치의 합성 용량치이다. 여기서, 합성 용량을 용량 C21 및 C22라고 하여 이하의 설명을 행한다. 전원 전압 Vc의 투입 시에는, 용량 C21을 통하여, 돌입 전류가 용량 C22에 흐른다. 이 때, 전압 VB는 용량 C21의 용량치와 용량 C22의 용량치의 분할비로 결정된다. 따라서, 용량 C21의 용량치에 대하여 용량 C22의 용량치를 크게 해 두면, 돌입 전류에 의한 용량 C22의 양단에 걸리는 전압을 작게 할 수 있다.

또한, 용량 소자를 사용하지 않고 기생 용량만으로 상기의 조건을 실현하여도 된다. 이 경우, 용량 C21 및 C22의 용량치는, 후단의 트랜지스터 Q3나 인버터 INV3에 사용하는 소자의 칩 사이즈를 조정함으로써 설정할 수 있다.

이상과 같이, 도 8의 구성에서, 용량 C21, C22의 값을 적절하게 설정함으로써, 셋업 저항 R3가 없는 경우에서도, 셋업 시에서의 출력 전압 HO의 값을 L 레벨로 설정할 수 있어, 전원 전압 Vc의 투입 시에서의 오동작을 방지할 수 있다.

도 10은 본 발명의 제4 실시예의 표시 장치의 구동 회로에서의 레벨 시프트 회로와 출력 증폭 회로의 구성을 도시하는 도면이다. 도 7의 제2 실시예의 회로와 비교하여 분명히 알 수 있듯이, 인버터 회로 INVB와 INVC로 이루어지는 리셋 지연 회로(35)를 더 설치한 점이, 제2 실시예와 상이하다.

제4 실시예의 회로에서는, 논리 회로(32)로부터 출력되는 리셋 신호 VR2를 지연시켜 신호 VR3를 생성하고, 신호 VR3를 플립 플롭 회로(33)에 입력하고 있다. 그 결과, 제2 NAND 회로 NAND2의 출력 신호(제1 NAND 회로 NAND1의 입력 신호)는, 논리 회로(32)로부터 출력된 세트 신호 VS2로부터 INV1을 통하여 제1 NAND 회로 NAND1으로 입력되는 신호에 비해, 리셋 지연 회로(35)를 통과한 분만큼 지연된다. 따라서, 플립 플롭 회로(33)의 출력 신호 VB는, 세트 신호 VS2에 의해서 세트되는 시각에 비해, 리셋 신호 VR2에 의해서 리셋되는 시각쪽이 늦게 된다. 이 때문에, 전원 전압 Vc의 투입 시 등에 세트 신호 VS2와 리셋 신호 VR2가 동시에 출력된 경우에서도, 나중에 입력되는 리셋 신호 VR2가 플립 플롭 회로(33)의 출력 신호 VB의 전압 레벨을 결정하기 때문에, 신호 VB는 L 레벨로 되고, 출력 전압 HO도 L 레벨로 된다.

또한, 마찬가지로, 출력 기준 전압 Vr에 마이너스 방향의 노이즈 펄스가 중첩되는 등에 의해, 세트 신호 VS2와 리셋 신호 VR2가 동시에 출력된 경우에서도, 나중에 입력되는 리셋 신호 VR2쪽이 나중에 입력되기 때문에, 전압 VB의 레벨 설정에 유효하게 된다. 따라서, 출력 기준 전압 Vr에 마이너스 방향의 노이즈 펄스가 중첩되는 등에 의해, 세트 신호 VS2와 리셋 신호 VR2가 동시에 출력된 경우에서도, 전압 VB는 L 레벨로 되고, 출력 전압 HO도 L 레벨로 된다.

또한, 리셋 지연 회로(35)를 설치하는 경우에는, 셋업 저항 R5를 삭제하여도, 전원 전압 Vc의 투입 시의 오동작을 방지하는 것이 가능하다. 그러나, 리셋 지연 회로(35)와 셋업 저항 R5의 양쪽을 설치함으로써, 보다 확실하게 전원 전압 Vc의 투입 시의 오동작을 방지할 수 있다.

상기의 예에서는, 리셋 지연 회로(35)를 인버터 회로 INVB와 INVC를 직렬로 접속한 예를 설명하였지만, 접속하는 인버터 회로의 개수는 적절하게 설정하는 것이 바람직하다. 또한, 리셋 지연 회로(35)를 인버터 회로 이외의 것으로 실현하는 것도 가능하고, 예를 들면, 도 11에 도시하는 바와 같은 저항 RR3와 용량 CR3를 접속한 시상수 회로로 실현하는 것도 가능하다.

도 12는 본 발명의 제5 실시예의 표시 장치의 구동 회로에서의 레벨 시프트 회로와 출력 증폭 회로의 구성을 도시하는 도면이다. 도 7의 제2 실시예의 회로와 비교하여 분명히 알 수 있듯이, 용량 CRR로 이루어지는 리세트 지연 회로(35)를 더 설치한 점이, 제2 실시예와 상이하다.

제5 실시예의 회로에서는, 리세트 지연 회로(35)의 용량 CRR에 의해, 제2 NAND 회로(NAND2)의 출력 신호를 지연시키고 있다. 그 결과, NAND2의 출력 신호(NAND1의 입력 신호)는, 논리 회로(32)로부터 출력된 세트 신호 VS2로부터 INV1을 통하여 NAND1으로 입력되는 신호에 비해, 리세트 지연 회로(35)에 의한 분만큼 지연된다. 따라서, 플립 플롭 회로(33)의 출력 신호 VB는, 세트 신호 VS2에 의해 세트되는 시각에 비해, 리세트 신호 VR2에 의해서 리세트되는 시각쪽이 늦게 된다. 이 때문에, 전원 전압 Vc의 투입 시 등에 세트 신호 VS2와 리세트 신호 VR2가 동시에 출력된 경우에서도, 나중에 입력되는 리세트 신호 VR2가, 플립 플롭 회로(33)의 출력 신호 VB의 전압 레벨을 결정한다. 그 결과, 전원 전압 Vc의 투입 시 등에 세트 신호 VS2와 리세트 신호 VR2가 동시에 출력된 경우에서도, 신호 VB는 L 레벨로 되고, 출력 전압 HO도 L 레벨로 된다.

또한, 마찬가지로, 출력 기준 전압 Vr에 마이너스 방향의 노이즈 펄스가 중첩되는 등에 의해, 세트 신호 VS2와 리세트 신호 VR2가 동시에 출력된 경우에서도, 전압 VB는 L 레벨로 되고, 출력 전압 HO도 L 레벨로 된다.

또한, 제4 실시예와 마찬가지로, 리세트 지연 회로(35)를 설치하는 경우에는, 셋업 저항 R5를 삭제하여도, 전원 전압 Vc의 투입 시의 오동작을 방지하는 것이 가능하다. 그러나, 리세트 지연 회로(35)와 셋업 저항 R5의 양쪽을 설치함으로써, 보다 확실하게 전원 전압 Vc의 투입 시의 오동작을 방지할 수 있다.

도 13은 본 발명의 제6 실시예의 표시 장치의 구동 회로에서의 레벨 시프트 회로와 출력 증폭 회로의 구성을 도시하는 도면이다. 도 12의 제5 실시예의 회로와 비교하여 분명히 알 수 있듯이, 리세트 지연 회로(35)로서 인버터 회로 INV1 및 INV2를 사용하고 있다는 점이, 제5 실시예와 상이하다.

제6 실시예의 리세트 지연 회로(35)는, 인버터 회로 INV1 및 INV2의 입력 용량을 이용하고 있다. 그 결과, 제5 실시예와 마찬가지로, NAND2의 출력 신호가 지연된다. 여기서, 2개의 인버터 회로 INV1 및 INV2를 접속하고 있지만, 용량이 충분하면, INV2를 삭제하는 것도 가능하다. 또한, 인버터 회로의 개수를 더 증가시키는 것도 가능하다. 리세트 지연 회로(35)에 설치하는 인버터 회로의 개수를 조정함으로써, 리세트 지연 회로(35)에 의한 지연 시간을 조정할 수 있다. 제6 실시예의 회로의 동작은 제5 실시예와 동일하기 때문에, 설명은 생략한다.

도 14는, 도 7에 도시한 제2 실시예의 하이 레벨 시프트 회로와 출력 증폭 회로의 구성을, 도 1의 플라즈마 디스플레이 장치의 X 전극 구동 회로(3) 및 Y 전극 구동 회로(5)에 적용한 경우의 구성을 도시하는 도면으로서, 도 4에 대응하는 도면이다. 파워 트랜지스터 구동용 IC(11A 및 11B)는, 도 2의 구성에 도 7의 제2 실시예의 구성을 적용한 구성을 갖는다. 바꿔 말하면, 셋업 저항 R3를 제거하고, 하이 레벨 시프트 회로(22)의 출력 단자에 접속되는 인버터 회로 INVA를 설치하고, INVA의 출력 단자와 전원 전압 라인 Vc 사이에 저항 R5를 접속하고, N형 트랜지스터 Q3를 P형 트랜지스터 Q5로 치환하고 있다. 이와 같은 파워 트랜지스터 구동용 IC(11A 및 11B)를 사용하여, 출력 소자 CU, CD, LU 및 LD를 구동한다. 상기한 바와 같이, 제2 실시예의 구성에서는, 전원 투입 시의 돌입 전류에 의해 출력 신호 HO가 H 레벨에 고정되는 일이 없게 되기 때문에, 도 14의 회로에서는, 출력 증폭 회로(23)로 공급하는 전원 전압 투입 시에 생길 가능성이 있던(출력 소자 CU, LU로 공급하는 드라이브 펄스가 H 레벨에 고정되는) 오동작, 출력 증폭 회로(23)의 기준 전압(출력 소자 CU, LU의 소스 전압)에 마이너스 방향의 노이즈가 중첩된 경우에 생길 가능성이 있는 마찬가지로의 오동작에 의한 출력 소자 CU, LU의 파괴라고 하는 문제를 회피할 수 있다.

또한, 도 14의 회로에서는, 도 5의 종래예에서 설치되어 있던 보호 다이오드 D7을 상기의 이유로 삭제할 수 있다. 또한, 도 14에서는, 광대역의 고주파 용량 소자 C1이 도시되어 있지만, 이것을 삭제하는 것도 가능하다. 단, 도 14의 회로에서도, 보호 다이오드 D7 및 광대역의 고주파 용량 소자 C1을 설치한 쪽이 보다 동작이 안정된다.

상기의 적용예에서는 제2 실시예의 구성을 플라즈마 디스플레이 장치의 X 전극 및 Y 전극 구동 회로(서스테인 회로)에 적용한 예이지만, 다른 제1, 제3 내지 제6 실시예의 구성을, 제2 실시예와 마찬가지로 서스테인 회로에 적용하는 것이 가능하다. 또한, 상기의 적용예에서는 파워 트랜지스터 구동용 IC의 내부에 제2 실시예를 적용한 경우를 설명하였지만, IC의 형태가 아닌 구동 회로에 적용하여도 마찬가지로의 효과를 얻을 수 있다.

도 15는 제2 실시예의 구성을 적용한 파워 트랜지스터 구동용 IC의 다른 구성예를 도시하는 도면이다. 이 IC는 2 채널 입력 및 2 채널 출력의 IC로서, 양쪽의 채널이 하이 레벨 시프트 회로(42, 45)를 갖는 점이, 도 2 및 도 14에 도시한 IC와 상

이하다. 각 채널은 도 7에 도시한 제2 실시예의 구성을 갖는다. 2 채널이 동일한 회로 구성을 가짐으로써, 도 2 및 도 14에 도시한 IC에 비해, 입출력 지연 시간(입력 신호 IN1, IN2의 프론트 엣지와 출력 신호 OUT1, OUT2의 프론트 엣지의 각각의 차)의 2 채널 간의 편차를 한층 작게 할 수 있다.

도 16은, 도 15의 파워 트랜지스터 구동용 IC를, 플라즈마 디스플레이 장치의 X 전극 구동 회로(3) 및 Y 전극 구동 회로(5)에 적용한 경우의 구성을 도시하는 도면으로서, 도 14에 대응한다. 파워 트랜지스터 구동용 IC(31A 및 31B)는 도 15의 IC이다. 이 회로에서는, 도 14의 회로의 효과 외에, 출력 소자 CU와 CD로 공급하는 드라이브 펄스의 지연 시간의 차 및 출력 소자 LU와 LD로 공급하는 드라이브 펄스의 지연 시간의 차를 작게 할 수 있다. 그 결과, 스위칭 동작의 타이밍을 보다 고정밀도로 설정할 수 있고, 고속 동작시켜 서스테인 펄스 수를 증가시키고, 표시 휘도를 향상시킬 수 있다.

또한, 제1, 제3 내지 제6 실시예에서 설명한 구성을 도 15의 IC 및 도 16의 서스테인 회로에 적용하는 것도 마찬가지로 가능하다.

(부기 1)

입력 단자와,

상기 입력 단자로부터 입력된 입력 신호의 프론트 엣지 및 백 엣지에 대응한 엣지 펄스를 발생하는 엣지 펄스 발생 회로와,

상기 프론트 엣지 펄스를, 출력 기준 전압을 기준으로 한 펄스로 변환하는 제1 레벨 시프트 회로와,

상기 백 엣지 펄스를, 상기 출력 기준 전압을 기준으로 한 펄스로 변환하는 제2 레벨 시프트 회로와,

상기 제1 및 제2 레벨 시프트 회로의 출력 단자에 접속된 논리 회로와,

상기 논리 회로의 출력 단자에 접속된 플립 플롭 회로와,

상기 플립 플롭 회로의 내부 또는 상기 플립 플롭 회로의 후단에서의 신호 라인에 접속된 셋업 저항과,

상기 셋업 저항의 후단에 접속된 출력 증폭 회로와,

상기 출력 증폭 회로에 접속된 출력 소자

를 구비하고,

상기 출력 소자에 의해 표시 장치의 용량성 부하를 구동하는 표시 장치의 구동 회로로서,

상기 셋업 저항은, 상기 출력 증폭 회로의 전원 전압 라인과 상기 신호 라인 사이에 접속되는 것을 특징으로 하는 표시 장치의 구동 회로. (1)

(부기 2)

상기 플립 플롭 회로는,

상기 프론트 엣지 펄스가 입력되는 제1 인버터 회로와,

상기 제1 인버터 회로의 출력 단자에 접속된 제1 NAND 회로와,

상기 백 엣지 펄스가 입력되는 제2 인버터 회로와,

상기 제2 인버터 회로의 출력 단자에 접속된 제2 NAND 회로

를 구비하고,

상기 셋업 저항은, 상기 제1 인버터 회로와 상기 제1 NAND 회로의 접속점과 상기 출력 증폭 회로의 전원 전압 라인 사이에 접속되는 것을 특징으로 하는 부기 1에 기재된 표시 장치의 구동 회로. (2)

(부기 3)

상기 플립 플롭 회로의 후단에 설치된 제3 인버터 회로

를 구비하고,

상기 셋업 저항은, 상기 제3 인버터 회로의 출력 단자와 상기 출력 증폭 회로의 전원 전압 라인 사이에 접속되는 것을 특징으로 하는 부기 1에 기재된 표시 장치의 구동 회로. (3)

(부기 4)

상기 제1 인버터 회로의 출력 신호가 「고(H)」 레벨일 때, 상기 출력 증폭 회로로부터 출력되는 출력 펄스가 「저(L)」 레벨인 것을 특징으로 하는 부기 2 또는 3에 기재된 표시 장치의 구동 회로.

(부기 5)

입력 단자와,

상기 입력 단자로부터 입력된 입력 신호의 프론트 엣지 및 백 엣지에 대응한 엣지 펄스를 발생하는 엣지 펄스 발생 회로와,

상기 프론트 엣지 펄스를, 출력 기준 전압을 기준으로 한 펄스로 변환하는 제1 레벨 시프트 회로와,

상기 백 엣지 펄스를, 상기 출력 기준 전압을 기준으로 한 펄스로 변환하는 제2 레벨 시프트 회로와,

상기 제1 및 제2 레벨 시프트 회로의 출력 단자에 접속된 논리 회로와,

상기 논리 회로의 출력 단자에 접속된 플립 플롭 회로와,

상기 플립 플롭 회로의 후단에 접속된 출력 증폭 회로와,

상기 출력 증폭 회로에 접속된 출력 소자

를 구비하고,

상기 출력 소자에 의해 표시 장치의 용량성 부하를 구동하는 표시 장치의 구동 회로로서,

상기 플립 플롭 회로의 출력 단자와 상기 출력 증폭 회로의 전원 전압 라인 사이의 용량은, 상기 플립 플롭 회로의 출력 단자와 상기 출력 기준 전압을 공급하는 전원 전압 라인 사이의 용량보다 작은 것을 특징으로 하는 표시 장치의 구동 회로.

(4)

(부기 6)

입력 단자와,

상기 입력 단자로부터 입력된 입력 신호의 프론트 엣지 및 백 엣지에 대응한 엣지 펄스를 발생하는 엣지 펄스 발생 회로와,

상기 프론트 엣지 펄스를, 출력 기준 전압을 기준으로 한 펄스로 변환하는 제1 레벨 시프트 회로와,

상기 백 엣지 펄스를, 상기 출력 기준 전압을 기준으로 한 펄스로 변환하는 제2 레벨 시프트 회로와,

상기 제1 및 제2 레벨 시프트 회로의 출력 단자에 접속된 논리 회로와,
 상기 논리 회로의 출력 단자에 접속된 플립 플롭 회로와,
 상기 플립 플롭 회로의 내부 또는 상기 플립 플롭 회로의 후단에서의 신호 라인에 접속된 셋업 저항과,
 상기 셋업 저항의 후단에 접속된 출력 증폭 회로와,
 상기 출력 증폭 회로에 접속된 출력 소자
 를 구비하고,
 상기 출력 소자에 의해 표시 장치의 용량성 부하를 구동하는 표시 장치의 구동 회로로서,
 상기 셋업 저항은 폴리실리콘 저항으로 구성되어 있는 것을 특징으로 하는 표시 장치의 구동 회로. (5)
 (부기 7)

입력 단자와,
 상기 입력 단자로부터 입력된 입력 신호의 프론트 엣지 및 백 엣지에 대응한 엣지 펄스를 발생하는 엣지 펄스 발생 회로와,
 상기 프론트 엣지 펄스를, 출력 기준 전압을 기준으로 한 펄스로 변환하는 제1 레벨 시프트 회로와,
 상기 백 엣지 펄스를, 상기 출력 기준 전압을 기준으로 한 펄스로 변환하는 제2 레벨 시프트 회로와,
 상기 제1 및 제2 레벨 시프트 회로의 출력 단자에 접속된 논리 회로와,
 상기 논리 회로의 출력 단자에 접속된 플립 플롭 회로와,
 상기 플립 플롭 회로의 후단에 접속된 출력 증폭 회로와,
 상기 출력 증폭 회로에 접속된 출력 소자
 를 구비하는 표시 장치의 구동 회로로서,
 상기 플립 플롭 회로는,
 상기 프론트 엣지 펄스가 입력되는 제1 인버터 회로와,
 상기 제1 인버터 회로의 출력 단자에 접속된 제1 NAND 회로와,
 상기 백 엣지 펄스가 입력되는 제2 인버터 회로와,
 상기 제2 인버터 회로의 출력 단자에 접속된 제2 NAND 회로와,
 상기 제2 NAND 회로의 전단 또는 후단에 설치된 리셋트 지연 회로
 를 구비하는 것을 특징으로 하는 표시 장치의 구동 회로. (6)

(부기 8)
 상기 리셋트 지연 회로는 인버터 회로로 구성되어 있는 것을 특징으로 하는 부기 7에 기재된 표시 장치의 구동 회로. (7)

(부기 9)

상기 리셋 지연 회로는, 직렬 접속된 2개의 인버터 회로로 구성되는 것을 특징으로 하는 부기 8에 기재된 표시 장치의 구동 회로.

(부기 10)

상기 리셋 지연 회로는, 상기 제2 NAND 회로의 출력 단자에 접속된 인버터 회로의 입력 용량으로 구성되는 것을 특징으로 하는 부기 8에 기재된 표시 장치의 구동 회로.

(부기 11)

상기 리셋 지연 회로는, 상기 제2 NAND 회로의 출력 단자에 접속된 복수의 인버터 회로의 입력 용량으로 구성되는 것을 특징으로 하는 부기 10에 기재된 표시 장치의 구동 회로.

(부기 12)

상기 리셋 지연 회로는, 저항과 용량으로 구성된 시상수 회로인 것을 특징으로 하는 부기 7에 기재된 표시 장치의 구동 회로.

(부기 13)

상기 리셋 지연 회로는, 상기 제2 NAND 회로의 출력 단자에 접속된 용량으로 구성되는 것을 특징으로 하는 부기 7에 기재된 표시 장치의 구동 회로.

(부기 14)

입력 단자와,

상기 입력 단자로부터 입력된 입력 신호의 프론트 엣지 및 백 엣지에 대응한 엣지 펄스를 발생하는 엣지 펄스 발생 회로와,

상기 프론트 엣지 펄스를, 출력 기준 전압을 기준으로 한 펄스로 변환하는 제1 레벨 시프트 회로와,

상기 백 엣지 펄스를, 상기 출력 기준 전압을 기준으로 한 펄스로 변환하는 제2 레벨 시프트 회로와,

상기 제1 및 제2 레벨 시프트 회로의 출력 단자에 접속된 논리 회로와,

상기 논리 회로의 출력 단자에 접속된 플립 플롭 회로와,

상기 플립 플롭 회로의 후단에 접속된 출력 증폭 회로와,

상기 출력 증폭 회로에 접속된 출력 소자

를 구비하는 표시 장치의 구동 회로로서,

상기 출력 증폭 회로의 전원 전압 라인과 상기 출력 기준 전압을 공급하는 전원 전압 라인 사이에 접속되고, 주파수 응답성이 낮고, 용량치가 큰 용량을 구비하는 것을 특징으로 하는 표시 장치의 구동 회로. (8)

(부기 15)

상기 논리 회로는, 상기 제1 레벨 시프트 회로의 출력 신호와 상기 제2 레벨 시프트 회로의 출력 신호가 동시에 액티브 상태일 때에는 출력 신호를 발생하지 않는 동시 액티브 방지 기능을 갖는 것을 특징으로 하는 부기 1 내지 14 중 어느 하나에 기재된 표시 장치의 구동 회로. (9)

(부기 16)

상기 제1 레벨 시프트 회로의 출력 신호와 상기 제2 레벨 시프트 회로의 출력 신호가 동시에 「저(L)」 레벨일 때에는, 상기 논리 회로로부터 상기 제1 인버터 회로에 출력되는 신호가 「저(L)」 레벨로 되고, 상기 논리 회로로부터 상기 제2 인버터 회로에 출력되는 신호가 「고(H)」 레벨로 되는 것을 특징으로 하는 부기 15에 기재된 표시 장치의 구동 회로.

(부기 17)

복수의 X 전극과,

상기 복수의 X 전극에 인접하여 교대로 배치되고, 상기 복수의 X 전극과의 사이에서 방전을 발생하는 복수의 Y 전극과,

상기 복수의 X 전극에 방전 전압을 인가하는 X 전극 구동 회로와,

상기 복수의 Y 전극에 방전 전압을 인가하는 Y 전극 구동 회로

를 구비한 플라즈마 디스플레이 장치로서,

상기 X 전극 구동 회로 및 상기 Y 전극 구동 회로는, 부기 1 내지 16 중 어느 하나에 기재된 표시 장치의 구동 회로로 구성되어 있는 것을 특징으로 하는 플라즈마 디스플레이 장치. (10)

(부기 18)

제1 입력 단자와,

제1 입력 단자로부터 입력된 제1 입력 신호의 제1 프론트 엣지 및 제1 백 엣지에 대응한 제1 엣지 펄스를 발생하는 제1 엣지 펄스 발생 회로와,

상기 제1 프론트 엣지 펄스를, 제1 출력 기준 전압을 기준으로 한 펄스로 변환하는 제1 레벨 시프트 회로와,

상기 제1 백 엣지 펄스를, 상기 제1 출력 기준 전압을 기준으로 한 펄스로 변환하는 제2 레벨 시프트 회로와,

상기 제1 및 제2 레벨 시프트 회로의 출력 단자에 접속된 제1 논리 회로와,

상기 제1 논리 회로의 출력 단자에 접속된 제1 플립 플롭 회로와,

상기 제1 플립 플롭 회로의 내부 또는 상기 제1 플립 플롭 회로의 후단에서의 제1 신호 라인에 접속된 제1 셋업 저항과,

상기 제1 셋업 저항의 후단에 접속된 제1 출력 증폭 회로와,

상기 제1 출력 증폭 회로에 접속되어 용량성 부하로 하이 레벨 전압을 공급하는 제1 출력 소자

를 구비하고,

또한,

제2 입력 단자와,

제2 입력 단자로부터 입력된 제2 입력 신호의 제2 프론트 엣지 및 제2 백 엣지에 대응한 제2 엣지 펄스를 발생하는 제2 엣지 펄스 발생 회로와,

상기 제2 프론트 엣지 펄스를, 제2 출력 기준 전압을 기준으로 한 펄스로 변환하는 제3 레벨 시프트 회로와,

상기 제2 백 엣지 펄스를, 상기 제2 출력 기준 전압을 기준으로 한 펄스로 변환하는 제4 레벨 시프트 회로와,
 상기 제3 및 제4 레벨 시프트 회로의 출력 단자에 접속된 제2 논리 회로와,
 상기 제2 논리 회로의 출력 단자에 접속된 제2 플립 플롭 회로와,
 상기 제2 플립 플롭 회로의 내부 또는 상기 제2 플립 플롭 회로의 후단에서의 제2 신호 라인에 접속된 제2 셋업 저항과,
 상기 제2 셋업 저항의 후단에 접속된 제2 출력 증폭 회로와,
 상기 제2 출력 증폭 회로에 접속되어 용량성 부하로 로우 레벨 전압을 공급하는 제2 출력 소자
 를 구비하며,
 상기 제1 셋업 저항은, 제1 출력 증폭 회로의 제1 전원 전압 라인과 상기 제1의 신호 라인 사이에 접속되고,
 상기 제2 셋업 저항은, 제2 출력 증폭 회로의 제2 전원 전압 라인과 상기 제2 신호 라인 사이에 접속된 것을 특징으로 하는
 표시 장치의 구동 회로.

(부기 19)

제1 입력 단자와,

제1 입력 단자로부터 입력된 제1 입력 신호의 제1 프론트 엣지 및 제1 백 엣지에 대응한 제1 엣지 펄스를 발생하는 제1 엣지 펄스 발생 회로와,

상기 제1 프론트 엣지 펄스를, 제1 출력 기준 전압을 기준으로 한 펄스로 변환하는 제1 레벨 시프트 회로와,

상기 제1 백 엣지 펄스를, 상기 제1 출력 기준 전압을 기준으로 한 펄스로 변환하는 제2 레벨 시프트 회로와,

상기 제1 및 제2 레벨 시프트 회로의 출력 단자에 접속된 제1 논리 회로와,

상기 제1 논리 회로의 출력 단자에 접속된 제1 플립 플롭 회로와,

상기 제1 플립 플롭 회로의 내부 또는 상기 제1 플립 플롭 회로의 후단에서의 제1 신호 라인에 접속된 제1 셋업 저항과,

상기 제1 셋업 저항의 후단에 접속된 제1 출력 증폭 회로와,

상기 제1 출력 증폭 회로에 접속되어 용량성 부하로 하이 레벨 전압을 공급하는 제1 출력 소자

를 구비하고,

또한,

제2 입력 단자와,

제2 입력 단자로부터 입력된 제2 입력 신호의 제2 프론트 엣지 및 제2 백 엣지에 대응한 제2 엣지 펄스를 발생하는 제2 엣지 펄스 발생 회로와,

상기 제2 프론트 엣지 펄스를, 제2 출력 기준 전압을 기준으로 한 펄스로 변환하는 제3 레벨 시프트 회로와,

상기 제2 백 엣지 펄스를, 상기 제2 출력 기준 전압을 기준으로 한 펄스로 변환하는 제4 레벨 시프트 회로와,

상기 제3 및 제4 레벨 시프트 회로의 출력 단자에 접속된 제2 논리 회로와,
 상기 제2 논리 회로의 출력 단자에 접속된 제2 플립 플롭 회로와,
 상기 제2 플립 플롭 회로의 내부 또는 상기 제2 플립 플롭 회로의 후단에서의 제2 신호 라인에 접속된 제2 셋업 저항과,
 상기 제2 셋업 저항의 후단에 접속된 제2 출력 증폭 회로와,
 상기 제2 출력 증폭 회로에 접속되어 용량성 부하로 로우 레벨 전압을 공급하는 제2 출력 소자
 를 구비하며,

상기 제1 플립 플롭 회로의 출력 단자와 상기 제1 출력 증폭 회로의 제1 전원 전압 라인 사이의 용량은, 상기 제1 플립 플롭 회로의 출력 단자와 상기 제1 출력 기준 전압을 공급하는 전원 전압 라인 사이의 용량보다 작고,

상기 제2 플립 플롭 회로의 출력 단자와 상기 제2 출력 증폭 회로의 제2 전원 전압 라인 사이의 용량은, 상기 제2 플립 플롭 회로의 출력 단자와 상기 제2 출력 기준 전압을 공급하는 전원 전압 라인 사이의 용량보다 작은 것을 특징으로 하는 표시 장치의 구동 회로.

(부기 20)

제1 입력 단자와,

제1 입력 단자로부터 입력된 제1 입력 신호의 제1 프론트 엣지 및 제1 백 엣지에 대응한 제1 엣지 펄스를 발생하는 제1 엣지 펄스 발생 회로와,

상기 제1 프론트 엣지 펄스를, 제1 출력 기준 전압을 기준으로 한 펄스로 변환하는 제1 레벨 시프트 회로와,

상기 제1 백 엣지 펄스를, 상기 제1 출력 기준 전압을 기준으로 한 펄스로 변환하는 제2 레벨 시프트 회로와,

상기 제1 및 제2 레벨 시프트 회로의 출력 단자에 접속된 제1 논리 회로와,

상기 제1 논리 회로의 출력 단자에 접속된 제1 플립 플롭 회로와,

상기 제1 플립 플롭 회로의 내부 또는 상기 제1 플립 플롭 회로의 후단에서의 제1 신호 라인에 접속된 제1 셋업 저항과,

상기 제1 셋업 저항의 후단에 접속된 제1 출력 증폭 회로와,

상기 제1 출력 증폭 회로에 접속되어 용량성 부하로 하이 레벨 전압을 공급하는 제1 출력 소자

를 구비하고,

또한,

제2 입력 단자와,

제2 입력 단자로부터 입력된 제2 입력 신호의 제2 프론트 엣지 및 제2 백 엣지에 대응한 제2 엣지 펄스를 발생하는 제2 엣지 펄스 발생 회로와,

상기 제2 프론트 엣지 펄스를, 제2 출력 기준 전압을 기준으로 한 펄스로 변환하는 제3 레벨 시프트 회로와,

상기 제2 백 엣지 펄스를, 상기 제2 출력 기준 전압을 기준으로 한 펄스로 변환하는 제4 레벨 시프트 회로와,

상기 제3 및 제4 레벨 시프트 회로의 출력 단자에 접속된 제2 논리 회로와,
상기 제2 논리 회로의 출력 단자에 접속된 제2 플립 플롭 회로와,
상기 제2 플립 플롭 회로의 내부 또는 상기 제2 플립 플롭 회로의 후단에서의 제2 신호 라인에 접속된 제2 셋업 저항과,
상기 제2 셋업 저항의 후단에 접속된 제2 출력 증폭 회로와,
상기 제2 출력 증폭 회로에 접속되어 용량성 부하로 로우 레벨 전압을 공급하는 제2 출력 소자를 구비하며,
상기 제1 플립 플롭 회로는,
상기 제1 프론트 엣지 펄스가 입력되는 제1 인버터 회로와,
상기 제1 인버터 회로의 출력 단자에 접속된 제1 NAND 회로와,
상기 제1 백 엣지 펄스가 입력되는 제2 인버터 회로와,
상기 제2 인버터 회로의 출력 단자에 접속된 제2 NAND 회로와,
상기 제2 NAND 회로의 전단 또는 후단에 설치된 제1 리셋 지연 회로를 구비하고,
상기 제2 플립 플롭 회로는,
상기 제2 프론트 엣지 펄스가 입력되는 제3 인버터 회로와,
상기 제3 인버터 회로의 출력 단자에 접속된 제3 NAND 회로와,
상기 제2 백 엣지 펄스가 입력되는 제4 인버터 회로와,
상기 제4 인버터 회로의 출력 단자에 접속된 제4 NAND 회로와,
상기 제4 NAND 회로의 전단 또는 후단에 설치된 제2 리셋 지연 회로를 구비하는 것을 특징으로 하는 표시 장치의 구동 회로.

(부기 21)

부기 18 내지 20 중 어느 하나에 있어서,

상기 제1 입력 단자와, 상기 제1 엣지 펄스 발생 회로와, 상기 제1 레벨 시프트 회로와, 상기 제2 레벨 시프트 회로와, 상기 제1 논리 회로와, 상기 제1 플립 플롭 회로와, 상기 제1 셋업 저항과, 상기 제1 출력 증폭 회로와, 상기 제2 입력 단자와, 상기 제2 엣지 펄스 발생 회로와, 상기 제3 레벨 시프트 회로와, 상기 제4 레벨 시프트 회로와, 상기 제2 논리 회로와, 상기 제2 플립 플롭 회로와, 상기 제2 셋업 저항과, 상기 제2 출력 증폭 회로는, 동일한 반도체 집적 회로 내에 형성된 것을 특징으로 하는 표시 장치의 구동 회로.

(부기 22)

복수의 X 전극과,

상기 복수의 X 전극에 인접하여 교대로 배치되고, 상기 복수의 X 전극과의 사이에서 방전을 발생하는 복수의 Y 전극과,
 상기 복수의 X 전극에 방전 전압을 인가하는 X 전극 구동 회로와,
 상기 복수의 Y 전극에 방전 전압을 인가하는 Y 전극 구동 회로
 를 구비한 플라즈마 디스플레이 장치로서,

상기 X 전극 구동 회로 및 상기 Y 전극 구동 회로는, 부기 18 내지 21 중 어느 하나에 기재된 표시 장치의 구동 회로로 구성된 것을 특징으로 하는 플라즈마 디스플레이 장치.

이상 설명한 바와 같이, 본 발명의 표시 장치의 구동 회로를 플라즈마 디스플레이 장치에 적용함으로써, 전원 투입 시에 오동작이 발생하지 않는 신뢰성이 높은 플라즈마 디스플레이 장치를 제공할 수 있다.

발명의 효과

본 발명에 따르면, 전원 투입 시의 오동작을 방지하여 출력 소자의 파괴를 방지할 수 있다.

또한, 본 발명에 따르면, 출력 증폭 회로의 전원 단자에 접속되어 있는 고주파 용량 소자나, 출력 증폭 회로의 기준 전압 단자에 접속되어 있는 보호 다이오드가 없어도 정상적으로 동작하기 때문에, 이들 소자를 삭제할 수 있다.

(57) 청구의 범위

청구항 1.

입력 단자와,

상기 입력 단자로부터 입력된 입력 신호의 프론트 엣지 및 백 엣지에 대응한 엣지 펄스를 발생하는 엣지 펄스 발생 회로와,

상기 프론트 엣지 펄스를, 출력 기준 전압을 기준으로 한 펄스로 변환하는 제1 레벨 시프트 회로와,

상기 백 엣지 펄스를, 상기 출력 기준 전압을 기준으로 한 펄스로 변환하는 제2 레벨 시프트 회로와,

상기 제1 및 제2 레벨 시프트 회로의 출력 단자에 접속된 논리 회로와,

상기 논리 회로의 출력 단자에 접속된 플립 플롭 회로와,

상기 플립 플롭 회로의 내부 또는 상기 플립 플롭 회로의 후단에서의 신호 라인에 접속된 셋업 저항과,

상기 셋업 저항의 후단에 접속된 출력 증폭 회로와,

상기 출력 증폭 회로에 접속된 출력 소자

를 구비하고,

상기 출력 소자에 의해 표시 장치의 용량성 부하를 구동하는 표시 장치의 구동 회로로서,

상기 셋업 저항은, 상기 출력 증폭 회로의 전원 전압 라인과 상기 신호 라인 사이에 접속되는 것을 특징으로 하는 표시 장치의 구동 회로.

청구항 2.

제1항에 있어서,

상기 플립 플롭 회로는,

상기 프론트 엣지 펄스가 입력되는 제1 인버터 회로와,

상기 제1 인버터 회로의 출력 단자에 접속된 제1 NAND 회로와,

상기 백 엣지 펄스가 입력되는 제2 인버터 회로와,

상기 제2 인버터 회로의 출력 단자에 접속된 제2 NAND 회로

를 구비하고,

상기 셋업 저항은, 상기 제1 인버터 회로와 상기 제1 NAND 회로의 접속점과 상기 출력 증폭 회로의 전원 전압 라인 사이에 접속되는 것을 특징으로 하는 표시 장치의 구동 회로.

청구항 3.

제1항에 있어서,

상기 플립 플롭 회로의 후단에 설치된 제3 인버터 회로

를 구비하고,

상기 셋업 저항은, 상기 제3 인버터 회로의 출력 단자와 상기 출력 증폭 회로의 전원 전압 라인 사이에 접속되는 것을 특징으로 하는 표시 장치의 구동 회로.

청구항 4.

입력 단자와,

상기 입력 단자로부터 입력된 입력 신호의 프론트 엣지 및 백 엣지에 대응한 엣지 펄스를 발생하는 엣지 펄스 발생 회로와,

상기 프론트 엣지 펄스를, 출력 기준 전압을 기준으로 한 펄스로 변환하는 제1 레벨 시프트 회로와,

상기 백 엣지 펄스를, 상기 출력 기준 전압을 기준으로 한 펄스로 변환하는 제2 레벨 시프트 회로와,

상기 제1 및 제2 레벨 시프트 회로의 출력 단자에 접속된 논리 회로와,

상기 논리 회로의 출력 단자에 접속된 플립 플롭 회로와,

상기 플립 플롭 회로의 후단에 접속된 출력 증폭 회로와,

상기 출력 증폭 회로에 접속된 출력 소자

를 구비하고,

상기 출력 소자에 의해 표시 장치의 용량성 부하를 구동하는 표시 장치의 구동 회로로서,

상기 플립 플롭 회로의 출력 단자와 상기 출력 증폭 회로의 전원 전압 라인 사이의 용량은, 상기 플립 플롭 회로의 출력 단자와 상기 출력 기준 전압을 공급하는 전원 전압 라인 사이의 용량보다 작은 것을 특징으로 하는 표시 장치의 구동 회로.

청구항 5.

입력 단자와,

상기 입력 단자로부터 입력된 입력 신호의 프론트 엣지 및 백 엣지에 대응한 엣지 펄스를 발생하는 엣지 펄스 발생 회로와,

상기 프론트 엣지 펄스를, 출력 기준 전압을 기준으로 한 펄스로 변환하는 제1 레벨 시프트 회로와,

상기 백 엣지 펄스를, 상기 출력 기준 전압을 기준으로 한 펄스로 변환하는 제2 레벨 시프트 회로와,

상기 제1 및 제2 레벨 시프트 회로의 출력 단자에 접속된 논리 회로와,

상기 논리 회로의 출력 단자에 접속된 플립 플롭 회로와,

상기 플립 플롭 회로의 내부 또는 상기 플립 플롭 회로의 후단에서의 신호 라인에 접속된 셋업 저항과,

상기 셋업 저항의 후단에 접속된 출력 증폭 회로와,

상기 출력 증폭 회로에 접속된 출력 소자

를 구비하고,

상기 출력 소자에 의해 표시 장치의 용량성 부하를 구동하는 표시 장치의 구동 회로로서,

상기 셋업 저항은 폴리실리콘 저항으로 구성되어 있는 것을 특징으로 하는 표시 장치의 구동 회로.

청구항 6.

입력 단자와,

상기 입력 단자로부터 입력된 입력 신호의 프론트 엣지 및 백 엣지에 대응한 엣지 펄스를 발생하는 엣지 펄스 발생 회로와,

상기 프론트 엣지 펄스를, 출력 기준 전압을 기준으로 한 펄스로 변환하는 제1 레벨 시프트 회로와,

상기 백 엣지 펄스를, 상기 출력 기준 전압을 기준으로 한 펄스로 변환하는 제2 레벨 시프트 회로와,

상기 제1 및 제2 레벨 시프트 회로의 출력 단자에 접속된 논리 회로와,

상기 논리 회로의 출력 단자에 접속된 플립 플롭 회로와,

상기 플립 플롭 회로의 후단에 접속된 출력 증폭 회로와,

상기 출력 증폭 회로에 접속된 출력 소자

를 구비하는 표시 장치의 구동 회로로서,

상기 플립 플롭 회로는,

상기 프론트 엣지 펄스가 입력되는 제1 인버터 회로와,
 상기 제1 인버터 회로의 출력 단자에 접속된 제1 NAND 회로와,
 상기 백 엣지 펄스가 입력되는 제2 인버터 회로와,
 상기 제2 인버터 회로의 출력 단자에 접속된 제2 NAND 회로와,
 상기 제2 NAND 회로의 전단 또는 후단에 설치된 리셋 지연 회로
 를 구비하는 것을 특징으로 하는 표시 장치의 구동 회로.

청구항 7.

제6항에 있어서,
 상기 리셋 지연 회로는 인버터 회로로 구성되어 있는 것을 특징으로 하는 표시 장치의 구동 회로.

청구항 8.

입력 단자와,
 상기 입력 단자로부터 입력된 입력 신호의 프론트 엣지 및 백 엣지에 대응한 엣지 펄스를 발생하는 엣지 펄스 발생 회로와,
 상기 프론트 엣지 펄스를, 출력 기준 전압을 기준으로 한 펄스로 변환하는 제1 레벨 시프트 회로와,
 상기 백 엣지 펄스를, 상기 출력 기준 전압을 기준으로 한 펄스로 변환하는 제2 레벨 시프트 회로와,
 상기 제1 및 제2 레벨 시프트 회로의 출력 단자에 접속된 논리 회로와,
 상기 논리 회로의 출력 단자에 접속된 플립 플롭 회로와,
 상기 플립 플롭 회로의 후단에 접속된 출력 증폭 회로와,
 상기 출력 증폭 회로에 접속된 출력 소자
 를 구비하는 표시 장치의 구동 회로로서,
 상기 출력 증폭 회로의 전원 전압 라인과 상기 출력 기준 전압을 공급하는 전원 전압 라인 사이에 접속되고, 주파수 응답성이 낮고, 용량치가 큰 용량을 구비하는 것을 특징으로 하는 표시 장치의 구동 회로.

청구항 9.

제1항 내지 제8항 중 어느 한 항에 있어서,
 상기 논리 회로는, 상기 제1 레벨 시프트 회로의 출력 신호와 상기 제2 레벨 시프트 회로의 출력 신호가 동시에 액티브 상태일 때에는 출력 신호를 발생하지 않는 동시 액티브 방지 기능을 갖는 것을 특징으로 하는 표시 장치의 구동 회로.

청구항 10.

복수의 X 전극과,

상기 복수의 X 전극에 인접하여 교대로 배치되고, 상기 복수의 X 전극과의 사이에서 방전을 발생하는 복수의 Y 전극과,

상기 복수의 X 전극에 방전 전압을 인가하는 X 전극 구동 회로와,

상기 복수의 Y 전극에 방전 전압을 인가하는 Y 전극 구동 회로

를 구비한 플라즈마 디스플레이 장치로서,

상기 X 전극 구동 회로 및 상기 Y 전극 구동 회로는, 제1항 내지 제8항 중 어느 한 항의 표시 장치의 구동 회로로 구성되어 있는 것을 특징으로 하는 플라즈마 디스플레이 장치.

청구항 11.

제1 입력 단자와,

제1 입력 단자로부터 입력된 제1 입력 신호의 제1 프론트 엣지 및 제1 백 엣지에 대응한 제1 엣지 펄스를 발생하는 제1 엣지 펄스 발생 회로와,

상기 제1 프론트 엣지 펄스를, 제1 출력 기준 전압을 기준으로 한 펄스로 변환하는 제1 레벨 시프트 회로와,

상기 제1 백 엣지 펄스를, 상기 제1 출력 기준 전압을 기준으로 한 펄스로 변환하는 제2 레벨 시프트 회로와,

상기 제1 및 제2 레벨 시프트 회로의 출력 단자에 접속된 제1 논리 회로와,

상기 제1 논리 회로의 출력 단자에 접속된 제1 플립 플롭 회로와,

상기 제1 플립 플롭 회로의 내부 또는 상기 제1 플립 플롭 회로의 후단에서의 제1 신호 라인에 접속된 제1 셋업 저항과,

상기 제1 셋업 저항의 후단에 접속된 제1 출력 증폭 회로와,

상기 제1 출력 증폭 회로에 접속되어 용량성 부하로 하이 레벨 전압을 공급하는 제1 출력 소자

를 구비하고,

또한,

제2 입력 단자와,

제2 입력 단자로부터 입력된 제2 입력 신호의 제2 프론트 엣지 및 제2 백 엣지에 대응한 제2 엣지 펄스를 발생하는 제2 엣지 펄스 발생 회로와,

상기 제2 프론트 엣지 펄스를, 제2 출력 기준 전압을 기준으로 한 펄스로 변환하는 제3 레벨 시프트 회로와,

상기 제2 백 엣지 펄스를, 상기 제2 출력 기준 전압을 기준으로 한 펄스로 변환하는 제4 레벨 시프트 회로와,

상기 제3 및 제4 레벨 시프트 회로의 출력 단자에 접속된 제2 논리 회로와,

상기 제2 논리 회로의 출력 단자에 접속된 제2 플립 플롭 회로와,

상기 제2 플립 플롭 회로의 내부 또는 상기 제2 플립 플롭 회로의 후단에서의 제2 신호 라인에 접속된 제2 셋업 저항과,
 상기 제2 셋업 저항의 후단에 접속된 제2 출력 증폭 회로와,
 상기 제2 출력 증폭 회로에 접속되어 용량성 부하로 로우 레벨 전압을 공급하는 제2 출력 소자
 를 구비하며,
 상기 제1 셋업 저항은, 제1 출력 증폭 회로의 제1 전원 전압 라인과 상기 제1 신호 라인 사이에 접속되고,
 상기 제2 셋업 저항은, 제2 출력 증폭 회로의 제2 전원 전압 라인과 상기 제2 신호 라인 사이에 접속된 것을 특징으로 하는
 표시 장치의 구동 회로.

청구항 12.

제1 입력 단자와,
 제1 입력 단자로부터 입력된 제1 입력 신호의 제1 프론트 엣지 및 제1 백 엣지에 대응한 제1 엣지 펄스를 발생하는 제1 엣지 펄스 발생 회로와,
 상기 제1 프론트 엣지 펄스를, 제1 출력 기준 전압을 기준으로 한 펄스로 변환하는 제1 레벨 시프트 회로와,
 상기 제1 백 엣지 펄스를, 상기 제1 출력 기준 전압을 기준으로 한 펄스로 변환하는 제2 레벨 시프트 회로와,
 상기 제1 및 제2 레벨 시프트 회로의 출력 단자에 접속된 제1 논리 회로와,
 상기 제1 논리 회로의 출력 단자에 접속된 제1 플립 플롭 회로와,
 상기 제1 플립 플롭 회로의 내부 또는 상기 제1 플립 플롭 회로의 후단에서의 제1 신호 라인에 접속된 제1 셋업 저항과,
 상기 제1 셋업 저항의 후단에 접속된 제1 출력 증폭 회로와,
 상기 제1 출력 증폭 회로에 접속되어 용량성 부하로 하이 레벨 전압을 공급하는 제1 출력 소자
 를 구비하고,
 또한,
 제2 입력 단자와,
 제2 입력 단자로부터 입력된 제2 입력 신호의 제2 프론트 엣지 및 제2 백 엣지에 대응한 제2 엣지 펄스를 발생하는 제2 엣지 펄스 발생 회로와,
 상기 제2 프론트 엣지 펄스를, 제2 출력 기준 전압을 기준으로 한 펄스로 변환하는 제3 레벨 시프트 회로와,
 상기 제2 백 엣지 펄스를, 상기 제2 출력 기준 전압을 기준으로 한 펄스로 변환하는 제4 레벨 시프트 회로와,
 상기 제3 및 제4 레벨 시프트 회로의 출력 단자에 접속된 제2 논리 회로와,
 상기 제2 논리 회로의 출력 단자에 접속된 제2 플립 플롭 회로와,

상기 제2 플립 플롭 회로의 내부 또는 상기 제2 플립 플롭 회로의 후단에서의 제2 신호 라인에 접속된 제2 셋업 저항과,
상기 제2 셋업 저항의 후단에 접속된 제2 출력 증폭 회로와,

상기 제2 출력 증폭 회로에 접속되어 용량성 부하로 로우 레벨 전압을 공급하는 제2 출력 소자
를 구비하며,

상기 제1 플립 플롭 회로의 출력 단자와 상기 제1 출력 증폭 회로의 제1 전원 전압 라인 사이의 용량은, 상기 제1 플립 플롭 회로의 출력 단자와 상기 제1 출력 기준 전압을 공급하는 전원 전압 라인 사이의 용량보다 작고,

제2 플립 플롭 회로의 출력 단자와 상기 제2 출력 증폭 회로의 제2 전원 전압 라인 사이의 용량은, 상기 제2 플립 플롭 회로의 출력 단자와 상기 제2 출력 기준 전압을 공급하는 전원 전압 라인 사이의 용량보다 작은 것을 특징으로 하는 표시 장치의 구동 회로.

청구항 13.

제1 입력 단자와,

제1 입력 단자로부터 입력된 제1 입력 신호의 제1 프론트 엣지 및 제1 백 엣지에 대응한 제1 엣지 펄스를 발생하는 제1 엣지 펄스 발생 회로와,

상기 제1 프론트 엣지 펄스를, 제1 출력 기준 전압을 기준으로 한 펄스로 변환하는 제1 레벨 시프트 회로와,

상기 제1 백 엣지 펄스를, 상기 제1 출력 기준 전압을 기준으로 한 펄스로 변환하는 제2 레벨 시프트 회로와,

상기 제1 및 제2 레벨 시프트 회로의 출력 단자에 접속된 제1 논리 회로와,

상기 제1 논리 회로의 출력 단자에 접속된 제1 플립 플롭 회로와,

상기 제1 플립 플롭 회로의 내부 또는 상기 제1 플립 플롭 회로의 후단에서의 제1 신호 라인에 접속된 제1 셋업 저항과,

상기 제1 셋업 저항의 후단에 접속된 제1 출력 증폭 회로와,

상기 제1 출력 증폭 회로에 접속되어 용량성 부하로 하이 레벨 전압을 공급하는 제1 출력 소자

를 구비하고,

또한,

제2 입력 단자와,

제2 입력 단자로부터 입력된 제2 입력 신호의 제2 프론트 엣지 및 제2 백 엣지에 대응한 제2 엣지 펄스를 발생하는 제2 엣지 펄스 발생 회로와,

상기 제2 프론트 엣지 펄스를, 제2 출력 기준 전압을 기준으로 한 펄스로 변환하는 제3 레벨 시프트 회로와,

상기 제2 백 엣지 펄스를, 상기 제2 출력 기준 전압을 기준으로 한 펄스로 변환하는 제4 레벨 시프트 회로와,

상기 제3 및 제4 레벨 시프트 회로의 출력 단자에 접속된 제2 논리 회로와,

상기 제2 논리 회로의 출력 단자에 접속된 제2 플립 플롭 회로와,
 상기 제2 플립 플롭 회로의 내부 또는 상기 제2 플립 플롭 회로의 후단에서의 제2 신호 라인에 접속된 제2 셋업 저항과,
 상기 제2 셋업 저항의 후단에 접속된 제2 출력 증폭 회로와,
 상기 제2 출력 증폭 회로에 접속되어 용량성 부하로 로우 레벨 전압을 공급하는 제2 출력 소자를 구비하며,
 상기 제1 플립 플롭 회로는,
 상기 제1 프론트 엣지 펄스가 입력되는 제1 인버터 회로와,
 상기 제1 인버터 회로의 출력 단자에 접속된 제1 NAND 회로와,
 상기 제1 백 엣지 펄스가 입력되는 제2 인버터 회로와,
 상기 제2 인버터 회로의 출력 단자에 접속된 제2 NAND 회로와,
 상기 제2 NAND 회로의 전단 또는 후단에 설치된 제1 리셋트 지연 회로를 구비하고,
 상기 제2 플립 플롭 회로는,
 상기 제2 프론트 엣지 펄스가 입력되는 제3 인버터 회로와,
 상기 제3 인버터 회로의 출력 단자에 접속된 제3 NAND 회로와,
 상기 제2 백 엣지 펄스가 입력되는 제4 인버터 회로와,
 상기 제4 인버터 회로의 출력 단자에 접속된 제4 NAND 회로와,
 상기 제4 NAND 회로의 전단 또는 후단에 설치된 제2 리셋트 지연 회로를 구비하는 것을 특징으로 하는 표시 장치의 구동 회로.

청구항 14.

제11항 내지 제13항 중 어느 한 항에 있어서,

상기 제1 입력 단자와, 상기 제1 엣지 펄스 발생 회로와, 상기 제1 레벨 시프트 회로와, 상기 제2 레벨 시프트 회로와, 상기 제1 논리 회로와, 상기 제1 플립 플롭 회로와, 상기 제1 셋업 저항과, 상기 제1 출력 증폭 회로와, 상기 제2 입력 단자와, 상기 제2 엣지 펄스 발생 회로와, 상기 제3 레벨 시프트 회로와, 상기 제4 레벨 시프트 회로와, 상기 제2 논리 회로와, 상기 제2 플립 플롭 회로와, 상기 제2 셋업 저항과, 상기 제2 출력 증폭 회로는, 동일한 반도체 집적 회로 내에 형성된 것을 특징으로 하는 표시 장치의 구동 회로.

청구항 15.

복수의 X 전극과,

상기 복수의 X 전극에 인접하여 교대로 배치되고, 상기 복수의 X 전극과의 사이에서 방전을 발생하는 복수의 Y 전극과,

상기 복수의 X 전극에 방전 전압을 인가하는 X 전극 구동 회로와,

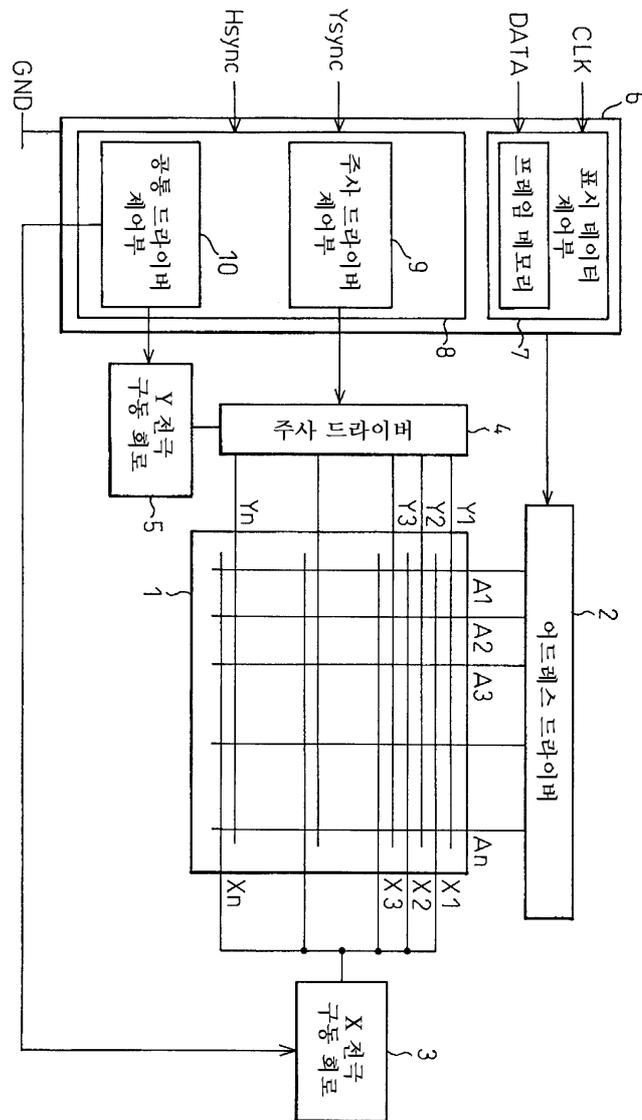
상기 복수의 Y 전극에 방전 전압을 인가하는 Y 전극 구동 회로

를 구비한 플라즈마 디스플레이 장치로서,

상기 X 전극 구동 회로 및 상기 Y 전극 구동 회로는, 제11항 내지 제13항 중 어느 한 항의 표시 장치의 구동 회로로 구성된 것을 특징으로 하는 플라즈마 디스플레이 장치.

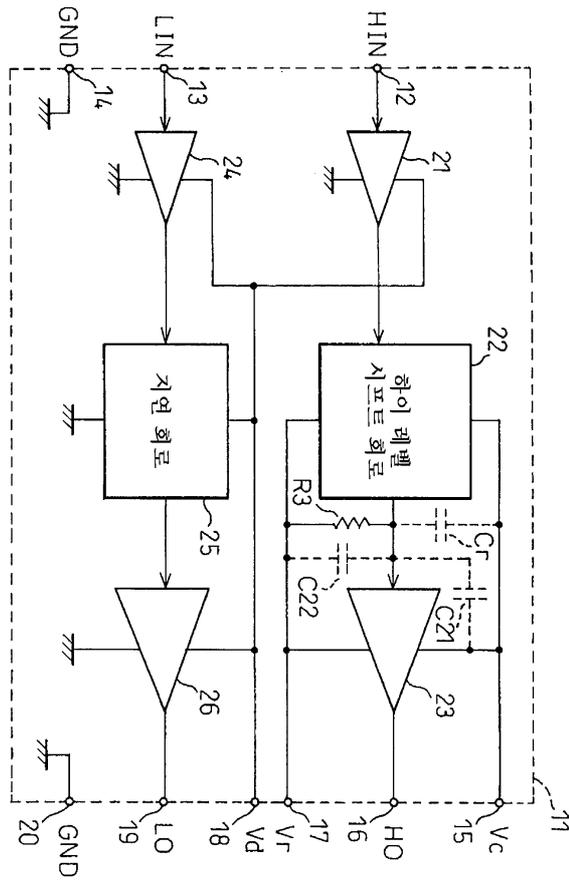
도면

도면1



플라즈마 디스플레이 장치의 전체 구성

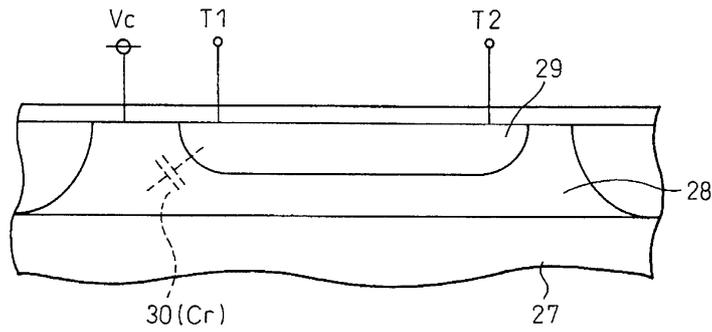
도면2



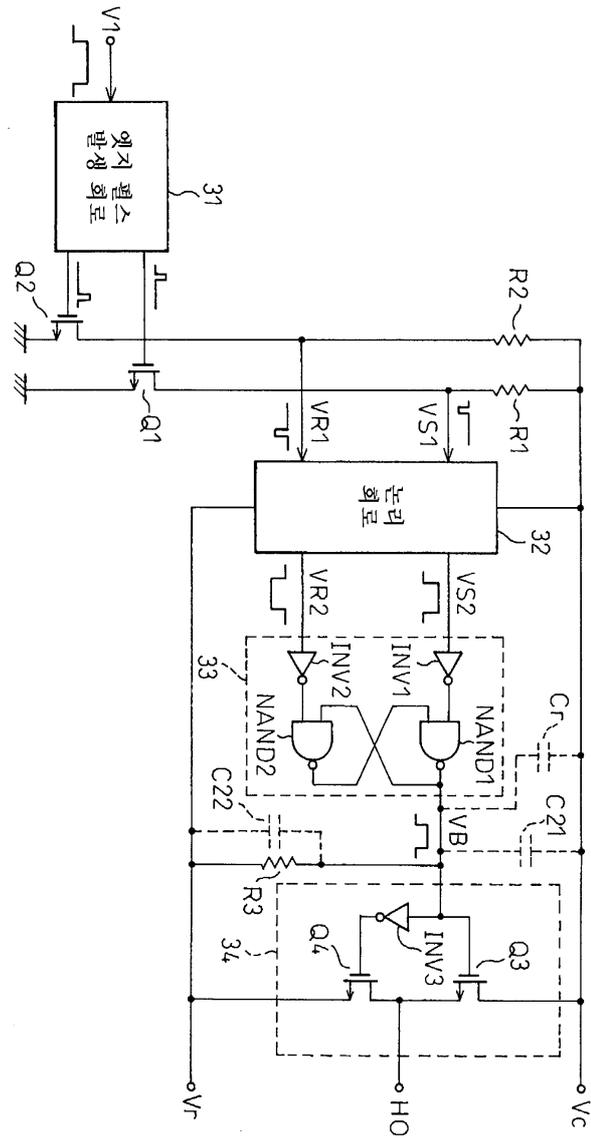
파워트랜지스터 구동용 IC의 종래예

도면3

종래예에서 사용되는 확산 저항



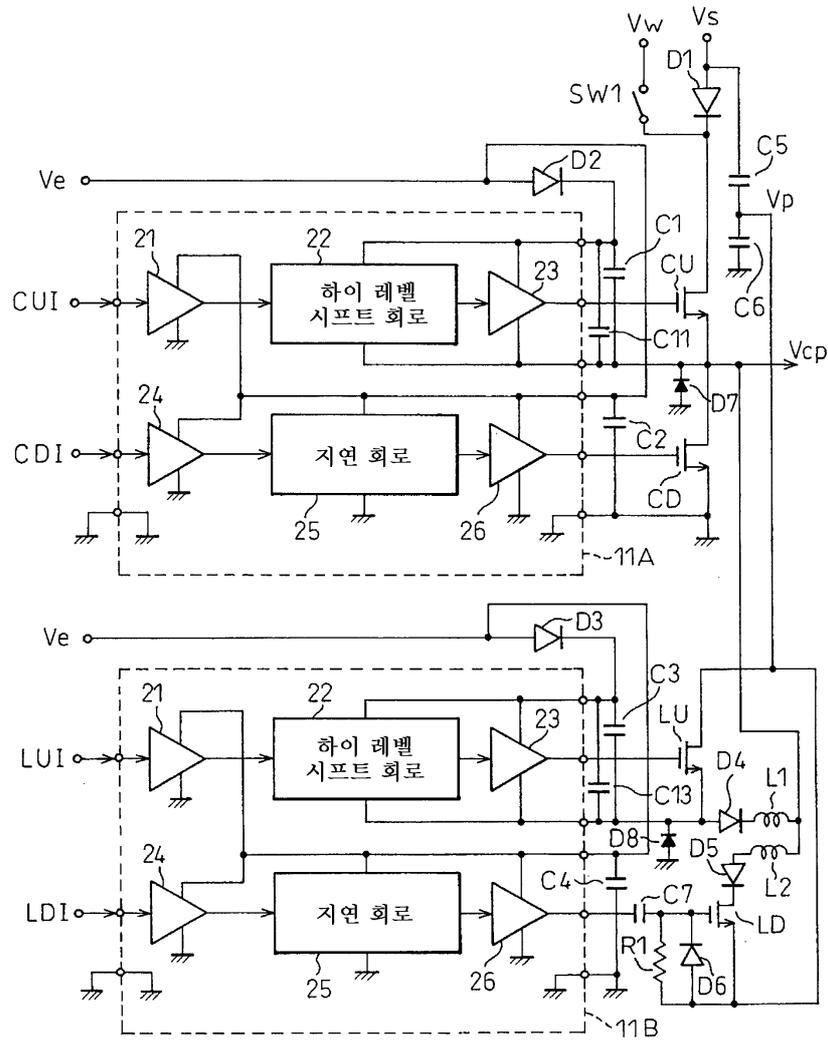
도면4



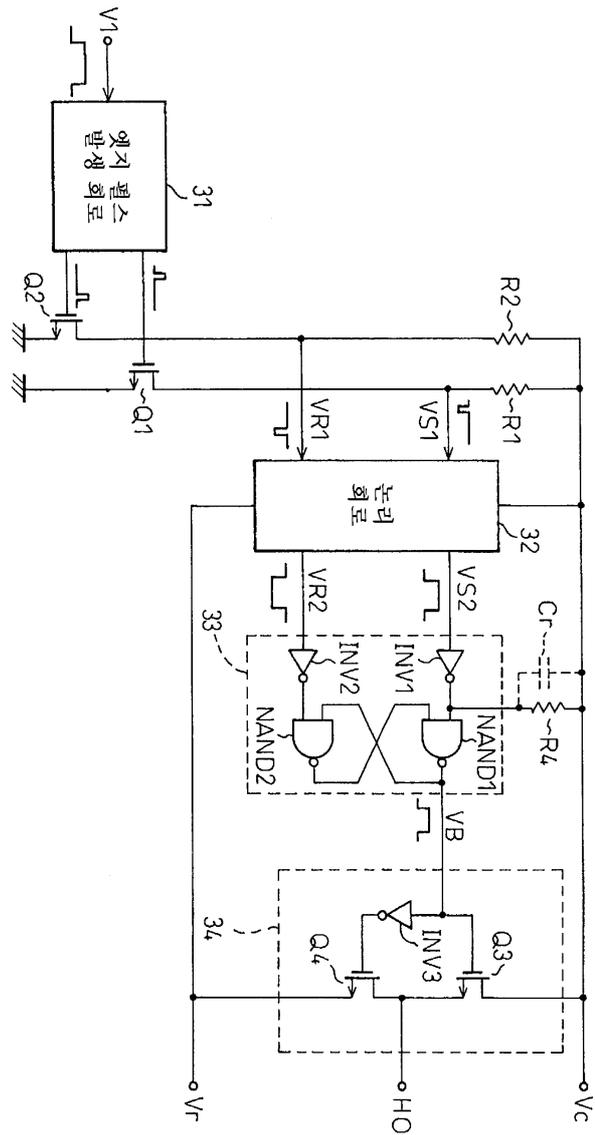
종래의 하이 레벨 시프트 회로와 출력 증폭 회로의 상세

도면5

서스테인 회로의 종래예

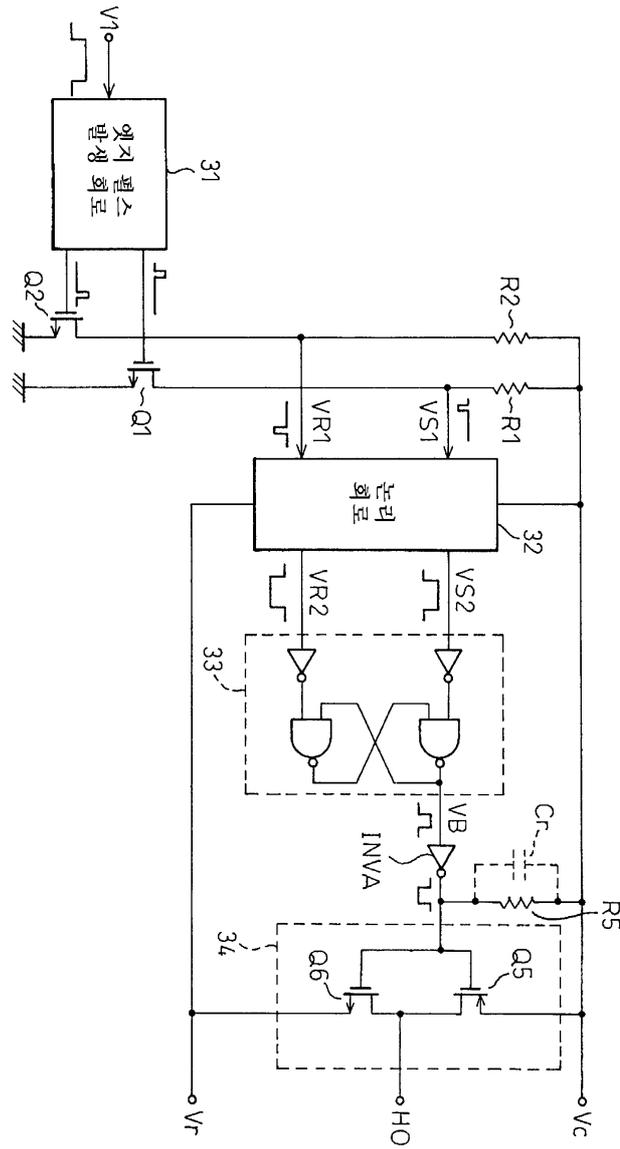


도면6



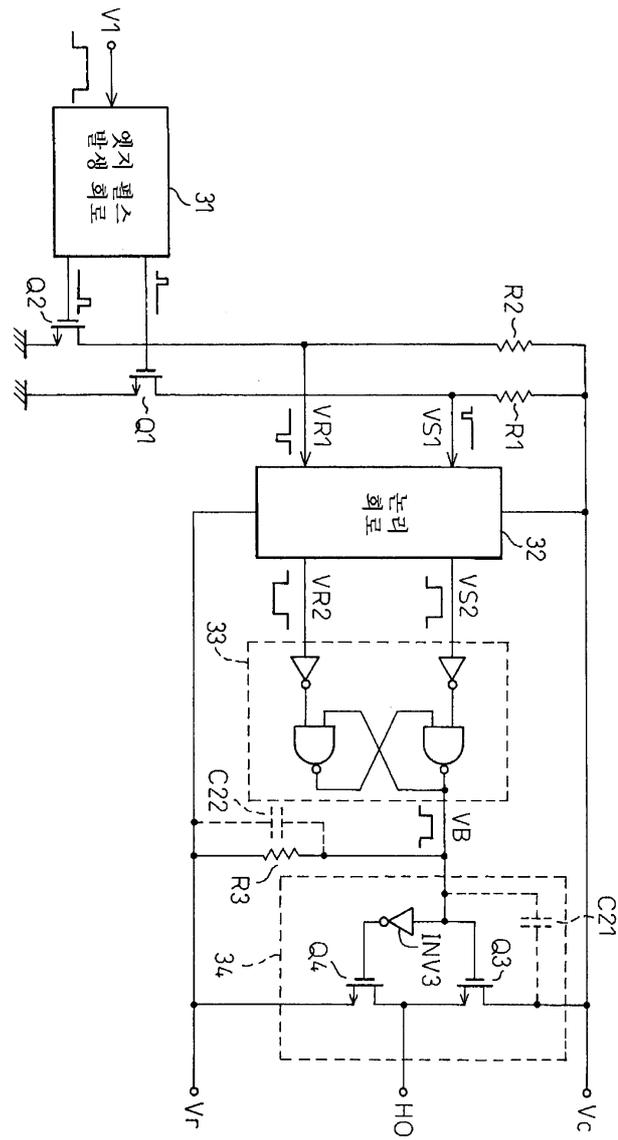
본 발명의 제1 실시예의 하이 레벨 시프트 회로와 출력 증폭 회로

도면7



본 발명의 제2 실시예의 하이 레벨 시프트 회로와 출력 증폭 회로

도면8

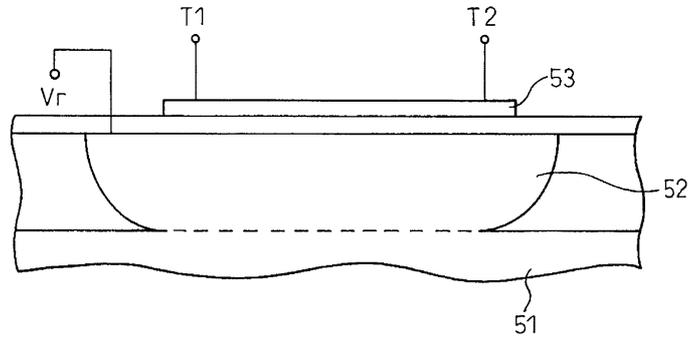


본 발명의 제3 실시예의 하이 레벨 시프트 회로와 출력 증폭 회로

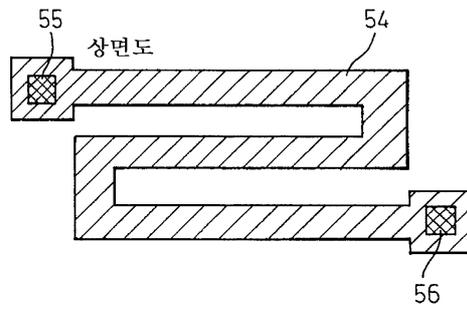
도면9

본 발명의 제3 실시예에서 사용되는 폴리실리콘 저항

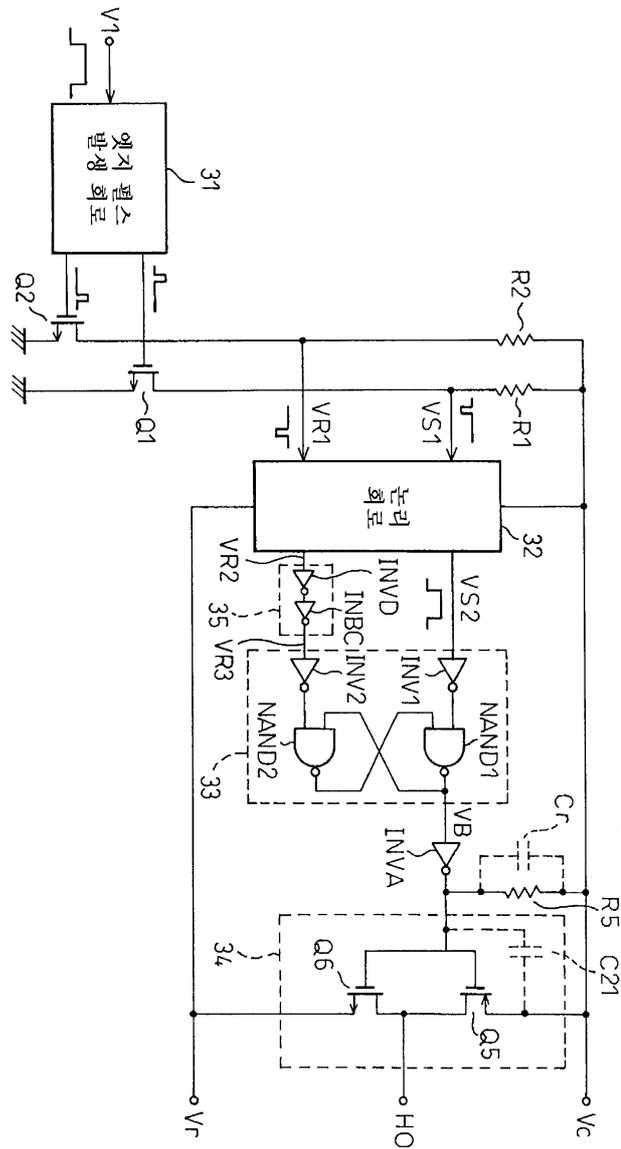
(a)단면도



(b)저항 패턴의 상면도



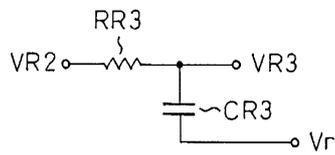
도면10



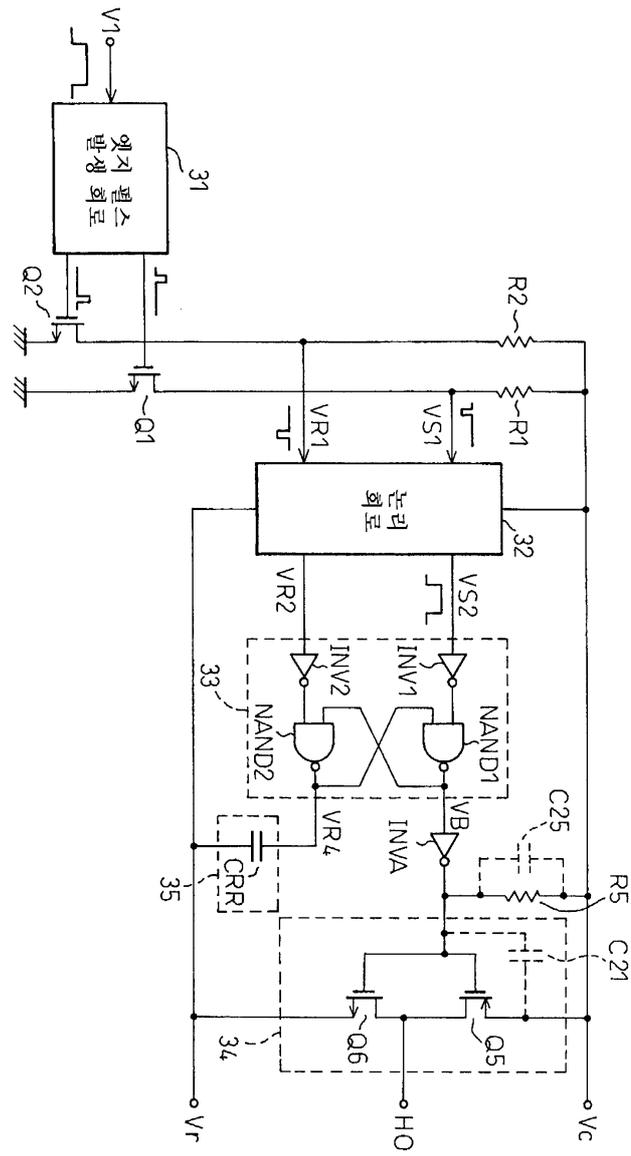
본 발명의 제4 실시예의 하이 레벨 시프트 회로와 출력 증폭 회로

도면11

리셋트 지연 회로의 다른 구성에

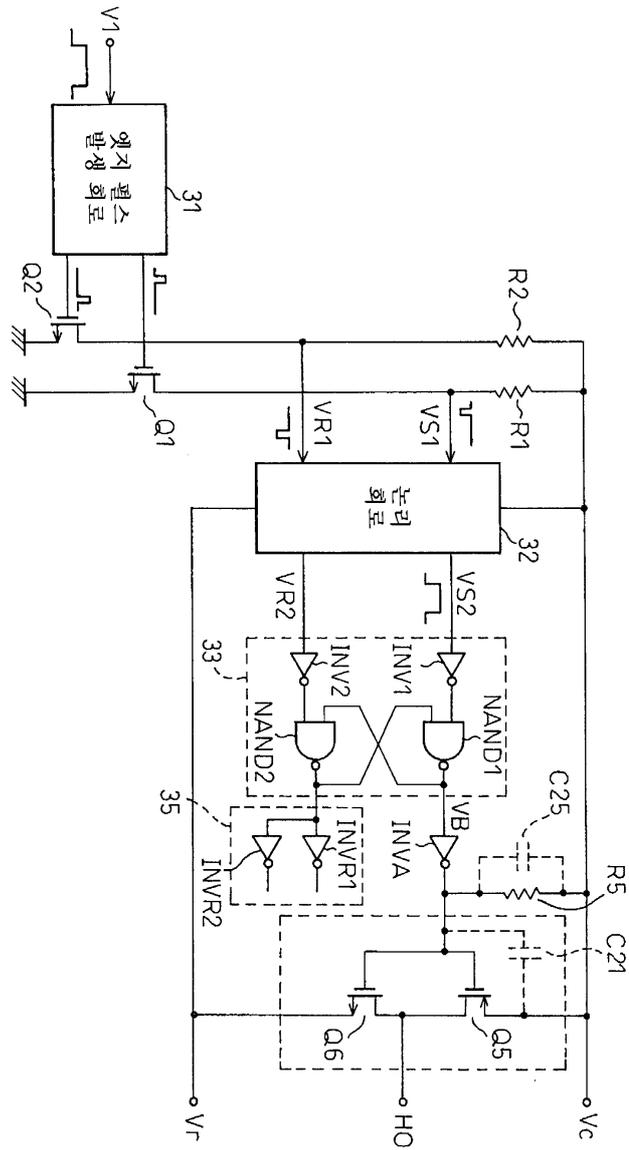


도면12



본 발명의 제5 실시예의 하이 레벤 시프트 회로와 출력 증폭 회로

도면13



본 발명의 제6 실시예의 하이 레벨 소프트 회로와 출력 증폭 회로

도면14

본 발명의 구성을 적용한 서스테인 회로

