

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4005451号  
(P4005451)

(45) 発行日 平成19年11月7日(2007.11.7)

(24) 登録日 平成19年8月31日(2007.8.31)

(51) Int. Cl.	F I	
<b>HO 1 L 23/12 (2006.01)</b>	HO 1 L 23/12	N
<b>HO 5 K 3/46 (2006.01)</b>	HO 1 L 23/12	E
	HO 5 K 3/46	N
	HO 5 K 3/46	Q
	HO 5 K 3/46	Z

請求項の数 4 (全 19 頁)

(21) 出願番号	特願2002-250936 (P2002-250936)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成14年8月29日(2002.8.29)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2004-95614 (P2004-95614A)	(74) 代理人	100070150 弁理士 伊東 忠彦
(43) 公開日	平成16年3月25日(2004.3.25)	(72) 発明者	木村 吉志 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
審査請求日	平成17年7月4日(2005.7.4)	(72) 発明者	菊池 敦 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	池元 義彦 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 多層基板及び半導体装置

(57) 【特許請求の範囲】

【請求項1】

絶縁材と、  
該絶縁材内に形成されると共にランドビアにより層間接続されるランド層と、  
前記絶縁材内に形成されると共に電源ビアにより層間接続される電源層と、  
前記絶縁材内に形成されると共に信号ビアにより層間接続される信号層と、  
前記絶縁材の最下層に形成され、前記ランドビアより前記ランド層と接続される最下層ランド層と  
を有し、

前記最下層ランド層には複数のクリアランスが設けられ、  
前記クリアランス内には、前記電源層と接続されると共に外部接続される電源ランドまたは、前記信号層と接続されると共に外部接続される信号ランドのいずれかが形成され、  
前記最下層ランド層は、前記クリアランスによって、前記電源ランド及び前記信号ランドとは絶縁され、

前記最下層ランド層には、外部接続端子として機能する導電性フィルムが設けられている

ことを特徴とする多層基板。

【請求項2】

半導体素子と、  
一面に該半導体素子を搭載すると共に、他面に外部接続される外部接続端子が設けられ

る基板とを具備する半導体装置において、

該基板として、請求項 1 に記載の多層基板を用いたことを特徴とする半導体装置。

【請求項 3】

絶縁材と、

該絶縁材内に形成されると共にグランドビアにより層間接続されるグランド層と、

前記絶縁材内に形成されると共に電源ビアにより層間接続される電源層と、

前記絶縁材内に形成されると共に信号ビアにより層間接続される信号層と、

前記絶縁材の最下層に形成され、前記電源ビアにより前記電源層と接続される最下層電源層

を有し、

前記最下層電源層には複数のクリアランスが設けられ、

前記クリアランス内には、前記グランド層と接続されると共に外部接続されるグランドランドまたは、前記信号層と接続されると共に外部接続される信号ランドのいずれかが形成され、

前記最下層電源層は、前記クリアランスによって、前記グランドランド及び前記信号ランドとは絶縁され、

前記最下層電源層には、外部接続端子として機能する導電性フィルムが設けられていることを特徴とする多層基板。

【請求項 4】

半導体素子と、

一面に該半導体素子を搭載すると共に、他面に外部接続される外部接続端子が設けられる基板とを具備する半導体装置において、

該基板として、請求項 3 に記載の多層基板を用いたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は多層基板及び半導体装置に係り、特にグランド層、電源層、及び信号層と、これら各層を層間接続するビアが設けられた多層基板及び半導体装置に関する。

【0002】

【従来の技術】

図 1 乃至図 5 は、従来の一例である多層基板及び半導体装置を示している。図 1 は従来の一例である半導体装置 1 の正面図であり、図 2 は半導体装置 1 の多層基板 3 を拡大して示す断面図であり、図 3 は多層基板 3 の底面図である。

【0003】

図 1 に示す例では、半導体装置 1 はシステムボード 8 に実装される構成とされている。この半導体装置 1 は、大略すると半導体素子 2 と多層基板 3 とにより構成されている。半導体素子 2 は、パンプ 4 を用いて多層基板 3 の上面にフリップチップ実装される。

【0004】

また、多層基板 3 は下面にランド 6 が形成されており、このランド 6 には外部接続端子となる接続ピン 7 (半田ボール) が配設されている。そして、この接続ピン 7 を接続電極 9 に接合することにより、半導体素子 2 は多層基板 3 を介してシステムボード 8 に接続される。

【0005】

図 2 に示すように、多層基板 3 は絶縁材 10 の内部に上部からグランド層 11, 信号層 12, 電源層 13, 及びグランド層 14 が順次多層形成された構成とされている。この各層 11 ~ 14 は、多層基板 3 の面方向 (図中、水平方向) に延在するよう形成されている。

【0006】

また、絶縁材 10 の内部には、グランドビア 15, 信号ビア 16, 及び電源ビア 17 が形成されている。この各ビア 15 ~ 17 は、前記した各層 11 ~ 14 の延在方向に対し略直交する方向 (図中、上下方向) に延在するよう形成され、これにより所定の層 11 ~ 14

10

20

30

40

50

を層間接続する。

【0007】

具体的には、グランドビア15は、グランド層11、14とグランドランド6Gとを接続する。また、グランドランド6Gにはグランドピン7Gが配設され、このグランドピン7Gはシステムボード8のグランド電極9に接合される。同様に、信号ビア16は、信号層12と信号ランド6Sとを接続する。また、信号ランド6Sには信号ピン7Sが配設され、この信号ピン7Sはシステムボード8の信号電極9Gに接合される。更に、電源ビア17は、電源層13と電源ランド6Pとを接続する。また、電源ランド6Pには電源ピン7Pが配設され、この電源ピン7Pはシステムボード8の電源電極9Pに接合される。

【0008】

尚、図2では、グランド関係の構成要素であるグランド層11、14、グランドビア15、グランドランド6G、及びグランドピン7Gの各構成要素に格子模様を付している。また、信号関係の構成要素である信号層12、信号ビア16、信号ランド6S、信号ピン7Sについては梨地模様を付し、電源関係の構成要素である電源層13、電源ビア17、電源ランド6P、信号ピン7Pについては斜線模様(ハッチング)付している。また、半田ボール7を個別に指定して説明する場合には、上記のようにグランドピン7G、信号ピン7S、電源ピン7Pというものとする。

【0009】

ここで、図3を参照して多層基板3の底面(最下層面18)に注目する。同図に示すように従来の多層基板3では、グランドピン7G、信号ピン7S、及び電源ピン7Pの3種類のピンが全て最下層面18に格子状に配設された構成とされていた。

【0010】

図4は、半導体素子2と信号ピン7Sとを接続する信号配線ラインの1ラインを示している。また図5は、図4におけるA-A線に沿う断面を示している。

【0011】

半導体素子2に配設されているバンプ4は、多層基板3の上面に形成されたパッド19に接合される。このパッド19は、信号ビア16A、信号層12、及び信号ビア16Bを介して信号ランド6Sに接続されている。この際、信号ビア16Bとグランド層14が短絡しないよう、グランド層14にはクリアランス14Aが形成されている。信号ビア16Bは、このクリアランス14Aを挿通して信号ランド6Sに接続されている。

【0012】

一方、信号ビア16Bの周囲には、図5に示されるように複数のグランドビア15が配設されている。このグランドビア15は、グランド層11及びグランド層14に接続された構成とされている。この構成とすることにより、信号ビア16Bのインピーダンスコントロールを行い、信号特性の劣化を防止することができる。尚、この構成の詳細については、特開平6-85099号公報に開示されている。

【0013】

従来、このクリアランス14Aの大きさ(直径W2:図4に矢印W2で示す)の設定については特に考慮されることはなく、単に信号ビア16Bが内部を挿通可能な大きさに設定されていた。このため、クリアランス14Aの直径W2は、信号ランド6Sの直径(図4に矢印W1で示す)に対して小さく設定されていた( $W2 < W1$ )。

【0014】

【発明が解決しようとする課題】

ところで、近年では多層基板3の多ピン化が進み、1多層基板3あたりのピン数は加速的に増加している。例えば、1000ピンの多層基板3では、信号ピン7Sに500ピン、電源ピン7Pに250ピン、グランドピン7Gに250ピンを割り当てている。また、現状の多層基板3のサイズは変えずに、1多層基板3あたりの信号ピン7Sを更に増やしたいという要求も増大している。

【0015】

この要求を1000ピンの多層基板3で実現しようとした場合、例えば信号ピン7Sを500ピ

10

20

30

40

50

ンから700ピンに増やすと、グランドピン7 G及び電源ピン7 Pは150ピンづつの割り当てとなり、現状よりそれぞれ100ピンのピン数減少となる。この結果、電源及びグランドへの供給が貧弱化し、例えば電源ドロップや同時スイッチングノイズに対処できない等の問題が発生するおそれが生じる。

【0016】

この対処策として、多層基板3内の電源層及びグランド層の層数を増やし、電源及びグランドの強化を行う方法が考えられる。しかしながらこの方法では、層数を増やすことで製造コストが上昇すると共に、多層基板3の基板厚が増してしまう等の問題がある。

【0017】

また、多層基板3の最下層の外部接続端子部分は、ランド6及び接続ピン7と、1つ上の層にあるベタ面(図示した例ではグランド層14)との結合が大きく、これに伴い容量が大きくなる。このため、信号ビア16のインピーダンスに対して、この部分のインピーダンスが低くなってしまふ。この結果、多層基板3の最下層部分で信号反射が生じ信号特性の劣化が発生する。よって、この部分でのインピーダンス整合が必要である。

10

【0018】

この信号ビア16Bのインピーダンスコントロールを行う手段としては、前記した特開平6-85099号公報に開示された、信号ビア16Bを中心としてその周囲の円周上に数個のグランドビア15A~15Cを設けること(図4及び図5参照)が有効であるが、従来では単に信号ビア16Bの外周にグランドビア15A~15Cを設けるだけで、その最も効率のよい配置に関しては考慮されていなかった。

20

【0019】

本発明は上記の点に鑑みてなされたものであり、基板或いは装置の形状を変えることなく信号ピン数の増大を図り得る多層基板及び半導体装置を提供することを目的とする。

【0020】

更に、本発明の他の目的は、信号ビアに対するインピーダンスコントロールを適正に行なうことにある。

【0021】

【課題を解決するための手段】

上記の課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

30

【0022】

請求項1記載の発明に係る多層基板は、  
絶縁材と、  
該絶縁材内に形成されると共にグランドビアにより層間接続されるグランド層と、  
前記絶縁材内に形成されると共に電源ビアにより層間接続される電源層と、  
前記絶縁材内に形成されると共に信号ビアにより層間接続される信号層と、  
前記絶縁材の最下層に形成され、前記グランドビアより前記グランド層と接続される最下層グランド層と

を有し、

前記最下層グランド層には複数のクリアランスが設けられ、  
前記クリアランス内には、前記電源層と接続されると共に外部接続される電源ランドまたは、前記信号層と接続されると共に外部接続される信号ランドのいずれかが形成され、  
前記最下層グランド層は、前記クリアランスによって、前記電源ランド及び前記信号ランドとは絶縁され、

40

前記最下層グランド層には、外部接続端子として機能する導電性フィルムが設けられていることを特徴とするものである。

【0023】

上記発明によれば、絶縁材の最下層に最下層グランド層を形成したことにより、この最下層グランド層の任意位置で外部とグランド接続することが可能となる。また、最下層にグランドピンを配設する必要がなくなるため、従来のグランドピンの配設位置に信号ピンを

50

割り当てることが可能となる。このため、多層基板の大きさを変化させることなく、信号ピンの配設数を増やすことができる。

【0024】

また、上記のように最下層グランド層の任意位置で外部とグランド接続することが可能となることにより、半田ボール等の従来の手段でグランド接続を行うよりも接続面積を大きく取ることが可能となり、よって電気特性及び実装信頼性の向上を図ることができる。更に、絶縁材内に配設するグランド層を1層分減らすことが可能となり、多層基板の薄型化を図ることができる。

【0030】

また、請求項2記載の発明は、

半導体素子と、一面に該半導体素子を搭載すると共に、他面に外部接続される外部接続端子が設けられる基板とを具備する半導体装置において、

該基板として、請求項1に記載の多層基板を用いたことを特徴とするものである。

【0031】

上記発明によれば、多層基板の信号ピン数が増大すると共にグランドの強化が図られるため、高密度化した、また安定性の高い半導体装置を実現することができる。

【0032】

また、請求項3記載の発明に係る多層基板は、

絶縁材と、

該絶縁材内に形成されると共にグランドビアにより層間接続されるグランド層と、

前記絶縁材内に形成されると共に電源ビアにより層間接続される電源層と、

前記絶縁材内に形成されると共に信号ビアにより層間接続される信号層と、

前記絶縁材の最下層に形成され、前記電源ビアにより前記電源層と接続される最下層電源層

を有し、

前記最下層電源層には複数のクリアランスが設けられ、

前記クリアランス内には、前記グランド層と接続されると共に外部接続されるグランドランドまたは、前記信号層と接続されると共に外部接続される信号ランドのいずれかが形成され、

前記最下層電源層は、前記クリアランスによって、前記グランドランド及び前記信号ランドとは絶縁され、

前記最下層電源層には、外部接続端子として機能する導電性フィルムが設けられていることを特徴とするものである。

【0033】

上記発明によれば、絶縁材の最下層に最下層電源層を形成したことにより、この最下層電源層の任意位置で外部と電源接続することが可能となる。また、最下層に電源ピンを配設する必要がなくなるため、従来の電源ピンの配設位置に信号ピンを割り当てることが可能となる。このため、多層基板の大きさを変化させることなく、信号ピンの配設数を増やすことができる。

【0034】

また、上記のように最下層電源層の任意位置で外部と電源接続することが可能となることにより、半田ボール等の従来の手段で電源接続を行うよりも接続面積を大きく取ることが可能となり、よって電気特性及び実装信頼性の向上を図ることができる。更に、絶縁材内に配設する電源層を1層分減らすことが可能となり、多層基板の薄型化を図ることができる。

【0040】

また、請求項4記載の発明は、

半導体素子と、

一面に該半導体素子を搭載すると共に、他面に外部接続される外部接続端子が設けられる基板とを具備する半導体装置において、

10

20

30

40

50

該基板として、請求項 3 に記載の多層基板を用いたことを特徴とするものである。

【0041】

上記発明によれば、多層基板の信号ピン数が増大すると共に電源の強化が図られるため、高密度化した、また安定性の高い半導体装置を実現することができる。

【0043】

上記発明のように、信号ランドの直径  $W_1$  に対し、この信号ランドに最も近いグランド層に形成されたクリアランスの直径  $W_2$  を大きく設定 ( $W_2 > W_1$ ) したことにより、信号ビアのインピーダンス不整合を抑制でき、信号特性の劣化を抑えることができる。

【0045】

この構成とすることにより、グランドビアの形成位置に拘わらず、クリアランスの大きさを任意に設定することが可能となる。 10

【0050】

【発明の実施の形態】

次に、本発明の実施の形態について図面と共に説明する。

【0051】

図 6 乃至図 8 は、本発明の第 1 実施例である半導体装置 20 及び多層基板 23 を示している。図 6 は第 1 実施例である半導体装置 20 の正面図であり、図 7 は半導体装置 20 に設けられた多層基板 23 を拡大して示す断面図であり、図 8 は多層基板 23 の底面図である。

【0052】

本実施例に係る半導体装置 20 は、図 6 に示すように、システムボード 28 に実装される例を示している。この半導体装置 20 は、大略すると半導体素子 22 と多層基板 23 とにより構成されている。 20

【0053】

半導体素子 22 は、その回路形成面（図中下面）に複数のバンプ 24 が形成されている。半導体素子 22 は多層基板 23 に対し、バンプ 24 を多層基板 23 の上面に形成されたパッド 46（図 11 参照）にフリップチップ接合することにより実装される。また、半導体素子 22 が多層基板 23 にフリップチップ接合された後、半導体素子 22 と多層基板 23 との間にはアンダーフィル樹脂 25 が介装され、接合の機械的強度の向上が図られている。 30

【0054】

また、多層基板 23 は、その下面に複数の接続ピン 27（半田バンプよりなる）が配設されている。そして、この接続ピン 27 をシステムボード 28 に接合することにより、半導体装置 20 はシステムボード 28 に実装される。

【0055】

次に、図 7 を参照して多層基板 23 の内部構造について説明する。図 7 は、多層基板 23 の一部を拡大して示す断面図である。同図に示すように、多層基板 23 は絶縁性樹脂よりなる絶縁材 30 の内部に、図中上部からグランド層 31、信号層 32、名詞電源層 33、及び本実施例の特徴となる最下層グランド層 41 が順次多層形成された構成とされている。この各層 31 ~ 33、41 は、例えば銅等の導電性材料よりなり、多層基板 23 の面方向（図中、水平方向）に所定パターンを有して形成されている。 40

【0056】

また、絶縁材 30 の最下層には、最下層グランド層 41 と共に電源ランド 26P 及び信号ランド 26S が形成されている。この各ランド 26P、26S は、最下層グランド層 41 と共に絶縁材 30 の最下層に形成されている。この各ランド 26P、26S も、各層 31 ~ 33、41 と同様に銅等の導電性材料より形成されている。

【0057】

この電源ランド 26P には電源ピン 27P が接合され、よって電源ランド 26P は電源ピン 27P を介してシステムボード 28 に外部接続がされる。同様に、信号ランド 26S には信号ピン 27S が接合され、よって信号ランド 26S は信号ピン 27S を介してシステ 50

ムボード 28 に外部接続がされる。

【0058】

更に、絶縁材 30 の内部には、グランドビア 35 , 信号ビア 36 , 及び電源ビア 37 が形成されている。各ビア 35 ~ 37 は、所定位置に各層間を連通するよう形成された孔に、銅を装填することにより形成されている。この各ビア 35 ~ 37 は、前記した各層 31 ~ 33 , 41 の延在方向に対し略直交する方向 ( 図中、上下方向 ) に延在するよう形成されている。これにより各層 31 ~ 33 , 41 は、各ビア 35 ~ 37 により層間接続される。

【0059】

具体的には、信号ビア 36 は、信号層 32 と信号ランド 26 S とを接続する。また、信号ランド 26 S には信号ピン 27 S が配設され、この信号ピン 27 S はシステムボード 28 の信号電極 29 S に接合される。また、電源ビア 37 は、電源層 33 と電源ランド 26 P とを接続する。また、電源ランド 26 P には電源ピン 27 P が配設され、この電源ピン 27 P はシステムボード 28 の接続電極 29 p に接合される。

【0060】

更に、グランドビア 35 は、グランド層 31 と最下層グランド層 41 とを接続する。また、最下層グランド層 41 には導電性フィルム部材 40 が配設されており、この導電性フィルム部材 40 はシステムボード 28 のグランド電極 29 G に接合される ( 説明の便宜上、導電性フィルム部材 40 及び最下層グランド層 41 の詳細については後述する ) 。

【0061】

尚、図 7 において、グランド関係の構成要素については格子模様を付し、信号関係の構成要素については梨地模様を付し、更に電源関係の構成要素については斜線模様 ( ハッチング ) 付して区別を容易にしている。

【0062】

また、接続ピン 27 をその機能ごとに個別に指定する場合には、上記のようにグランドピン 27 G , 信号ピン 27 S , 電源ピン 27 P というものとする。

【0063】

次に、図 8 を参照しつつ、多層基板 23 の底面 ( 最下層 ) について説明する。同図に示すように、本実施例に係る多層基板 23 の最下層には、最下層グランド層 41 がグランドベタ面として形成された構成とれさせている。この最下層グランド層 41 は、電源ランド 26 P ( 即ち、電源ピン 27 P ) 及び信号ランド 26 S ( 即ち、信号ピン 27 S ) の形成位置を除き、多層基板 23 の最下層全面に形成されている。具体的には、各ランド 26 P , 26 S と最下層グランド層 41 との間にはクリアランス 43 が形成されており、各ランド 26 P , 26 S と最下層グランド層 41 との短絡を防止している。

【0064】

このように本実施例では、絶縁材 30 の最下層に最下層グランド層 41 を形成したことにより、この最下層グランド層 41 の任意位置でシステムボード 28 とグランド接続することが可能となる。即ち、最下層グランド層 41 は、その全面がグランドランドとして機能するため、ランド 26 P , 26 S が形成されていない位置であれば、任意の位置でシステムボード 28 と最下層グランド層 41 とをグランド接続することができる。

【0065】

また本実施例では、最下層グランド層 41 とシステムボード 28 のグランド用接続電極 29 G とを電氣的に接続するのに、導電性フィルム部材 40 を用いている。この導電性フィルム部材 40 は、例えばガラス繊維よりなるフィルム状ベースに導電材料である銀フィラーを含浸させたものであり導電性を有している。従って、この導電性フィルム部材 40 を用いて最下層グランド層 41 とシステムボード 28 とを電氣的に接続することができる。

【0066】

導電性フィルム部材 40 は、例えば導電性接着剤を用いて最下層グランド層 41 の任意位置に容易に固定することができる。そこで本実施例では、導電性フィルム部材 40 を配設するのに、図 7 に示すように、各電源ピン 27 P , 27 P の配設位置に対する各隣接位置に設けた構成としている。

10

20

30

40

50

## 【0067】

また、最下層グランド層41とグランド層31との接続は、グランドビア35で接続される。この際、最下層グランド層41は最下層の略全面に形成されているため、グランドビア35を最下層グランド層41の任意の位置に接続させることができる。

## 【0068】

これにより、グランドビア35の配設位置の自由度を高めることができ、絶縁材30内における各ビア35、36、37及び各層31、32のレイアウトが容易となる。よって、各ビア35、36、37及び各層31、32を高密度に配置することが可能となり、多層基板23の小型薄型化、或いはピン数の増大を図ることができる。

## 【0069】

また本実施例では、最下層にグランドピンを配設する必要がなくなるため、従来のグランドピンの配設位置に信号ピン27Sを割り当てることが可能となる。具体的には、図3に示す従来構成に比べ、図8に示す本実施例の構成では、信号ピン27Sが4本増えた構成となっている。このように、絶縁材30の最下層に最下層グランド層41を形成することにより、多層基板23の大きさを変化させることなく、信号ピン27Sの配設数を増やすことができる。

10

## 【0070】

また、上記のように最下層グランド層41の任意位置でシステムボード28とグランド接続することが可能となることにより、半田ボール等の従来の手段でグランド接続を行うよりも接続面積を大きく取ることが可能となる。即ち、最下層グランド層41とシステムボード28とを接続する導電性フィルム部材40は、信号ランド26S（信号ピン27S）及び電源ランド26P（電源ピン27P）の配設位置以外であれば、任意位置に任意数配設することが可能である。

20

## 【0071】

よって、最下層グランド層41の任意位置でシステムボード28との電氣的接続面積を大きくとることができるため、実装における電氣的接続性の強化を図ることができる。また、導電性フィルム40は最下層グランド層41の任意位置に容易に配設することができるため、導電性フィルム40を設けることにより各ランド26S、26Pの配設位置が規制されるようなこともない。

## 【0072】

更には、絶縁材30の最下層に最下層グランド層41を形成することにより、絶縁材30内に配設するグランド層を1層分減らすことが可能となり、多層基板23の薄型化を図ることができる。

30

## 【0073】

よって、上記の種々の効果を有する多層基板23を半導体装置20の基板として用いることにより、小型薄型化を図れると共に、高密度化及び高安定性を有した半導体装置20を実現することができる。

## 【0074】

次に、本発明の第2実施例について説明する。

図9及び図10は、本発明の第2実施例である多層基板23を示している。尚、図9及び図10において、また後述する第3実施例以降の説明で用いる図11乃至図18において、第1実施例の説明に用いた図6乃至図8に示した構成と同一構成については同一符号を付して、その説明を省略するものとする。

40

## 【0075】

前記した第1実施例に係る多層基板23では、絶縁材30の最下層に最下層グランド層41を形成し、これによりグランドピンを削除することにより信号ピン27Sの数を増大させる構成とした。これに対し、本実施例に係る多層基板23では、絶縁材30の最下層に最下層電源層42を形成し、これにより電源ピンを削除することにより信号ピン27Sの数を増大させる構成としたことを特徴とするものである。

## 【0076】

50



よって、本実施例の構成は、第1実施例の構成に対し、グランド関係の構成要素と電源関係の構成要素が入れ替わったような構成となっている。また、本実施例の作用効果も、第1実施例による作用効果と略等しいものとなる。

【0077】

具体的には、絶縁材30の最下層に最下層電源層42を形成したことにより、最下層電源層42は、その全面が電源ランドとして機能するため任意の位置でシステムボード28と電源接続することができる。また本実施例においても、導電性フィルム部材40を用いて最下層電源層42とシステムボード28とを電氣的に接続するため、半田ボール等の従来の手段で電源接続を行うよりも最下層電源層42とシステムボード28との接続面積を大きく取ることが可能となる。よって、実装における最下層電源層42とシステムボード28との電氣的接続性の強化を図ることができる。

10

【0078】

また、電源ビア37の配設位置の自由度を高めることができ、絶縁材30内における各ビア35, 36, 37及び各層31, 32のレイアウトが容易となるため、多層基板23の小型薄型化、或いはピン数の増大を図ることができる。また本実施例においても最下層に電源ピンを配設する必要がなくなるため、従来の電源ピンの配設位置に信号ピンを割り当てることが可能となり、多層基板23の大きさを変化させることなく信号ピン275の配設数を増やすことができる。

【0079】

更には、絶縁材30の最下層に最下層電源層42を形成することにより、絶縁材30内に配設する電源層を1層分減らすことが可能となり、多層基板23の薄型化を図ることができる。よって、本実施例に係る多層基板23を半導体装置20の基板として用いることによっても、小型薄型化を図れると共に高密度化及び高安定性を有した半導体装置20を実現することができる。

20

【0080】

次に、本発明の第3実施例について説明する。

図11及び図12は、本発明の第3実施例である多層基板23を示している。図11は多層基板23の断面図であり、半導体素子22と信号ピン275とを接続する信号配線ラインの1ラインを示している。また図12は、図11におけるB-B線に沿う断面を示している。

30

【0081】

半導体素子22に配設されているパンプ24は、多層基板23の上部に形成されたパッド46に接合される。このパッド46は、信号ビア36A, 信号層32, 及び信号ビア36Bを介して信号ランド265に接続されている。この際、信号ビア36Bとグランド層31が短絡しないよう、グランド層31にはクリアランス43が形成されている。信号ビア36bは、このクリアランス43内を挿通して信号ランド265に接続される。

【0082】

一方、信号ビア36bの周囲には、図12に示されるように複数のグランドビア35が配設されている。このグランドビア35は、上層に位置するグランド層31及び下層に位置するグランド層34にそれぞれ接続された構成とされている。この構成とすることにより、信号ビア36Bのインピーダンスコントロールを行い、信号特性の劣化を防止することができる。

40

【0083】

ここで、図14に示す多層基板23のモデルを仮定し、信号ランド265の直径W1に対し、クリアランス43の直径W2を変化させた場合における透過特性の変化をシミュレーションした結果を図13に示す。同図に示す結果は、周波数領域での信号の透過特性を表しており、縦軸がdB、横軸が周波数である。また、周波数が大きくなるにつれて、dBが下がるほど信号の透過特性が悪いことを示している。

【0084】

図13において、矢印Aの実線で示す特性は、信号ランド265の直径W1 (W1 = 800

50

$\mu\text{m}$ ) に対し、クリアランス 43 の直径  $W_2$  を等しい直径 ( $W_2 = 800\mu\text{m}$ ) か、それ以上の直径 ( $W_2 = 1000\mu\text{m}$ ) とした場合の特性を示している。これに対し、矢印 B の破線で示す特性は、信号ランド 26S の直径  $W_1$  ( $W_1 = 800\mu\text{m}$ ) に対し、クリアランス 43 の直径  $W_2$  を小さい直径 ( $W_2 = 400\mu\text{m}$ ) とした場合の特性を示している。尚、直径  $W_2 = 800\mu\text{m}$  の特性と、直径  $W_2 = 1000\mu\text{m}$  の特性は略同一であったため、図では 1 本の実線で示している。

#### 【0085】

同図に示す結果から信号ランド 26S の直径  $W_1$  に対し、この信号ランド 26S に最も近いランド層 34 に形成されたクリアランス 43 の直径  $W_2$  を大きく設定する ( $W_2 = W_1$ ) ことにより、信号ビア 36b における信号の透過特性が向上していることが分かる。つまり、外部接続端子部分のインピーダンス不整合による信号反射を抑制し、信号特性の劣化を抑える効果があることが分かる。このため、本実施例では上記のシミュレーション結果に基づき、信号ランド 26S の直径  $W_1$  に対しクリアランス 43 の直径  $W_2$  を大きく設定した ( $W_2 = W_1$ ) ことを特徴としている。

10

#### 【0086】

ところで、上記のようにクリアランス 43 の直径  $W_2$  を大きく設定すると、これに伴いランド層 34 に接続されるランドビア 35 と信号ビア 36B との離間距離 (図 12 に矢印 L1 で示す: 以下、ビア間距離という) も大きくなる。このビア間距離 L1 が大きくなると、信号特性は向上するものの、多層基板 23 の高密度化に反することとなり、多層基板 23 が大型化してしまう問題点が生じる。

20

#### 【0087】

そこで本実施例では、クリアランス 43 内に延出する延出配線 44 を形成したことを特徴としている。この延出配線 44 は、一端がランド層 34 と一体的に接続されており、他端はクリアランス 43 内に延出した構成とされている。そして、クリアランス 43 内に延出した先端部にランドビア 35 が電氣的に接続される構成とされている。

#### 【0088】

この構成とすることにより、信号ビア 36B とランドビア 35 との離間極 L1 を小さく維持したままで、換言すれば多層基板 23 の高密度化を維持しつつ、かつ、クリアランス 43 の直径  $W_2$  を大きく設定できるため信号特性を良好なものとすることができる。また、上記構成とされた多層基板 23 を半導体装置に用いることにより、信号特性が良好かつ小型薄型化された半導体装置を実現することができる。

30

#### 【0089】

次に、本発明の第 4 実施例について説明する。

図 15 及び図 16 は、本発明の第 4 実施例である多層基板 23 を示している。図 15 は多層基板 23 の断面図であり、半導体素子 22 と信号ピン 27S とを接続する信号配線ラインの 1 ラインを示している。また図 12 は、図 11 における C-C 線に沿う断面を示している。

#### 【0090】

本実施例は前記した第 3 実施例と類似した構成であるが、図 11 に示すように第 3 実施例ではランド層 34 が絶縁材 30 の内部に位置していたのに対し、本実施例では信号ランド 26S と、この信号ランド 26S に最も近いランド層である最下層ランド層 41 とを、絶縁材 30 の最下層に共に形成したことを特徴としている。

40

#### 【0091】

このように、を絶縁材 30 の最下層に信号ランド 26S と最下層ランド層 41 とを共に形成するため、図 16 に示すように、信号ランド 26S と最下層ランド層 41 との間にはクリアランス 43 が形成されており、電氣的に絶縁された構成とされている。

#### 【0092】

また、第 3 実施例で説明したと同様の理由により、最下層ランド層 41 には信号ビア 36B に向け延出した延出配線 44 が形成されており、ランドビア 35 は延出配線 44 の先端部に接続する構成とされている。これにより、多層基板 23 の高密度化と信号特性の

50

劣化防止を両立している。

【0093】

また、延出配線44の上部には、絶縁膜が形成されている。これは、信号ランド26Sに配設される信号ピン27Sが、延出配線44と短絡するのを防止するためである。

【0094】

上記構成とすることにより、最下層において信号ビア36Bのインピーダンスコントロールが可能となり、信号特性劣化の防止を図ることができる。また、絶縁材30内にグラウンド層34及び延出配線44を形成する第3実施例に比べ、最下層に最下層グラウンド層41及び延出配線44を形成する構成の方が、多層基板23の層構造の簡単化を図ることができる。

10

【0095】

次に、本発明の第5実施例について説明する。

図17は、本発明の第5実施例である多層基板23の底面図である。前記した各実施例では、絶縁材30の最下層の全面に最下層グラウンド層41或いは最下層電源層42を配設した構成とした。しかしながら、最下層グラウンド層41或いは最下層電源層42は、絶縁材30の最下層の全面に必ずしも配設する必要はなく、本実施例のように最下層グラウンド層41と最下層電源層42を最下層に混在させることも可能である。

【0096】

また、絶縁材30の最下層に最下層グラウンド層41或いは最下層電源層42のいずれか一方を配設する場合であっても、必ずしも最下層の全面に書く層41, 42を配設する必要はなく、部分的に配設している構成としてもよい。この場合、上記した信号ピン27Sの数を増大させ、また多層基板23の高密度化を実現するには、絶縁材30の最下層面積に対する各層41, 42の面積を50パーセント以上とすることが望ましい。

20

【0097】

次に、本発明の第6実施例について説明する。

図18は、本発明の第6実施例である多層基板の断面図である。前記した実施例では、絶縁材30の最下層に最下層グラウンド層41或いは最下層電源層42が露出した状態で配設された構成とされていた。

【0098】

これに対して本実施例では、最下層に最下層グラウンド層41を配設する場合には、この最下層グラウンド層41を覆うように絶縁膜45を形成し(信号ランド26S, 電源ランド26Pの形成位置を除く)、また最下層に最下層電源層42を配設する場合には、この最下層電源層42を覆うように絶縁膜45を形成し(信号ランド26S, グラウンドランド26Gの形成位置を除く)たことを特徴とするものである。

30

【0099】

本実施例のように、各層41, 42に対して絶縁膜45を配設する等のオーバーコート処理を行なうことは、最下層グラウンド層41及び最下層電源層42の保護、多層基板23の保護、或いは半導体装置20の構成上からの必要性等から行なわれるものである。このように、各層41, 42の下部にオーバーコート処理が実施され膜形成された構成も、各層41, 42は実質的に絶縁材30の最下層に形成されたものであり、本願発明に含まれることは勿論である。

40

【0100】

以上の説明に関し、更に以下の項を開示する。

【0101】

(付記1) 絶縁材と、  
該絶縁材内に形成されると共にグラウンドビアにより層間接続されるグラウンド層と、  
前記絶縁材内に形成されると共に電源ビアにより層間接続される電源層と、  
前記絶縁材内に形成されると共に信号ビアにより層間接続される信号層と、  
前記絶縁材の最下層に形成され、前記電源層と接続されると共に外部接続される電源ランドと、

50

前記絶縁材の最下層に形成され、前記信号層と接続されると共に外部接続される信号ランドと、

前記絶縁材の最下層に形成され、前記電源ランド及び前記信号ランドの形成位置を除き形成されると共に前記グランド層と接続される最下層グランド層とを設けてなることを特徴とする多層基板。

(付記2) 付記1記載の多層基板において、前記グランド層と前記最下層グランド層とを、前記グランドビアにより接続したことを特徴とする多層基板。

(付記3) 付記1または2記載の多層基板において、前記最下層グランド層は、外部接続端子として機能する導電性フィルムが設けられてなることを特徴とする多層基板。 10

(付記4) 付記1乃至3のいずれか1項に記載の多層基板において、前記最下層グランド層の形成面積を前記絶縁材の最下層の面積の50パーセント以上としたことを特徴とする多層基板。

#### 【0102】

(付記5) 半導体素子と、一面に該半導体素子を搭載すると共に、他面に外部接続されるの外部接続端子が設けられる基板とを具備する半導体装置において、該基板として、付記1乃至4のいずれか1項に記載の多層基板を用いたことを特徴とする半導体装置。 20

(付記6) 絶縁材と、該絶縁材内に形成されると共にグランドビアにより層間接続されるグランド層と、前記絶縁材内に形成されると共に電源ビアにより層間接続される電源層と、前記絶縁材内に形成されると共に信号ビアにより層間接続される信号層と、前記絶縁材の最下層に形成され、前記グランド層と接続されると共に外部接続されるグランドランドと、

前記絶縁材の最下層に形成され、前記信号層と接続されると共に外部接続される信号ランドと、

前記絶縁材の最下層に形成され、前記グランドランド及び前記信号ランドの形成位置を除き形成されると共に前記電源層と接続される最下層電源層とを設けてなることを特徴とする多層基板。 30

(付記7) 付記6記載の多層基板において、前記電源層と前記最下層電源層とを前記電源ビアにより接続したことを特徴とする多層基板。

(付記8) 付記6または7記載の多層基板において、前記最下層電源層は、外部接続端子として機能する導電性フィルムが設けられてなることを特徴とする多層基板。

(付記9) 付記6乃至8のいずれか1項に記載の多層基板において、前記最下層電源層の形成面積を前記絶縁材の最下層の面積の50パーセント以上としたことを特徴とする多層基板。 40

#### 【0103】

(付記10) 半導体素子と、一面に該半導体素子を搭載すると共に、他面に外部接続されるの外部接続端子が設けられる基板とを具備する半導体装置において、該基板として、付記6乃至9のいずれか1項に記載の多層基板を用いたことを特徴とする半導体装置。

(付記11) 絶縁材と、該絶縁材内に形成されると共にグランドビアにより層間接続されるグランド層と、前記絶縁材内に形成されると共に信号ビアにより層間接続される信号層と、前記絶縁材の最下層に形成され、前記グランド層と接続されると共に外部接続されるグラ 50

ンドランドと、  
 前記絶縁材の最下層に形成され、前記信号層と接続されると共に外部接続される信号ランドとを具備しており、  
 前記信号ビアを中心とし、その外周近傍にグランドビアを配設してなる多層基板であって、  
 前記信号ランドの直径を $W1$ とし、前記信号ランドを挿通させるため該信号ランドに最も近いグランド層に形成されたクリアランスの直径を $W2$ とした場合、 $W2 > W1$ となるよう構成したことを特徴とする多層基板。  
 (付記12) 付記11記載の多層基板において、  
 前記信号ランドに最も近いグランド層と、前記クリアランス内に位置するグランドビアとを、前記グランド層と一体的に形成された配線により接続したことを特徴とする多層基板。

10

## 【0104】

(付記13) 付記11または12記載の多層基板において、  
 前記信号ランドと、前記信号ランドに最も近いグランド層とが、前記絶縁材の最下層に共に形成されてなることを特徴とする多層基板。(10)

(付記14) 半導体素子と、  
 一面に該半導体素子を搭載すると共に、他面に外部接続されるの外部接続端子が設けられる基板とを具備する半導体装置において、  
 該基板として、付記11乃至13のいずれか1項に記載の多層基板を用いたことを特徴とする半導体装置。

20

## 【0105】

## 【発明の効果】

上述の如く本発明によれば、次に述べる種々の効果を実現することができる。

## 【0106】

請求項1または3記載の発明によれば、多層基板の大きさを変化させることなく信号ピンの配設数を増やすことができると共に、電気特性及び実装信頼性の向上を図ることができ、更に絶縁材内に配設するグランド層或いは電源層を1層分減らすことが可能となり多層基板の薄型化を図ることができる。

## 【0109】

また、請求項2または4記載の発明によれば、多層基板の信号ピン数が増大すると共にグランド或いは電源の強化が図られるため、高密度化した、また安定性の高い半導体装置を実現することができる。

30

## 【図面の簡単な説明】

【図1】従来の一例である半導体装置を示す正面図である。

【図2】従来の一例である半導体装置の断面図である。

【図3】従来の一例である半導体装置の底面図である。

【図4】従来の一例である半導体装置の信号ビア近傍の構成を示す図である。

【図5】図4におけるA-A線に沿う断面図である。

【図6】本発明の第1実施例である半導体装置の正面図である。

40

【図7】本発明の第1実施例である半導体装置の断面図である。

【図8】本発明の第1実施例である半導体装置の底面図である。

【図9】本発明の第2実施例である半導体装置の断面図である。

【図10】本発明の第2実施例である半導体装置の底面図である。

【図11】本発明の第3実施例である半導体装置の信号ビア近傍の構成を示す図である。

【図12】図11におけるB-B線に沿う断面図である。

【図13】本発明者が実施したシミュレーションの結果を示す図である。

【図14】図13に示すシミュレーションの結果の条件を説明するための図である。

【図15】本発明の第4実施例である半導体装置の信号ビア近傍の構成を示す図である。

【図16】図15におけるC-C線に沿う断面図である。

50

【図17】本発明の第5実施例である半導体装置の底面図である。

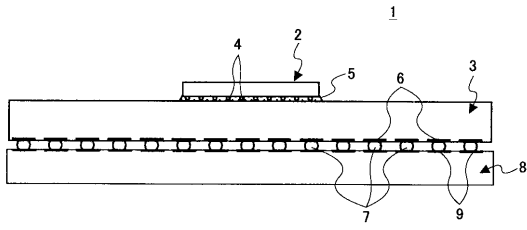
【図18】本発明の第6実施例である半導体装置の断面図である。

【符号の説明】

20	半導体装置	
22	半導体素子	
23	多層基板	
24	バンブ	
25	アンダーフィル樹脂	
26S	信号ランド	
26G	グラウンドランド	10
26P	電源ランド	
27	半田ボール	
27S	信号ピン	
27G	グラウンドピン	
27P	電源ピン	
28	システムボード	
30	絶縁材	
31, 34	グラウンド層	
32	信号層	
33	電源層	20
35	グラウンドビア	
36	信号ビア	
37	電源ビア	
40	導電性フィルム部材	
41	最下層グラウンド層	
42	最下層電源層	
43	クリアランス	
44	延出配線	
45	絶縁膜	

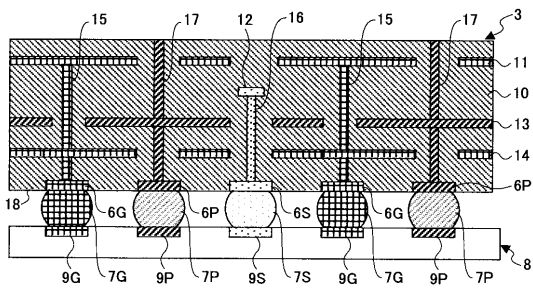
【 図 1 】

従来の一例である半導体装置を示す正面図



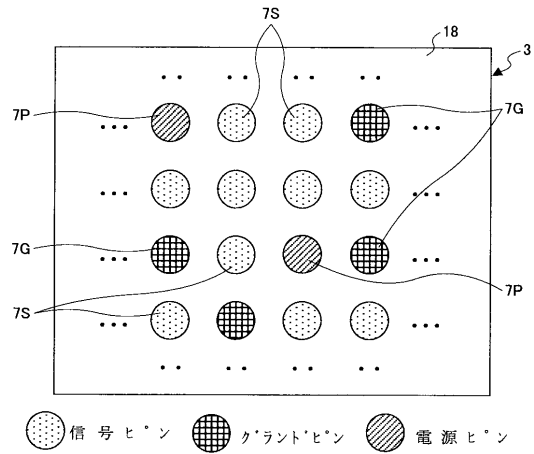
【 図 2 】

従来の一例である半導体装置の断面図



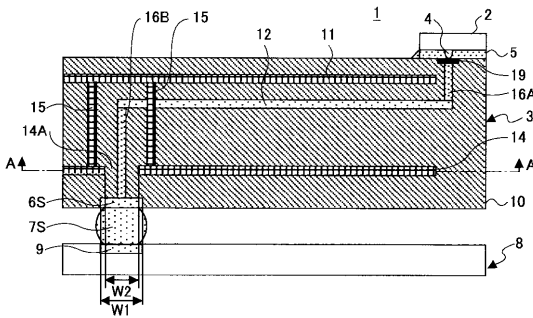
【 図 3 】

従来の一例である半導体装置の底面図



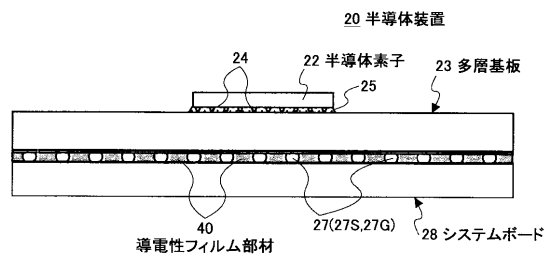
【 図 4 】

従来の一例である半導体装置の信号ピッド近傍の構成を示す図



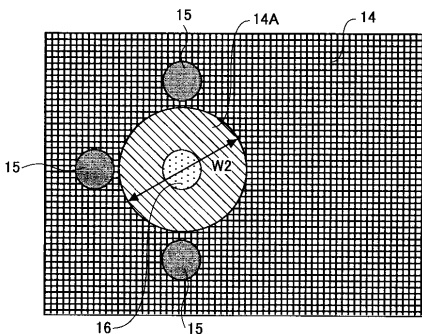
【 図 6 】

本発明の第1実施例である半導体装置の正面図



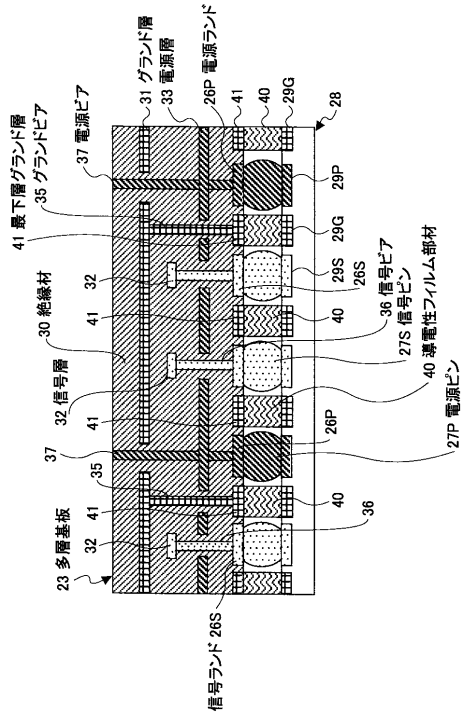
【 図 5 】

図4におけるA-A線に沿う断面図



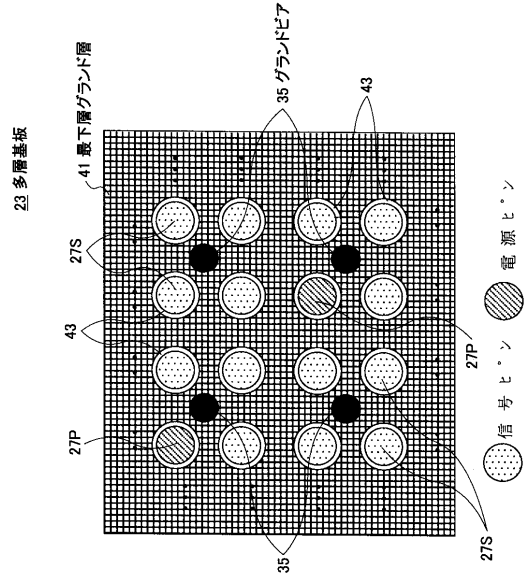
【 図 7 】

本発明の第1実施例である半導体装置の断面図



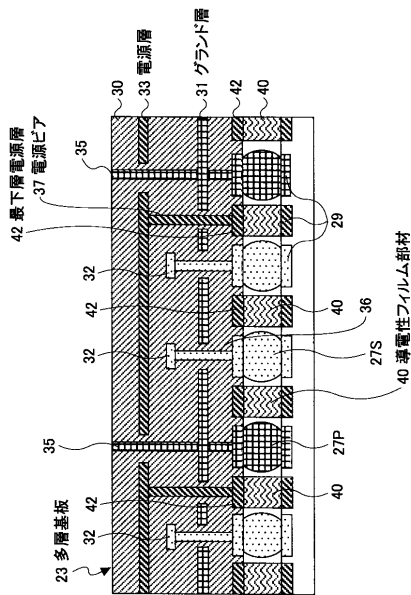
【 図 8 】

本発明の第1実施例である半導体装置の底面図



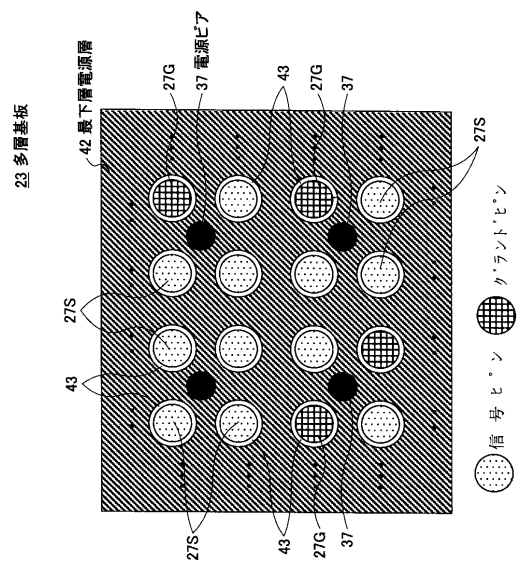
【 図 9 】

本発明の第2実施例である半導体装置の断面図



【 図 10 】

本発明の第2実施例である半導体装置の底面図









---

フロントページの続き

審査官 菅野 智子

- (56)参考文献 特開2001-274286(JP,A)  
特開平10-273626(JP,A)  
特開平08-330474(JP,A)  
特開2001-291799(JP,A)  
実開平06-034255(JP,U)  
特開昭60-038841(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12

H05K 3/46