

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-71865
(P2008-71865A)

(43) 公開日 平成20年3月27日(2008.3.27)

(51) Int.Cl. F 1 テーマコード (参考)
H 0 1 L 21/82 (2006.01) H 0 1 L 21/82 B 5 F 0 6 4

審査請求 未請求 請求項の数 4 O L (全 8 頁)

<p>(21) 出願番号 特願2006-247916 (P2006-247916) (22) 出願日 平成18年9月13日 (2006.9.13)</p>	<p>(71) 出願人 000006747 株式会社リコー 東京都大田区中馬込1丁目3番6号 (74) 代理人 100081422 弁理士 田中 光雄 (74) 代理人 100101454 弁理士 山田 卓二 (72) 発明者 山之内 孝一 東京都大田区中馬込1丁目3番6号 株式会社リコー内 Fターム(参考) 5F064 AA04 BB05 BB07 BB26 CC10 CC12 CC23 DD02 DD05 DD14 DD26 EE02 EE22 EE26 EE27 EE52 HH06</p>
---	--

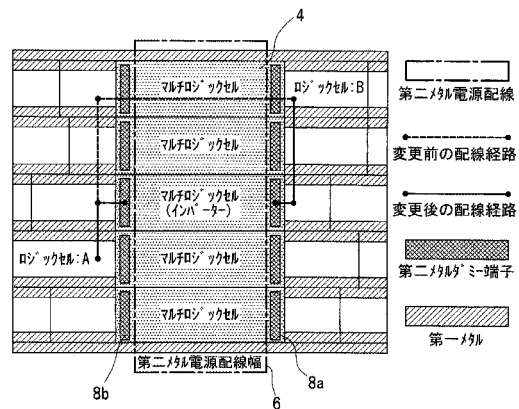
(54) 【発明の名称】 半導体集積回路の配置配線手法

(57) 【要約】

【課題】電源配線下部にマルチロジックセルを配置することにより、チップサイズを変更することなく回路修正が可能な半導体集積回路を提供する。

【解決手段】スタンダードセルを用いた自動配置配線で多層プロセスにより形成された半導体装置において、第二メタル電源配線下部にマルチロジックセルを配置することでチップサイズや下階層を変更することなく回路変更が可能なレイアウトが作成される。

【選択図】 図6



【特許請求の範囲】**【請求項 1】**

スタンダードセルを用いた自動配置配線により多層プロセスで形成される半導体集積回路装置において、

第二メタル電源配線下部にマルチロジックセルを配置することを特徴とする半導体集積回路装置。

【請求項 2】

コンタクトホール工程以降に、利用するマルチロジックセルを変更する回路変更が行われ、全体回路の機能が変更されることを特徴とする請求項 1 に記載の半導体集積回路装置。

10

【請求項 3】

多層プロセスで形成される半導体集積回路装置をスタンダードセルを用いた自動配置配線により設計する半導体集積回路装置設計方法において、

第二メタル電源配線下部にマルチロジックセルを配置することを特徴とする半導体集積回路装置設計方法。

【請求項 4】

コンタクトホール工程以降に、利用するマルチロジックセルを変更する回路変更を行い、全体回路の機能を変更することを特徴とする請求項 3 に記載の半導体集積回路装置設計方法。

【発明の詳細な説明】

20

【技術分野】**【0001】**

本発明は、複数の配線層が設けられた半導体集積回路装置、特に、その配置方法に関してスタンダードセル設計方式を用いる半導体集積回路装置に関する。

【背景技術】**【0002】**

大規模な L S I (L a r g e S c a l e I n t e g r a t i o n ; 大規模半導体集積回路) を設計する方法の一つとして、スタンダードセル設計方式が用いられる。このスタンダードセル設計方式は、ロジックセルと呼ばれる小規模な回路を幾つか用意し、これらを組み合わせて回路を作成し L S I を構成するものである。

30

【0003】

スタンダードセル設計方式のレイアウト配線工程は、自動配置配線を行なうソフトウェアツールを用いて為される。

【0004】

図 10 は、スタンダードセル設計方式におけるフロアプランの一例を示す図である。図 10 に示すフロアプラン工程の半導体集積回路装置は、チップ内がスタンダードセル領域のみで構成されている。

【0005】

従来技術におけるフロアプラン工程は、概略、

- (1) 電源配線の設定、
- (2) スタンダードセルの配置、
- (3) スタンダードセルと電源配線の接続、及び、
- (4) 信号線の配線

40

の 4 つのステップを含む。これらのステップは、上述の自動配置配線のソフトウェアツールで行われる。

【0006】

ところで、スタンダードセル設計方式におけるスタンダードセルは、第一メタル層までレイアウトが形成され、更に、第一スルーホールと、第二メタル層における第二メタルとを使用して配線が行なわれる。従って、従来技術ではスタンダードセルは、第二メタルで形成される電源配線下部には配置することはできない。図 11 は、第一メタル層までで

50

レイアウトが形成されるスタンダードセルの例である。ここでは、第二メタルで形成される電源配線下部にスタンダードセルを配置することは想定されていない。

【 0 0 0 7 】

なお、特許文献 1 は、配線遅延調整用スタンダードセルを設定して迅速且つ確実にタイミングエラーを調整できる半導体集積回路及びその配置配線方法を開示する。また、特許文献 2 は、半導体スタンダードセルを用いた半導体装置及びそのレイアウト方法に関して、フィードセルに着目してクロストーク配線を考慮し、クロストーク・ルールの違反箇所を縮小したレイアウトの実現を可能にする発明を開示する。

【特許文献 1】特開 2 0 0 2 - 3 1 3 9 1 9 公報

【特許文献 2】特開 2 0 0 2 - 2 8 0 4 5 6 公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

本発明は、電源配線下部にマルチロジックセルを配置することにより、チップサイズを変更することなく回路修正が可能な半導体集積回路を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 9 】

本発明は、上記の目的を達成するためになされたものである。本発明に係る請求項 1 に記載の半導体集積回路装置は、

スタンダードセルを用いた自動配置配線により多層プロセスで形成される半導体集積回路装置であって、

第二メタル電源配線下部にマルチロジックセルを配置することを特徴とする。

【 0 0 1 0 】

本発明に係る請求項 2 に記載の半導体集積回路装置は、

コンタクトホール工程以降に、利用するマルチロジックセルを変更する回路変更が行われ、全体回路の機能が変更されることを特徴とする請求項 1 に記載の半導体集積回路装置である。

【 0 0 1 1 】

本発明に係る請求項 3 に記載の半導体集積回路装置設計方法は、

多層プロセスで形成される半導体集積回路装置をスタンダードセルを用いた自動配置配線により設計する半導体集積回路装置設計方法であって、

第二メタル電源配線下部にマルチロジックセルを配置することを特徴とする。

【 0 0 1 2 】

本発明に係る請求項 4 に記載の半導体集積回路装置設計方法は、

コンタクトホール工程以降に、利用するマルチロジックセルを変更する回路変更を行い、全体回路の機能を変更することを特徴とする請求項 3 に記載の半導体集積回路装置設計方法である。

【発明の効果】

【 0 0 1 3 】

スタンダードセルを用いる自動配置配線で多層プロセスにより形成される半導体集積回路装置の設計において、第二メタル電源配線下部にマルチロジックセルを配置することでチップサイズや下階層を変更することなく回路変更が可能なレイアウトが作成される。

【発明を実施するための最良の形態】

【 0 0 1 4 】

以下、図面を参照しつつ本発明に係る好適な実施形態を説明する。

【 0 0 1 5 】

[第 1 の実施形態]

図 1 は、本発明の第 1 の実施形態に係る半導体集積回路装置 2 のスタンダードセル設計方式におけるフロアプランを示す図である。図 1 0 に示す従来技術のフロアプランの図と同様に、チップ内が基本的にスタンダードセル領域のみで構成されている。

10

20

30

40

50

【 0 0 1 6 】

本発明の第 1 の実施形態に係る半導体集積回路装置 2 は、(第二メタル層の) 第二メタル電源配線下部にマルチロジックセルを配置する。図 1 は、特に、マルチロジックセルの配置エリアを記載した図である。

【 0 0 1 7 】

マルチロジックセルは、第二メタルの電源配線下部に配置され、セルの両端にはダミー端子の第二メタルが設けられている(図 2 参照)。これらダミー端子の第二メタル間が、符号 6 で示される電源配線のエリアとなる。

【 0 0 1 8 】

図 2 は、本発明の第 1 の実施形態で利用されるマルチロジックセル 4 の内のベースセルのレイアウト図である。マルチロジックセル 4 は、半導体集積回路装置のスタンダードセル設計方式におけるコンタクトホール工程以降に変更・修正の対象とされることで、半導体集積回路装置の機能を変えることを可能にするスタンダードセルであるといえる。

10

【 0 0 1 9 】

本発明の第 1 の実施形態に係るマルチロジックセル 4 は、図 2 に示すように、電源配線よりセルサイズが大きい(則ち、第二メタルダミー端子 8 a、8 b が、第二メタル電源配線幅の外にある。)。このことにより、マルチロジックセルへの配線が可能となる。

【 0 0 2 0 】

なお、図 3、図 4、及び、図 5 は、本発明に係るマルチロジックセルのレイアウト図の例である。図 3 (1) はインバータセルを示し、図 3 (2) はバッファセルを示す。図 4 (1) はバッファセル(強ドライブ) を示し、図 4 (2) は N A N D セルを示す。そして、図 5 は容量スタンダードセルを示す。

20

【 0 0 2 1 】

半導体集積回路装置の回路設計(レイアウト設計) では、回路変更を見込んでロジックセル内にダミーセル(フィラーセル) が予め組み込まれて配置されるのが通例である。従って、従来、回路設計がある程度進んでから回路変更を行う場合、予め配置されたダミーセルを用いてしか回路変更ができない。しかも、下階層を保持する回路における回路変更では、記載されたロジックセルを用いてしか回路変更ができない。けだし、下階層にはダミーセルが設けられていないことが通常であるからである。

【 0 0 2 2 】

このように、従来の回路設計では、ダミーセル(フィラーセル) を予め回路に組み込んでおく必要がある。しかし、本発明に係るマルチロジックセルは、ダミーセルを用いなくても、新たなスタンダードセルを追加すること(即ち、マルチロジックセルを変更すること) が可能である。図 6 は、利用するマルチロジックセル 4 を変更する回路変更の様子を示す図である。図 6 に示される回路変更では、インバータセルであるマルチロジックセルを利用する回路変更が為されている。

30

【 0 0 2 3 】

しかも、本発明に係るマルチロジックセルによる回路変更は、コンタクトホール工程以降に行うことができる。

【 0 0 2 4 】

半導体集積回路装置の回路設計(レイアウト設計) において、本発明に係るマルチロジックセルを使用することにより、ダミーセル(フィラーセル) を削減することが可能であり第二メタル電源配線下部もロジックエリアとして活用できるため、半導体集積回路装置のチップサイズを小さくすることができる。また、後工程(コンタクトホール以降) の変更での回路変更が容易となる。

40

【 0 0 2 5 】

図 7 は、図 1 と同様、本発明の第 1 の実施形態に係る半導体集積回路装置 2 のスタンダードセル設計方式におけるフロアプランを示す図であり、特に、マルチロジックセルを用いることで、同じ間隔のスタンダードセルが使用できることを示している。つまり、2 つ以上の経路に対して、同じタイミングを持たせるという修正が可能となる。また、図 8 も

50

、図 1 と同様、本発明の第 1 の実施形態に係る半導体集積回路装置 2 のスタンダードセル設計方式におけるフロアプランを示す図であり、特に、配置配線後に、I/Oセルとロジックセルが離れた場合（配線長が大きくなる場合）の修正も容易に行えることを示している。つまり、配線長が大きい I/Oセルとロジックセル（T）の間の配線が複数のマルチロジックセルを経由するように修正してアンテナルール違反に対する対応（改善）を行っている。このように本発明に係るマルチロジックセルを利用することにより、アンテナルール違反に対する対応が容易になるともいえる。

【 0 0 2 6 】

図 9 は、本発明の第 1 の実施形態に係る半導体集積装置 2 における複数のマルチロジックセル 4、第二メタルの電源配線、及び、第二メタルの信号配線の概略の様子を示す図である。

10

【 0 0 2 7 】

通常、第二メタルの電源配線 6 は太い配線で設定される。このため、隣接するエリアはプロセス的に歩留まりが良くないエリアであり、電源配線は隣接する信号配線に影響を及ぼす可能性がある。これに対して、図 9 に示すように、マルチロジックセルの特徴である第二メタル（符号 10 で示される領域）がこのエリアに設定されることにより、信号配線のプロセスマージンが大きくなる。このことから、本発明を利用することにより歩留まり向上が期待できる。

【 図面の簡単な説明 】

【 0 0 2 8 】

20

【 図 1 】本発明の第 1 の実施形態に係る半導体集積回路装置のスタンダードセル設計方式におけるフロアプランを示す図である。

【 図 2 】本発明の第 1 の実施形態で利用されるマルチロジックセルの中のベースセルのレイアウト図である。

【 図 3 】本発明に係るマルチロジックセルのレイアウト図の例である。

【 図 4 】本発明に係るマルチロジックセルのレイアウト図の例である。

【 図 5 】本発明に係るマルチロジックセルのレイアウト図の例である。

【 図 6 】利用するマルチロジックセルを変更する回路変更の様子を示す図である。

【 図 7 】本発明の第 1 の実施形態に係る半導体集積回路装置のスタンダードセル設計方式におけるフロアプランを示す図である。

30

【 図 8 】本発明の第 1 の実施形態に係る半導体集積回路装置のスタンダードセル設計方式におけるフロアプランを示す図である。

【 図 9 】本発明の第 1 の実施形態に係る半導体集積装置における複数のマルチロジックセル、第二メタルの電源配線、及び、第二メタルの信号配線の概略の様子を示す図である。

【 図 10 】スタンダードセル設計方式におけるフロアプランの一例を示す図である。

【 図 11 】第一メタル層まででレイアウトが形成されるスタンダードセルの例である。

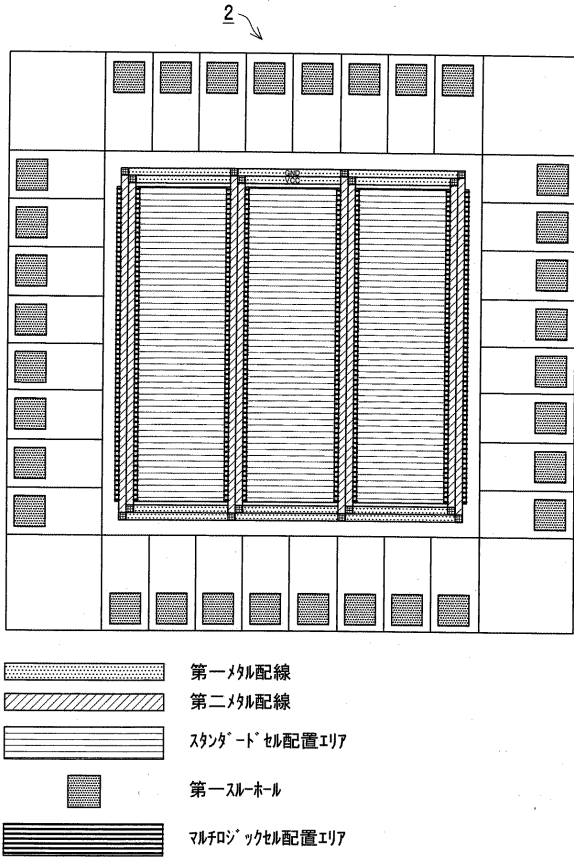
【 符号の説明 】

【 0 0 2 9 】

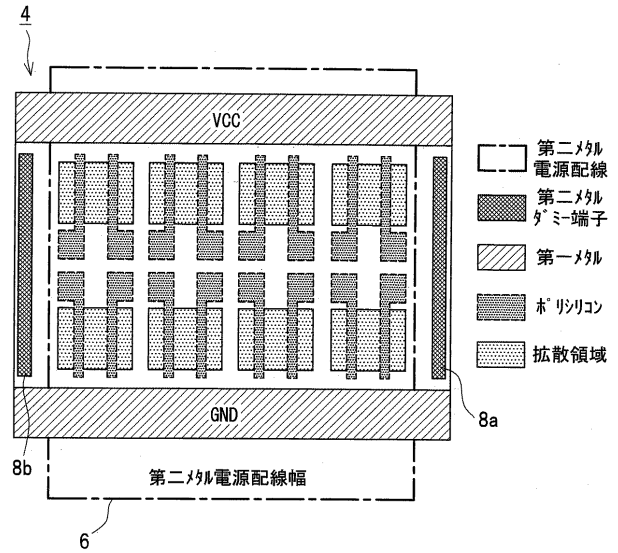
2・・・半導体集積回路装置、4・・・マルチロジックセル、6・・・第二メタル電源配線幅、8 a、8 b・・・第二メタルダミー端子。

40

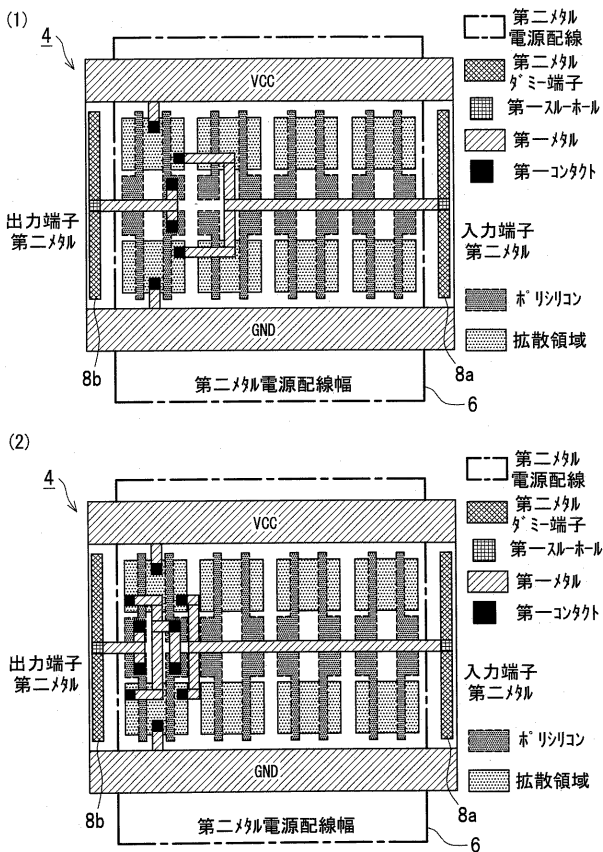
【図1】



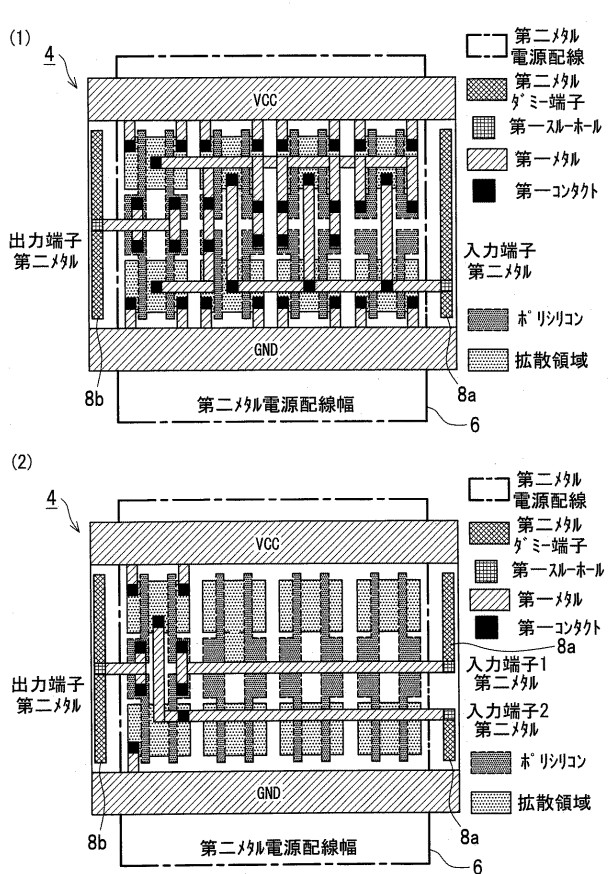
【図2】



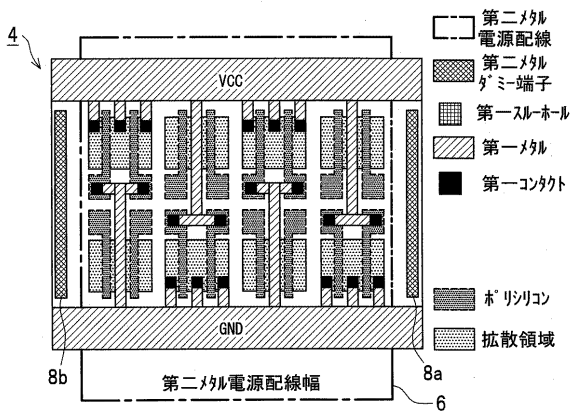
【図3】



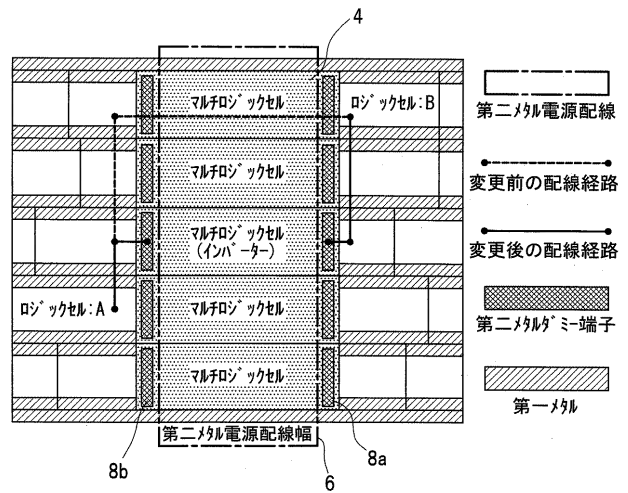
【図4】



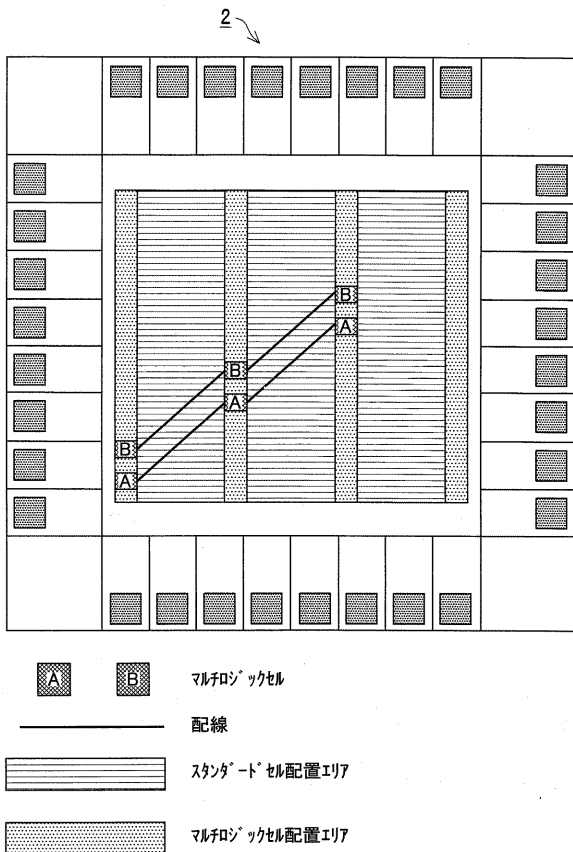
【図5】



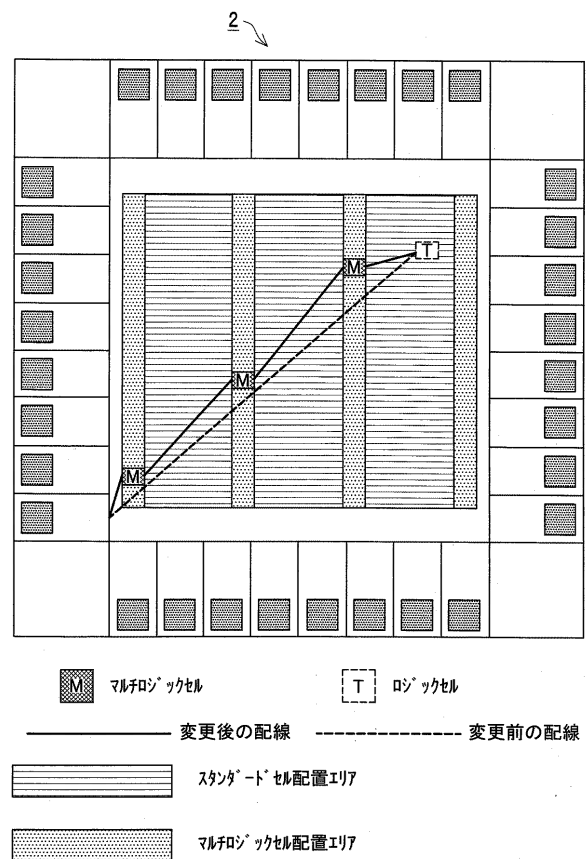
【図6】



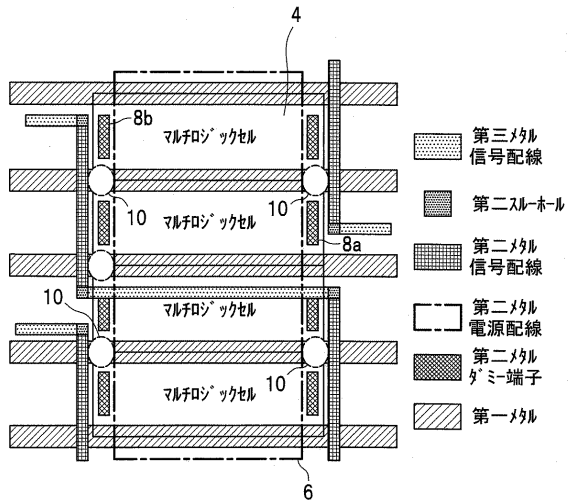
【図7】



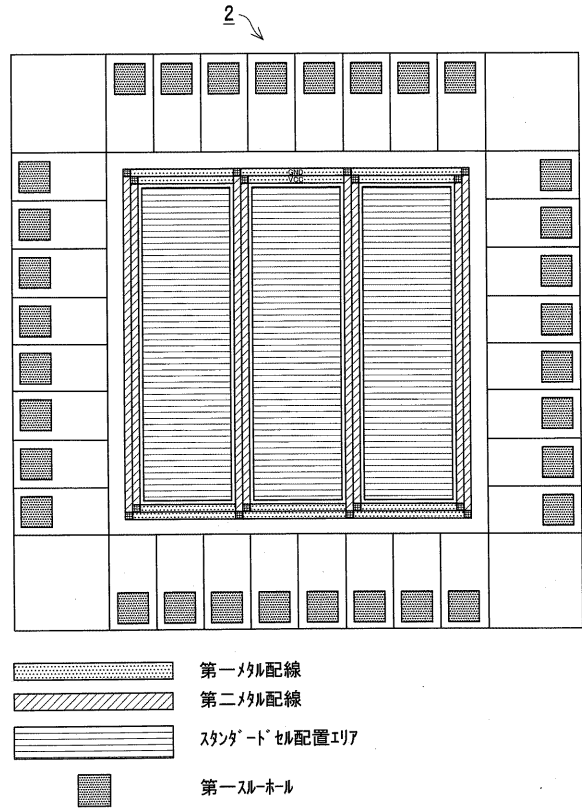
【図8】



【 図 9 】



【 図 10 】



【 図 11 】

