

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.	(45) 공고일자	2006년05월30일
<i>H01L 29/78</i> (2006.01)	(11) 등록번호	10-0585157
<i>H01L 21/336</i> (2006.01)	(24) 등록일자	2006년05월24일

(21) 출원번호	10-2004-0071225	(65) 공개번호	10-2006-0022414
(22) 출원일자	2004년09월07일	(43) 공개일자	2006년03월10일

(73) 특허권자            삼성전자주식회사  
                              경기도 수원시 영통구 매탄동 416

(72) 발명자                김성민  
                              인천광역시 부평구 부개3동 삼부아파트 108동 2204호

                              리밍  
                              경기도 용인시 기흥읍 농서리 산 24 남자기숙사 상록수 301호

                              윤은정  
                              서울특별시 서초구 잠원동 신반포한신아파트 323동 403호

(74) 대리인                리엔목특허법인  
                              이혜영

심사관 : 임동우

(54) 다수의 와이어 브릿지 채널을 구비한 모스 트랜지스터 및그 제조방법

요약

행방향으로 2개 이상이 어레이되어 있는 와이어 브릿지 채널을 구비한 모스 트랜지스터 및 그것의 제조방법에 대하여 개시한다. 본 발명에 따른 모스 트랜지스터는 소오스/드레인 영역이 반도체 기판의 양 단부 상에 위치하고 있는 소오스/드레인 패턴에 한정되어 있고, 채널은 다수의 타원형 또는 원형의 와이어 브릿지 채널로서 소오스 영역과 드레인 영역을 연결하도록 행방향으로 2개 이상이 서로 이격되게 어레이되어 있다. 그리고, 게이트 전극은 게이트 절연막을 개재하고서 다수의 원형 또는 타원형 와이어 브릿지 채널을 둘러싸도록 소오스/드레인 패턴 사이에 형성되어 있다.

대표도

도 3a

색인어

모스 트랜지스터, 멀티 브릿지 채널, 단채널 효과, 협채널 효과, FinFET, DELTA

명세서

**도면의 간단한 설명**

도 1a 내지 도 1d는 본 발명의 일 실시예에 따른 모스 트랜지스터의 액티브 패턴에 대한 사시도이다.

도 2는 도 1a의 AA' 라인을 따라 절취한 단면도이다.

도 3a는 본 발명의 일 실시예에 따른 모스 트랜지스터에 대한 개략적인 사시도이다.

도 3b는 도 3a의 XX' 라인을 따라 절취한 단면도이다.

도 3c는 도 3a의 Y<sub>1</sub>Y<sub>1</sub>' 라인을 따라 절취한 단면도이다.

도 3d는 도 3a의 Y<sub>2</sub>Y<sub>2</sub>' 라인을 따라 절취한 단면도이다.

도 4a는 본 발명의 다른 실시예에 따른 모스 트랜지스터에 대한 개략적인 사시도이다.

도 4b는 도 4a의 XX' 라인을 따라 절취한 단면도이다.

도 4c는 도 4a의 Y<sub>1</sub>Y<sub>1</sub>' 라인을 따라 절취한 단면도이다.

도 4d는 도 4a의 Y<sub>2</sub>Y<sub>2</sub>' 라인을 따라 절취한 단면도이다.

도 5a 내지 도 17d는 본 발명의 바람직한 일 실시예에 따른 모스 트랜지스터의 제조방법을 보여주는 도면으로서,

도 5a, 도 6a, ..., 도 17a는 개략적인 사이도이고, 나머지 도면들은 각 사시도에 대한 XX', Y<sub>1</sub>Y<sub>1</sub>' 또는 Y<sub>2</sub>Y<sub>2</sub>' 라인을 따라 절취한 단면도이다.

도 18a 내지 도 21c는 본 발명의 바람직한 다른 실시예에 따른 모스 트랜지스터의 제조방법을 설명하기 위한 도면으로서, 도 18a, 도 19a, 도 20a 및 도 21a는 개략적인 사시도이고, 도 18b, 도 19b, 도 20b 및 도 21b는 각 사시도의 XX' 라인을 따라 절취한 단면도이고, 도 18c, 도 19c, 도 20c 및 도 21c는 각 사시도의 Y<sub>1</sub>Y<sub>1</sub>' 라인을 따라 절취한 단면도이다.

도 22a 및 도 22c는 본 발명의 바람직한 또 다른 실시예에 따른 모스 트랜지스터의 제조방법을 설명하기 위한 도면으로서, 도 22a는 개략적인 사시도이고, 도 22b는 도 22a의 XX' 라인을 따라 절취한 단면도이다.

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 보다 구체적으로는 다수의 와이어 브릿지 채널을 구비한 모스 트랜지스터(Metal Oxide Semiconductor Transistor) 및 그것의 제조방법에 관한 것이다.

반도체 소자의 응용 분야가 확대됨에 따라서 고집적 및/또는 고속 반도체 소자에 대한 요구도 증가하고 있다. 집적도의 증가로 인하여 디자인 룰이 계속 작아지고 있는데, 특히 모스 트랜지스터의 채널 길이와 폭도 작아지고 있다. 채널 길이가 작아지면 단채널 효과(short channel effect)가 발생하는 문제점이 있으며, 채널 폭이 줄어들면 협채널 효과(narrow width effect)가 발생하는 문제점이 있다. 단채널 효과란 채널 영역에 미치는 소오스/드레인 영역에서의 전위의 영향이 현저해지는 현상을 말하며, 협채널 효과란 채널의 폭이 감소하여 문턱 전압이 증가하는 현상을 말한다. 이러한 단채널 효과 및 협채널 효과의 발생을 방지하기 위하여 여러 가지 형태의 모스 트랜지스터 구조가 제안되었다.

예를 들어, 새로운 형태의 모스 트랜지스터 중의 하나는 চে밍 후(chenming Hu) 등에 의한 미합중국 특허 제6,413,802호, "FinFET transistor structures having a double gate channel extending vertically from a substrate and methods of manufacture"에 개시되어 있는 것과 같은 핀 구조(fin structure)의 모스 트랜지스터이다. 그리고, 새로운 형태의 모스 트랜지스터 중에서 다른 하나는 쉬라사키(shirasaki)에 의한 미합중국 특허 제4,996,574호, "MIS transistor structure for increasing conductance between source and drain regions"에 개시되어 있는 것과 같은 DELTA 구조(fully DEpleted Lean-channel TrAnsistor structure)의 모스 트랜지스터이다. 그리고, 새로운 형태의 모스 트랜지스터 중에서도 다른 하나는 김(Kim) 등에 의한 미합중국 특허 제6,605,847호, "Semiconductor device having gate all around type transistor and method of forming the same"에 개시되어 있는 것과 같은 게이트 올 어라운드 구조(Gate All Around structure, GAA 구조)의 모스 트랜지스터이다.

하지만, 상기한 새로운 구조의 모스 트랜지스터들은 각각 장점과 단점을 가지고 있는데, 본 특허 출원의 양수인과 동일인에 의하여 양수된 미합중국특허출원 공개번호 제20040063286호, "Field effect transistors having multiple stacked channels"에 각각의 트랜지스터의 장점과 단점이 기술되어 있다. 그리고, 상기 공개특허에는 각 트랜지스터가 가지고 있는 단점을 해결하기 위하여 새로운 구조의 모스 트랜지스터를 제시하고 있다. 즉, 상기 공개 특허에서는 서로 이격되어 있는 다수의 채널이 수직으로 적층되어 있는 멀티 브릿지 채널(Multi Bridge Channel Structure, MBC)을 구비하는 모스 트랜지스터가 개시되어 있다. 도시된 것과 같은 MBC를 구비하는 모스 트랜지스터는 소오스/드레인 영역이 차지하는 면적을 줄일 수가 있기 때문에 고집적화에 유리하며, 채널의 위치에 관계없이 균일한 소오스/드레인 접합 커패시턴스를 유지할 수 있기 때문에 고속 및 고신뢰성 소자를 제조할 수 있는 장점이 있다. 상기 특허 출원은, 그 전부가 본 명세서에 개시되어 있는 것처럼, 참조에 의하여 본 명세서에 완전히 결합한다.

하지만 전술한 새로운 구조의 모스 트랜지스터들, 즉, 핀 구조, DELTA 구조, GAA 구조 및 MBC 구조의 채널을 구비하는 모스 트랜지스터들은 모두가 고속 동작을 하는데 일정한 한계를 보이고 있다. 예를 들어, MBC를 구비하는 모스 트랜지스터의 경우에, 게이트 전극에 의하여 둘러싸여 있는 채널의 단면 모양이, 수평 방향으로 길이가 상대적으로 긴 직사각형이나 판 모양이다. 이 경우에 수평 방향보다는 수직 방향으로 게이트 전극에 이르는 거리가 가깝기 때문에, 게이트 전극에 의하여 채널층에 가해지는 전압은 수평 방향보다 수직 방향이 더 크다. 게이트 전극에 의하여 채널에 가해지는 전압이 방향에 따라 차이가 생기면 채널층을 통하여 흐르는 캐리어 예컨대 전자가 완전한 직진 운동을 하지 못하고, 위쪽 또는 아래쪽으로 치우친다. 그 결과, 캐리어가 채널층을 구성하는 입자와 충돌할 가능성도 그 만큼 증가한다. 캐리어가 결정 입자와 충돌하여 스캐터링이 많이 발생하면, 채널층을 통하여 소오스/드레인 영역을 흐르는 전자의 속도가 저하된다. 그러므로, 종래 기술에 따른 MBC 구조의 채널을 구비하는 모스 트랜지스터를 포함하는 반도체 소자는 고속 동작에 일정한 한계가 있을 수가 있다. 이러한 문제는 전술한 다른 구조의 채널을 구비한 모스 트랜지스터의 경우에도 동일하게 발생한다.

그리고, 종래 기술에 따른 MBC 구조의 채널을 구비하는 모스 트랜지스터는 서로 이격되어 있는 채널의 개수를 증가시키는데 일정한 한계가 있다. 왜냐하면, 채널의 개수를 증가시키기 위해서는 채널층의 층수를 증가시켜야 하는데, 채널층의 층수를 증가시키는 것은 건식 식각 공정에서 달성할 수 있는 식각 깊이의 한계로 인하여 일정한 제한을 받을 수 밖에 없다. 이와 같이 채널의 개수가 제한되는 것은 MBC 구조의 채널을 구비하는 모스 트랜지스터의 성능 및 신뢰도를 향상시키는데 일정한 한계로 작용할 수가 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 단채널 효과 및 협채널 효과가 발생하는 것을 방지할 수 있는 다수의 와이어 브릿지 채널을 구비한 모스 트랜지스터 및 그것의 제조방법을 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 고속 동작이 가능하도록 등방성 채널을 구비한 모스 트랜지스터 및 그것의 제조방법을 제공하는데 있다.

본 발명이 이루고자 하는 또 다른 기술적 과제는 멀티 브릿지 채널 트랜지스터, GAA 트랜지스터 및 DELTA 구조의 트랜지스터의 장점을 모두 가지는 모스 트랜지스터 및 그것의 제조방법을 제공하는데 있다.

### 발명의 구성 및 작용

상기한 기술적 과제를 달성하기 위한 본 발명에 따른 모스 트랜지스터는 반도체 기판의 상부에 행방향으로 2개 이상이 배열되어 있는 다수의 와이어 브릿지 채널을 구비한다. 다수의 와이어 브릿지 채널은 반도체 기판 상의 1쌍의 소오스/드레인 패턴에 한정되어 있는 소오스 영역과 드레인 영역 사이에 개재되어 있다. 상기 다수의 와이어 브릿지 채널은 반도체 기판

의 상부에 형성되기 때문에 입체적인 구조를 가진다. 그리고, 브릿지 채널로서의 역할을 하는 다수의 와이어 구조물이 행 방향으로 2개 이상이 서로 이격되게 어레이되어 있으며, 이러한 2개 이상의 와이어 구조물은 2행 이상이 구비될 수 있다. 비록 본 발명에 따른 와이어 구조물의 개수는 디자인 룰이나 제조 공정의 측면에서 일정한 제한이 따르지만, 모스 트랜지스터의 성능 및 신뢰도를 향상시킬 수 있도록 그 개수를 적절히 증가시킬 수 있다. 특히, 행의 수를 증가시키지 않고도 열의 수를 증가시킴으로써 와이어 구조물의 개수를 증가시키거나 또는 열의 수를 증가시키지 않고 행의 수를 증가시킴으로써 와이어 구조물의 개수를 증가시킬 수가 있다. 뿐만 아니라, 행과 열의 수를 동시에 증가시킴으로써 와이어 구조물의 개수를 증가시킬 수가 있다.

그리고, 본 발명에 따른 모스 트랜지스터는 와이어 브릿지 채널의 외면 전체를 게이트 전극이 둘러싸고 있는 GAA 구조이다. 일반적으로 GAA 구조에서는 채널과 게이트 전극과의 접촉 면적이 넓기 때문에, 게이트 전압에 의한 전계가 채널 영역에 미치는 영향이 현저해질 뿐만 아니라 채널의 폭이 증가하는 효과가 나타나는 것으로 알려져 있다. 따라서, 본 발명에 의한 모스 트랜지스터의 경우에도 GAA 구조를 채용함으로써 단채널 효과와 협채널 효과를 효과적으로 방지할 수가 있다.

또한, 상기 와이어 구조물은 완전 공핍형 채널을 형성하도록 그 단면의 폭과 높이가 상당히 작을 수가 있다. 완전 공핍형 채널을 형성하는 와이어 구조물의 단면 크기는 게이트 전극에 가해지는 전압, 게이트 절연막의 두께 및/또는 채널의 도핑 정도에 따라서 달라질 수 있다. 예컨대, 반전층(inversion layer)의 두께가 약 10nm 정도가 되는 게이트 전압, 게이트 절연막 두께 및 채널 도핑이라고 가정해보자. 이 경우, 와이어 브릿지 채널이 완전히 공핍되기 위해서는 와이어 구조물의 단면의 최대 크기는 약 30nm 이하, 보다 바람직하게는 약 10 내지 20nm 이하인 것이 바람직하다. 예를 들어, 와이어 구조물의 단면이 사각형인 경우에 가로 및 세로 길이는 약 10 내지 30nm 사이, 가로 및 세로 각각 20nm 이하인 것이 바람직하다. 또는, 와이어 구조물의 단면이 원형 또는 타원형인 경우에, 그 직경이 10 내지 30nm 사이 보다 약 20nm 이하인 것이 바람직하다. 이와 같이, 본 발명에 의한 모스 트랜지스터는 DELTA 구조의 모스 트랜지스터처럼 채널 전류를 증가시킬 수가 있다.

뿐만 아니라, 상기 와이어 구조물의 단면이 정사각형, 원형 또는 이와 유사한 모양인 경우에는 채널에 가해지는 전계가 사방으로 균일하다. 즉, 본 발명에 의하면 와이어 브릿지 채널의 내부에는 등방성 전계(isotropic electric field)가 형성된다 (이하에서는, 그 내부에 등방성 전계가 형성되는 단면 모양을 가진 GAA 트랜지스터의 채널을 '등방성 채널'이라고 하고, 등방성 채널을 포함하는 트랜지스터를 '등방성 트랜지스터'라 한다). 등방성 채널의 경우에는, 평면 트랜지스터의 이방성 채널의 경우와 같이 상부의 게이트 전극 쪽으로만 전계가 형성되거나 또는 판형 채널(plate type channel)을 구비한 GAA 형 트랜지스터나 FinFET의 경우와 같이 상, 하 또는 좌, 우 방향으로 채널 내부의 전계가 편향되지 않는다. 그 결과, 등방성 채널의 경우에는 채널을 통해 이동하는 캐리어가 보다 직진성을 갖도록 함으로써 캐리어의 스캐터링 현상을 감소시킬 수가 있기 때문에, 본 발명에 의한 모스 트랜지스터는 높은 전류를 요구하는 논리 회로 소자를 제조하는데 보다 적합하다. 하지만, 본 발명에 따른 트랜지스터가 고전류가 필요한 논리 회로 소자에만 특별히 한정되는 것은 아니다.

상기한 본 발명의 일 실시예에 따른 모스 트랜지스터는 반도체 기판, 1쌍의 소오스/드레인 패턴, 2개 이상의 채널용 와이어 브릿지, 게이트 절연막 및 게이트 전극용 도전체 패턴을 포함한다. 상기 반도체 기판에는 활성 영역을 한정하는 소자 격리막이 형성되어 있을 수 있다. 그리고, 상기 1쌍의 소오스/드레인 패턴은 상기 활성 영역의 상면에 서로 이격되어서 형성되어 있으며, 그 전체 또는 일부에 소오스 영역과 드레인 영역이 한정되어 있다. 그리고, 상기 다수의 채널용 와이어 브릿지는 상기 반도체 기판 상부에 행방향으로 2개 이상이 서로 이격되게 어레이되어 있으며, 상기 1쌍의 소오스/드레인 패턴의 상기 소오스 영역과 상기 드레인 영역 사이에 형성되어 있다. 여기서, "행방향으로 2개 이상이 어레이되어 있는 채널용 와이어 브릿지"란, 상기 반도체 기판 면과 평행하도록 2개 이상이 채널용 와이어 브릿지가 하나 또는 그 이상의 행에 각각 어레이되어 있는 것을 말한다. 그리고, 상기 와이어 브릿지는 원형, 장축과 단축의 길이가 크게 차이가 나지 않는 타원형, 정사각형 또는 가로 및 세로 길이가 크게 차이가 나지 않는 사각형과 같이 등방성 채널을 형성할 수 있는 단면 모양을 가지는 것이 바람직하다. 그리고, 상기 게이트 절연막은 상기 다수의 채널용 와이어 브릿지 각각의 외면에 형성되어 있고, 상기 게이트 전극용 도전체 패턴은 상기 게이트 절연막을 둘러싸도록 상기 1쌍의 소오스/드레인 패턴 사이에 형성되어 있다.

상기한 실시예의 일 측면에 의하면, 상기 게이트 전극용 도전체 패턴과 상기 1쌍의 소오스/드레인 패턴 사이에는 단락 방지용 절연 패턴이 더 형성되어 있을 수 있다.

상기한 본 발명의 다른 실시예에 따른 모스 트랜지스터는 반도체 기판, 1쌍의 실리콘 패턴, 다수의 채널용 와이어 브릿지, 게이트 절연막 및 게이트 전극용 도전체 패턴을 포함한다. 상기 반도체 기판에는 활성 영역을 한정하도록 얇은 트렌치 격리막이 형성되어 있다. 그리고, 상기 1쌍의 실리콘 패턴은 상기 활성 영역의 상면에 서로 이격되어서 형성되어 있으며, 소오스 영역과 드레인 영역이 한정되어 있다. 그리고, 상기 다수의 채널용 와이어 브릿지는 상기 활성 영역 상부에 행방향으로 2개 이상이 서로 이격되게 어레이되어 있으며, 상기 1쌍의 실리콘 패턴의 상기 소오스 영역과 상기 드레인 영역 사이에

서, 그 단면의 모양이 원형 또는 타원형인 단결정 실리콘으로 형성되어 있다. 그리고, 상기 게이트 절연막은 상기 다수의 채널용 와이어 브릿지 각각의 외면에 형성되어 있고, 상기 게이트 전극용 도전체 패턴은 상기 게이트 절연막을 둘러싸도록 상기 1쌍의 실리콘 패턴 사이에 형성되어 있다.

상기한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 모스 트랜지스터의 제조방법에서는 먼저 반도체 기판 상에  $n$ 개의 희생층 패턴과  $n$ 개의 채널층 패턴이 교대로 적층되어 있는 채널 형성용 예비 패턴을 형성한다. 여기서  $n$ 은 1 또는 2이거나 3이상일 수도 있는데, 채널층 패턴의 개수에 따라 최종적으로 형성될 모스 트랜지스터의 와이어 브릿지 채널의 행의 수가 확정된다. 또한, 채널층 패턴의 두께는 와이어 브릿지 채널의 단면의 수직 길이를 좌우한다. 계속해서, 상기 채널 형성용 예비 패턴 상에 적어도 상기 채널 형성용 예비 패턴의 전, 후 가장자리 상면을 노출시키는 마스크 패턴을 형성한다. 여기서, 마스크 패턴에 의해 노출된 채널 형성용 예비 패턴의 폭이 와이어 브릿지 채널의 단면의 수평 길이를 좌우한다. 따라서, 등방성이며 및/또는 완전 공핍형 채널을 형성하기 위해서는 채널층 패턴의 두께와 마스크 패턴에 의해 노출된 채널 형성용 예비 패턴의 폭을 적절히 설정할 필요가 있다.

계속해서, 상기 반도체 기판 상에 상기 채널 형성용 예비 패턴과 상기 마스크 패턴을 둘러싸는 몰더 패턴(molder pattern)을 형성한다. 그리고, 상기 마스크 패턴과 상기 몰더 패턴을 패터닝하여 상기 채널 형성용 예비 패턴의 전, 후 방향으로 신장되고 상기 채널 형성용 예비 패턴의 양측 상면을 노출시키는 바아(bar) 타입의 더미 게이트 패턴을 형성한 다음, 상기 반도체 기판을 노출시키는 1쌍의 제1 홀(hole)을 형성하도록 상기 더미 게이트 패턴 및 잔류하는 상기 몰더 패턴을 마스크로 사용하여 상기 채널 형성용 예비 패턴을 이방성 건식 식각한다. 그리고, 상기 1쌍의 제1 홀을 매립하는 소오스/드레인 패턴을 형성한 다음, 상기 소오스/드레인 패턴 및 잔류하는 상기 몰더 패턴 상에 상기 마스크 패턴을 노출시키는 버퍼 패턴(buffer pattern)을 형성한다. 그리고, 상기 마스크 패턴을 제거하여 상기 채널 형성용 예비 패턴을 노출시키는 그루브(groove)를 형성한 다음, 상기 반도체 기판을 노출시키는 제2 홀이 이 형성되도록 상기 버퍼 패턴 및 상기 몰더 패턴을 마스크로 사용하여 상기 그루브를 통하여 노출된 상기 채널 형성용 예비 패턴을 이방성 건식 식각한다. 그리고, 잔류하는 상기 버퍼 패턴 및 상기 몰더 패턴을 제거한 다음, 상기 반도체 기판과 잔류하는 상기 채널층 패턴 사이 및/또는 잔류하는 상기 채널층 패턴들 사이에 윈도우가 형성되도록 잔류하는 상기 희생층 패턴을 제거한다. 그리고, 잔류하는 상기 채널층 패턴의 외면 상에 게이트 절연막을 형성한 다음, 상기 제2 홀 및 상기 윈도우를 채우도록 상기 게이트 절연막 상에 게이트 전극용 도전체 패턴을 형성한다.

상기한 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 모스 트랜지스터의 제조방법에서는 먼저 실리콘 기판 상에  $n$ ( $n$ 은 자연수, 이하 같다)개의 실리콘 저매늄 희생층과  $n$ 개의 실리콘 채널층을 교대로 증착하여 채널 형성용 예비층을 형성한다.  $n$ 번째 실리콘 채널층 상에는  $n+1$ 번째 실리콘 저매늄 희생층을 더 형성할 수도 있다.

계속해서, 상기 채널 형성용 예비층 상에 트렌치 형성용 하드 마스크를 형성한 다음, 상기 하드 마스크를 식각 마스크로 사용하여 상기 채널 형성용 예비층 및 상기 실리콘 기판을 식각하여 채널 형성용 예비 패턴과 상기 실리콘 기판에 트렌치를 형성한다. 그리고, 적어도 상기 채널 형성용 예비 패턴의 전, 후 가장자리 상면을 노출시키는 마스크 패턴을 형성하도록 상기 하드 마스크를 패터닝한 다음, 상기 트렌치를 매립하는 소자 격리용 절연막 및 상기 실리콘 기판 상에 상기 채널 형성용 예비 패턴과 상기 마스크 패턴을 둘러싸는 몰더 패턴을 형성한다. 그리고, 상기 마스크 패턴과 상기 몰더 패턴을 패터닝하여 상기 채널 형성용 예비 패턴의 전, 후 방향으로 신장되고 상기 채널 형성용 예비 패턴의 양측 상면을 노출시키는 바아 타입의 더미 게이트 패턴을 형성한 다음, 상기 실리콘 기판을 노출시키는 1쌍의 제1 홀을 형성하도록 상기 더미 게이트 패턴 및 잔류하는 상기 몰더 패턴을 마스크로 사용하여 상기 채널 형성용 예비 패턴을 이방성 건식 식각한다. 그리고, 상기 1쌍의 제1 홀을 매립하는 소오스/드레인 패턴을 형성한 다음, 상기 소오스/드레인 패턴 및 잔류하는 상기 몰더 패턴 상에 상기 마스크 패턴을 노출시키는 버퍼 패턴을 형성한다. 그리고, 상기 마스크 패턴을 제거하여 상기 채널 형성용 예비 패턴을 노출시키는 그루브를 형성한 다음, 상기 실리콘 기판을 노출시키는 제2 홀이 이 형성되도록 상기 버퍼 패턴 및 상기 몰더 패턴을 마스크로 사용하여 상기 그루브를 통하여 노출된 상기 채널 형성용 예비 패턴을 이방성 건식 식각한다. 그리고, 잔류하는 상기 버퍼 패턴 및 상기 몰더 패턴을 제거한 다음, 상기 실리콘 기판과 잔류하는 상기 채널층 패턴 사이 및/또는 잔류하는 상기 채널층 패턴들 사이에 윈도우가 형성되도록 잔류하는 상기 희생층 패턴을 제거한다. 그리고, 잔류하는 상기 채널층 패턴의 외면 상에 게이트 절연막을 형성한 다음, 상기 제2 홀 및 상기 윈도우를 채우도록 상기 게이트 절연막 상에 게이트 전극용 도전체 패턴을 형성한다.

상기한 기술적 과제를 달성하기 위한 본 발명의 또 다른 실시예에 따른 모스 트랜지스터의 제조방법은 먼저 반도체 기판 상에  $n$ 개의 희생층 패턴과  $n$ 개의 채널층 패턴이 교대로 적층되어 있는 채널 형성용 예비 패턴을 형성한 다음, 상기 채널 형성용 예비 패턴 상에 적어도 상기 채널 형성용 예비 패턴의 전, 후 가장자리와 중앙부를 노출시키는 1쌍의 마스크 패턴을 형성한다. 이러한 마스크 패턴의 모양은 하나의 행에 3열로 어레이되어 있는 와이어 브릿지 채널을 형성하기 위한 것이다. 그리고, 후속 공정은 전술한 실시예들의 공정을 사용하여 진행할 수 있다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세하게 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수 있다. 오히려 여기서 소개되는 실시예들은 본 발명의 기술적 사상이 철저하고 완전하게 개시될 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위하여 예시적으로 제공되어지는 것들이다. 도면에 있어서, 층의 두께 및/또는 영역들의 크기 등은 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조 번호는 동일한 구성요소를 나타낸다.

도 1a에는 본 발명의 바람직한 실시예에 따른 모스 트랜지스터의 액티브 패턴에 대한 사시도가 도시되어 있다. 도 1a를 참조하면, 액티브 패턴은 1쌍의 소오스/드레인 패턴(40)과 다수의 채널용 와이어 브릿지(12e, 14e)를 포함한다. 채널용 와이어 브릿지(12e, 14e)는 소오스/드레인 패턴(40) 사이에 개재되어 있는데, 보다 정확하게는 소오스/드레인 영역(42) 사이에 개재되어 있다. 상기 액티브 패턴은 반도체 기판(미도시) 상에 형성될 수 있다.

소오스/드레인 패턴(40)은 소정의 두께, 폭 및 길이를 가지는 입체적 형상이다. 예컨대, 소오스/드레인 패턴(40)은 도시된 바와 같은 직육면체 형상일 수 있다. 소오스/드레인 패턴(40)의 크기는 모스 트랜지스터에서 소오스/드레인으로서의 전기적 특성을 고려하여 적절한 크기로 설정될 수 있는데, 예컨대  $l_1 \times l_2 \times l_3$  의 크기를 가질 수 있다. 여기서  $l_1$ 은 소오스/드레인 패턴(40)의 두께에 해당하며, 디자인 룰을 고려하여 적절한 크기로 설정된다. 그리고,  $l_2$ 는 소오스/드레인 패턴(40)의 폭에 해당하는데, 디자인 룰과 채널용 와이어 브릿지(12e, 14e)의 크기, 열의 수 및 인접한 열 사이의 간격을 고려하여 적절한 크기로 설정된다. 또한,  $l_3$ 는 소오스/드레인 패턴(42)의 높이에 해당하는데, 디자인 룰과 채널용 와이어 브릿지(12e, 14e)의 크기, 행의 수 및 인접한 행 사이의 간격을 고려하여 적절한 크기로 설정된다.

소오스/드레인 패턴(40)에는 소오스/드레인 영역(42)이 한정되어 있다. 소오스/드레인 영역(42)은 소오스/드레인 패턴(40)의 전 영역을 차지하거나(도 1b 참조) 또는 도시된 바와 같이 소오스/드레인 패턴(40)의 일부에만 한정될 수도 있다(도 1c 및 도 1d 참조). 예컨대, 소오스/드레인 영역(42)의 밑면 레벨은 소오스/드레인 패턴(40)의 밑면 레벨과 같거나 이보다 더 높을 수가 있는데, 후자의 경우가 더욱 바람직하다. 왜냐하면, 후자의 경우에는 소오스/드레인 패턴(40)의 하부에 위치한 반도체 기판(도시하지 않음) 내에 채널이 형성되는 것을 억제할 수 있고, 반도체 기판 하부로의 누설 전류량도 줄일 수 있기 때문이다.

소오스/드레인 패턴(40)은 단결정 실리콘, 폴리 실리콘, 금속 또는 금속 실리사이드 등의 물질로 형성할 수 있다. 소오스/드레인 패턴(40)이 단결정 실리콘, 폴리 실리콘으로 형성되는 경우에, 소오스/드레인 영역(42)은 불순물 이온이 주입된 영역이 된다. 반면에, 소오스/드레인 패턴(40)이 금속 또는 금속 실리사이드로 형성되는 경우에는 소오스/드레인 패턴(40) 전체가 소오스/드레인 영역(42)이 된다. 전자의 경우에, 소오스/드레인 영역(42)의 밑면 레벨이 소오스/드레인 패턴(40)의 밑면 레벨보다 높거나 또는 같게 되도록 소오스/드레인 영역(42)의 밑면 레벨을 조절하는 것이 가능하다. 또한, 2행 이상의 채널용 와이어 브릿지(12e, 14e)에 대하여 수직 방향으로 일정한 도핑 프로파일을 갖도록 소오스/드레인 영역(42)을 형성할 수 있기 때문에, 채널용 와이어 브릿지(12e, 14e)의 행이 증가하더라도 균일한 소오스/드레인 접합 커패시턴스를 유지할 수가 있다.

계속해서 도 1a를 참조하면, 단결정 실리콘으로 형성된 다수의 채널용 와이어 브릿지(12e, 14e)는 2행 × 2열로 서로 이격되게 어레이되어 있다. 이와 같이, 2행 × 2열로 어레이된 다수의 채널용 와이어 브릿지(12e, 14e)는 예시적인 것이다. 본 발명의 실시예에 따른 다수의 채널용 와이어 브릿지는 1행 이상 × 2열 이상으로 어레이 되어 있다. 즉, 채널용 와이어 브릿지의 행은 하나일 수 있지만, 채널용 와이어 브릿지의 열은 적어도 2열 이상이다.

다수의 채널용 와이어 브릿지를 포함하는 액티브 패턴에 대한 변형예는 도 1b, 도 1c 또는 도 1d에 도시되어 있다. 예컨대, 도 1b에 도시된 바와 같이, 2열의 채널용 와이어 브릿지(12e)가 단일한 행을 형성할 수 있다. 또는, 도 1c에 도시된 바와 같이 2열의 채널용 와이어 브릿지(12e, 14e, 16e)가 3행을 형성할 수 있다. 또는, 도 1d에 도시된 바와 같이, 3열의 채널용 와이어 브릿지(12e, 14e)가 2행을 형성하거나, 1행 또는 3행 이상을 형성할 수도 있다.

다시 도 1a를 참조하면, 같은 열의 채널용 와이어 브릿지(12e 또는 14e)는 각각 소오스/드레인 패턴(40)의 밑면 또는 그 하부의 반도체 기판(도 3a 참조)의 상면과 평행하게 일직선으로 정렬되어 있을 수 있다. 그리고, 같은 행의 채널용 와이어 브릿지(12e와 14e)는 각각 상기한 열 방향에 대하여 수직이 되도록 일직선으로 정렬되어 있을 수 있다.

그리고, 최하행에 배열되어 있는 와이어 브릿지(12e)의 밑면 레벨은 소오스/드레인 패턴(40)의 밑면 레벨과 같거나 이보다 더 높을 수 있는데, 후자의 경우가 더욱 바람직하다. 즉, 후자의 경우에는 와이어 브릿지(12e)가 액티브 패턴의 하부에 위치한 반도체 기관(도 3a 참조)으로 소정의 간격만큼 이격된다. 그런데, 전자의 경우와 같이 최하행의 와이어 브릿지(12e)가 액티브 패턴 하부의 반도체 기관과 접촉하게 되면, 와이어 브릿지(12e)를 통해서 흐르는 전류가 그 하부의 반도체 기관으로 누설될 염려가 있다.

또한, 도 1a의 제2행에 배열되어 있는 와이어 브릿지(14e)와 같은 최상행의 와이어 브릿지(14e)의 상면 레벨은 소오스/드레인 패턴(40)의 상면 레벨과 같거나(도 1c 및 도 1d 참조) 이보다 더 높을 수가 있는데(도 1a 및 도 1b 참조), 후자의 경우가 더욱 바람직하다. 왜냐하면, 후자의 경우에는 제조 공정상 최상행의 와이어 브릿지(12e, 14e)의 손상을 방지할 수 있기 때문인데, 자세한 제조 공정에 대해서는 후술한다. 따라서, 후자의 경우에는 최상행(14e)의 와이어 브릿지에 손상이 생기는 것을 방지할 수 있기 때문에, 모스 트랜지스터의 신뢰도가 향상된다.

채널용 와이어 브릿지(12e, 14e)의 길이( $c_1$ )는 디자인 룰 등을 고려하여 적절한 크기로 설정된다. 그리고, 채널용 와이어 브릿지(12e, 14e)의 단면 모양 및/또는 크기는 모스 트랜지스터의 전기적 특성 특히 전류 특성을 향상시킬 수 있도록 적절한 모양과 크기를 가지는 것이 바람직하다. 예컨대, 채널용 와이어 브릿지(12e, 14e)는 사각형, 타원형 또는 원형의 단면 모양을 가질 수가 있다. 또한, 채널용 와이어 브릿지(12e, 14e)는 완전 공핍형 채널을 형성할 수 있도록 20nm 이하의 크기를 가질 수도 있다. 하지만, 이에 한정되는 것은 아니다.

본 발명에 따르면, 채널용 와이어 브릿지(12e, 14e)의 단면은 소위 등방성 채널이 형성될 수 있는 모양인 것이 바람직하다. 등방성 채널이 형성될 수 있는 채널용 와이어 브릿지(12e, 14e)에 대한 단면의 모양에 대한 예는 도 2에 도시되어 있다. 도 2를 참조하면, 등방성 채널이 형성될 수 있도록 채널용 와이어 브릿지(12e, 14e)의 단면 모양은 원형, 정사각형 또는 이들에 가까운 타원형이거나 직사각형일 수 있다. 단면 모양이 원형 등인 경우에는, 채널용 와이어 브릿지(12e, 14e)의 모양이 상,하,좌,우 등 전방향으로 거의 균일하기 때문에, 게이트 전극에 소정의 전압이 인가된 경우에 채널용 와이어 브릿지(12e, 14e)의 내부에는 균일한 전계가 형성될 수 있다.

그리고, 채널용 와이어 브릿지(12e, 14e)의 단면은 게이트 전극에 소정의 전압이 인가된 경우에 채널 전계가 완전히 공핍될 수 있는 크기를 가지는 것이 바람직하다. 완전 공핍형이 될 수 있는 채널용 와이어 브릿지(12e, 14e)의 크기( $c_2$ ,  $c_3$  및  $c_4$ )는 게이트 전압의 크기, 게이트 절연막의 특성과 두께 그리고 채널의 도핑 레벨에 따라 달라질 수 있다. 예컨대, 현재 평면 트랜지스터에서와 같이 반전층(inversion layer)의 두께가 약 10nm 정도가 되는 조건이라면, 채널용 와이어 브릿지(12e, 14e)의 크기( $c_2$ ,  $c_3$  및  $c_4$ )는 약 10 내지 30nm 사이가 바람직하며, 약 20nm 이하가 되는 것이 보다 바람직하다.

도 3a에는 본 발명의 바람직한 실시예에 따른 모스 트랜지스터에 대한 개략적인 사시도가 도시되어 있다. 그리고, 도 3b, 도 3c 및 도 3d에는 도 3a의 XX', Y<sub>1</sub>Y<sub>1</sub>' 및 Y<sub>2</sub>Y<sub>2</sub>' 라인을 따라 절취한 개략적인 단면도가 도시되어 있다. 상기 사시도에서 단락 방지용 절연 패턴(182b)은 도시를 생략하였다. 그러나, 도 3b 내지 도 3d의 단면도에서는 생략된 구성 요소 없이 모두를 표시하였다.

도 3a 내지 도 3d를 참조하면, 모스 트랜지스터는 반도체 기관(100), 1쌍의 소오스/드레인 패턴(142), 2행 × 2열의 채널용 와이어 브릿지(112e, 114e), 게이트 절연막(182a) 및 게이트 전극용 도전체 패턴(184)을 포함한다. 액티브 패턴을 구성하는 1쌍의 소오스/드레인 패턴(142)과 2행 × 2열의 채널용 와이어 브릿지(112e, 114e)에 대해서는 전술한 액티브 패턴에서 설명한 것과 동일한 설명이 적용될 수 있기 때문에 본 실시예에서 상세한 설명은 생략한다. 본 실시예에서는 다수의 채널용 와이어 브릿지(112e, 114e)의 단면이 원형인 경우를 도시하였다. 단면이 원형인 경우에는 완전한 등방성 채널로서 동작하기 때문에, 단면이 사각형인 와이어 브릿지보다 더 많은 전류가 흐르는 것이 가능하다. 뿐만 아니라, 다수의 채널용 와이어 브릿지(112e, 114e)는 단면이 원형에 가까운 타원형일 수도 있다.

계속해서 도 3a 내지 도 3d를 참조하면, 반도체 기관(100)은 단결정 실리콘과 같은 반도체 물질로 형성되는 것이 바람직하다. 예컨대, 반도체 기관(100)은 벌크 실리콘 기관이거나 실리콘 온 인슐레이터(Silicon On Insulator, SOI) 기관일 수 있다. 반도체 기관(100)에는 소자 격리 영역(도시하지 않음)이 형성되어 있을 수도 있는데, 이 경우 액티브 패턴은 소자 격리 영역이 형성되어 있지 않은 반도체 기관(100) 상에 위치한다.

본 발명의 실시예에 의하면, 반도체 기관(100) 내에 소오스/드레인 영역과 채널이 한정되는 것은 아니다. 오히려 본 실시예에 의하면, 반도체 기관(100)의 상부에, 소오스/드레인 영역(142)이 한정되어 있는 소오스/드레인 패턴(140)과 채널로

서의 역할을 하는 다수의 와이어 브릿지(112e, 114e)가 위치한다. 1쌍의 소오스/드레인 패턴(140)은 반도체 기판(100) 상에 소정의 간격으로 이격되어 있다. 그리고, 다수의 와이어 브릿지(112e, 114e)는 반도체 기판(100) 상부의 소오스/드레인 패턴(140) 사이에 개재되어 있다.

계속해서 도 3a 내지 도 3d를 참조하면, 게이트 절연막(182a)은 다수의 채널용 와이어 브릿지(112e, 114e) 각각의 외면에 형성되어 있다. 보다 정확하게는, 게이트 절연막(182a)은 게이트 전극용 도전체 패턴(184)과 채널용 와이어 브릿지(112e, 114e)의 사이에 개재되어 있다. 게이트 절연막(182a)은 실리콘 열산화막으로 형성될 수 있으며, 디자인 룰이나 반도체 소자의 전기적 특성 등을 고려하여 적절한 두께로 형성된다. 예컨대, 게이트 산화막(182a)은 약 50 내지 100Å의 두께로 형성될 수 있다.

게이트 전극용 도전체 패턴(184)은 게이트 절연막(182a)을 둘러싸도록 형성되어 있다. 그리고, 게이트 전극용 도전체 패턴(184)은 1쌍의 소오스/드레인 패턴(142) 사이에 형성된다. 도 2a에 도시되어 있는 바와 같이, 게이트 전극용 도전체 패턴(184)은 와이어 브릿지(112e, 114e)가 신장된 방향에 수직하는 방향으로 길게 연장되어서 인접한 셀의 게이트 전극용 도전체 패턴과 함께 게이트 라인을 형성하여, 워드 라인으로서의 역할을 할 수 있다.

게이트 전극용 도전체 패턴(184)은 불순물이 도핑된 폴리 실리콘, 금속 실리콘사이드 또는 금속 등과 같은 도전성 물질의 단일막이나 이들의 복합막으로 형성될 수 있다. 예컨대, 도 3b 내지 도 3d에 도시되어 있는 것처럼 게이트 전극용 도전체 패턴(184)은 폴리 실리콘 등의 단일막으로 형성될 수 있다.

1쌍의 소오스/드레인 패턴(142) 사이에 형성된 게이트 전극용 도전체 패턴(184)은 소오스/드레인 패턴(142)과 직접 접촉하고 있는 것은 아니다. 예컨대, 도 3c 및 도 3d에 도시되어 있는 것처럼 게이트 전극용 도전체 패턴(184)과 소오스/드레인 패턴(142) 사이에는 단락 방지용 절연 패턴(182b)이 더 개재되어 있을 수 있다. 이러한 단락 방지용 절연 패턴(182b)은 절연 물질의 단일막 또는 복합막으로 형성될 수 있는데, 절연 물질의 종류에 특별한 제한은 없다. 다만, 제조 공정의 측면에서 단락 방지용 절연 패턴(182b)은 게이트 절연막(182a) 형성을 위한 열산화 공정에서 형성된 실리콘 열산화막으로 형성하거나 또는 후속 공정인 층간 절연막 형성 공정에서 증착된 실리콘 산화막으로 형성하는 것이 바람직하다.

도 4a에는 본 발명의 바람직한 다른 실시예에 따른 모스 트랜지스터에 대한 개략적인 사시도가 도시되어 있다. 그리고, 도 4b, 도 4c 및 도 4d에는 도 4a의 XX', Y<sub>1</sub>Y<sub>1</sub>' 및 Y<sub>2</sub>Y<sub>2</sub>' 라인을 따라 절취한 개략적인 단면도가 도시되어 있다. 상기 사시도에서도 설명의 편의를 위하여 소자 격리 영역(205) 및 그것이 형성되어 있는 반도체 기판 부분과 단락 방지용 절연 패턴(282b)은 도시를 생략하였다. 이하에서는, 도 4a 내지 도 4d를 참조하여, 전술한 실시예와 본 실시예의 차이점들을 중심으로 상세히 설명한다.

도 4a 내지 도 4d를 참조하면, 반도체 기판(200a)에는 소자 격리 영역(205)이 형성되어 있다. 소자 격리 영역(205)은 실리콘 산화물 등과 같은 절연 물질로 형성된다. 그리고, 소자 격리 영역(205)에 의하여 둘러싸여 있는 반도체 기판(200a)의 영역은 소위 활성 영역(active region)이다.

그리고, 반도체 기판(200a)의 활성 영역에는 채널 형성 방지층(270)이 형성되어 있다. 전술한 바와 같이, 채널 형성 방지층(270)은 반도체 기판(200a) 내에 모스 트랜지스터의 채널이 형성되는 것을 방지한다. 채널 형성 방지층(270), 특히 소오스/드레인 패턴(240)의 간격이 좁은 경우에, 단채널 효과를 유발할 수 있는 기저 트랜지스터(bottom transistor)의 동작을 방지하는 역할을 한다. 채널 형성 방지층(270)은, 그 상부에 채널용 와이어 브릿지(212d, 214d)가 위치하는 반도체 기판(200a)의 일 영역에 형성될 수 있다. 그리고, 채널 형성 방지층(270)은 반도체 기판(200a)의 상면으로부터 소정의 깊이를 가지도록 반도체 기판(200a)의 표면부에 형성된다.

채널 형성 방지층(270)은 절연 물질로 형성된 물질층이거나 캐리어의 이동을 막을 수 있도록 불순물 이온이 고농도로 도핑된 영역일 수 있는데, 후자의 경우가 더 바람직하다. 예를 들어, p형 반도체 기판(200a)을 사용하고 캐리어가 전자인 경우에, 채널 형성 방지층(270)은 p+로 도핑된 반도체 기판(200a)의 일 영역일 수 있다.

그리고 본 실시예에 의하면, 소오스/드레인 영역(242)이 소오스/드레인 패턴(240)의 전체에 한정되어 있다는 점에서 전술한 실시예와 다르다. 이 경우에도 소오스/드레인 패턴(240)은 단결정 실리콘, 폴리 실리콘, 금속 또는 금속 실리콘사이드 등의 도전성 물질로 형성될 수 있다. 소오스/드레인 영역(242)이 소오스/드레인 패턴(240)의 전체에 한정되는 경우에는 기저 트랜지스터가 동작할 가능성이 높기 때문에, 반도체 기판(200a)에는 전술한 것과 같은 채널 형성 방지층(270)이 더 형성되어 있는 것이 보다 바람직하다.

그리고 본 실시예에 의하면, 채널용 와이어 브릿지(212d, 214d)는 그 단면이 정사각형이거나 이와 유사한 직사각형인 와이어 형상으로서, 종래와 같은 판형 채널은 아니다. 그리고, 채널용 와이어 브릿지(212d, 214d)는 단면의 크기가 약 10 내지 30nm 사이로서 크기가 작기 때문에 완전 공핍형 채널이다. 또한, 전술한 바와 같이, 채널용 와이어 브릿지(212d, 214d)는 하나의 행에 적어도 2개의 와이어 브릿지가 어레이되어 있다. 그리고, 본 실시예에 의하면, 최상행의 채널용 와이어 브릿지(214d)의 상면 레벨이 소오스/드레인 패턴(240)의 상면 레벨보다 낮다.

그리고, 본 실시예에 의하면, 게이트 전극용 도전체 패턴(284)이 폴리 실리콘막(284a)과 금속 실리사이드막(284b)의 복합막일 수 있다. 폴리 실리콘막(284a)은 갭 충전(gap fill) 특성이 우수하기 때문에 후술하는 바와 같이 제조 공정의 측면에서 유리한 장점이 있으며, 금속 실리사이드막(284b)은 저항이 작은 장점이 있다. 따라서, 게이트 전극용 도전체 패턴(284)을 폴리 실리콘막(284a)과 금속 실리사이드막(284b)의 복합막으로 형성하면, 제조하기가 쉬울 뿐만 아니라 모스 트랜지스터의 동작 속도도 향상시킬 수가 있다.

전술한 첫 번째 및 두 번째 실시예에 따른 모스 트랜지스터는 채널용 와이어 브릿지가 2행 × 2열로 어레이되어 있는 경우에 대한 것이다. 그러나, 전술한 모스 트랜지스터는 이에 한정되는 것은 아니다. 전술한 모스 트랜지스터에 대한 설명은, 도 1b 내지 도 1d에 도시되어 있는 것과 같은 액티브 패턴에 대해서도 동일하게 적용이 가능하다.

이상에서 설명한 바와 같이, 본 발명의 실시예에 따른 모스 트랜지스터는 소오스/드레인 영역 사이에 2열 이상으로 서로 이격되게 어레이되어 있는 다수의 채널용 와이어 브릿지를 구비한다. 그리고, 본 발명의 일 실시예에 의하면, 게이트 전극이 와이어 브릿지의 전체 외면을 둘러싸고 있는 GAA 구조의 모스 트랜지스터일 뿐만 아니라, 와이어 브릿지의 전체가 인버전되는 완전 공핍형 채널을 구비한 모스 트랜지스터일 수 있다. 또한, 본 발명의 다른 실시예에 의하면, 와이어 브릿지의 단면이 판형이 아닌 원형 또는 정사각형으로서 등방성 채널을 구비한 모스 트랜지스터일 수도 있다.

이하에서는 첨부 도면을 참조하여, 본 발명의 실시예에 따른 모스 트랜지스터의 제조방법에 대하여 설명한다.

도 5a 내지 도 17d에는 본 발명의 일 실시예에 따른 모스 트랜지스터의 제조방법이 공정 순서에 따라 순차적으로 도시되어 있다. 여기서, 도 5a, 도 6a ... 도 15a는 사시도이며, 그 밖의 도면은 각 사시도의 XX, Y<sub>1</sub>Y<sub>1</sub>' 또는 Y<sub>2</sub>Y<sub>2</sub>'를 따라 취한 단면도이다.

먼저 도 5a 내지 도 5c를 참조하면, 반도체 기판(100)을 준비한다. 반도체 기판(100)은 벌크 실리콘 기판이거나 SOI기판일 수 있다. 그리고, 반도체 기판(100)에는 소자 격리 영역(미도시)이 형성되어 있을 수 있다. 소자 격리 영역은 STI 공정과 같은 이 분야의 통상적인 제조 공정을 사용하여 형성한다.

계속해서, 반도체 기판(100) 상에 채널 형성용 예비층(110)을 형성한다.

채널용 와이어 브릿지가 2행 × 2열로 어레이되어 있는 모스 트랜지스터를 제조하기 위하여, 채널 형성용 예비층(110)으로서 제1 희생층(111), 제1 채널층(112), 제2 희생층(113) 및 제2 채널층(114)을 순차적으로 적층한다. 또한, 2행 × 2열로 어레이되어 있는 모스 트랜지스터를 제조하기 위하여 제2 채널층(114) 상에 제3 희생층(미도시)을 더 형성할 수도 있다. 전자의 경우와 같이, 채널 형성용 예비층(110)의 최상층이 채널층인 경우에는 도 1a 또는 도 1c에 도시된 것처럼, 채널용 와이어 브릿지의 상면 레벨이 소오스/드레인 패턴의 상면 레벨과 같은 모스 트랜지스터를 제조할 수 있다. 반면에, 후자의 경우와 같이 채널 형성용 예비층(110)의 최상층이 희생층인 경우에는 도 1b 또는 도 1d에 도시된 것처럼, 채널용 와이어 브릿지의 상면 레벨이 소오스/드레인 패턴의 상면 레벨보다 낮은 모스 트랜지스터를 제조할 수 있다.

그리고, 도 1b에 도시된 것과 같이 채널용 와이어 브릿지가 1행 × 2열로 어레이되어 있는 모스 트랜지스터를 제조하기 위해서는, 채널 형성용 예비층으로서 제1 희생층과 제1 채널층을 순차적으로 적층하거나 또는 제1 채널층의 상부에 제2 희생층을 더 적층할 수 있다. 또한, 도 1c에 도시된 것과 같이 채널용 와이어 브릿지가 3행 × 2열로 어레이되어 있는 모스 트랜지스터를 제조하기 위해서는, 채널 형성용 예비층으로서 제1 희생층, 제1 채널층, 제2 희생층, 제2 채널층, 제3 희생층 및 제3 채널층을 순차적으로 적층하거나 제3 채널층의 상부에 제4 희생층을 더 적층할 수 있다. 그러므로, 채널 형성용 예비층의 구성을 변화시킴으로써, 여러 가지 형태로 어레이된 채널용 와이어 브릿지를 구비한 모스 트랜지스터를 제조하는 것이 가능하다.

채널 형성용 예비층(110)을 구성하는 희생층(111, 113)과 채널층(112, 114)은 모두 두께를 용이하게 조절할 수 있는 에피택시얼 성장법(epitaxial growth method)을 사용하여 형성하는 것이 바람직하다. 필요한 경우에는 수소 어닐링을 이용하

여 희생층(111, 113)을 평탄화할 수 있다. 그리고, 희생층(111, 113)은 채널층(112, 114)과 유사한 격자상수를 가지면서 채널층(112, 114)에 대하여 식각 선택비를 갖는 물질막으로 형성하는 것이 바람직하다. 예를 들어, 채널층(112, 114)을 에피택시얼 실리콘층으로 형성하는 경우에, 희생층(111, 113)은 에피택시얼 실리콘 저매늄층으로 형성할 수 있다. 이 경우, 희생층(111, 113)과 채널층(112, 114)은 인-시츄로 연속적으로 형성하는 것이 바람직하다.

실리콘 저매늄층(111, 113)은 분자 빔 에피택시법(molecular beam epitaxy method)을 사용하여 형성할 수 있다. 실리콘 저매늄층(111, 113)을 성장시키기 위한 실리콘 소오스 가스로는  $\text{SiH}_4$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiCl}_4$  또는  $\text{Si}_2\text{H}_6$  가스를 사용하며, 게르마늄 소오스 가스로는  $\text{GeH}_4$  가스를 사용할 수 있다. 제1 실리콘 저매늄층(111)은 최종적으로 형성될 채널용 와이어 브릿지(도 2a의 112d 참조)와 반도체 기판(100) 사이의 간격을 고려하고, 제2 실리콘 저매늄층(113)은 채널용 와이어 브릿지(도 2a의 112d와 114d) 사이의 간격을 고려하여 적절한 두께로 형성한다. 예컨대, 실리콘 저매늄층(111, 113)은 약 10 내지 40nm의 두께로 형성할 수 있는데, 이 범위에 한정되는 것은 아니다.

실리콘층(112, 114)도 분자빔 에피택시법을 사용하여 형성할 수 있다. 실리콘층(112, 114)을 성장시키기 위하여 사용하는 실리콘 소오스 가스로는  $\text{SiH}_4$ ,  $\text{SiH}_2\text{Cl}_2$ ,  $\text{SiCl}_4$  또는  $\text{Si}_2\text{H}_6$  가스를 사용할 수 있다. 제1 및 제2 실리콘층(112, 114)는 최종적으로 형성될 채널용 와이어 브릿지(도 2a의 112d, 114d 참조)의 단면 크기를 고려하여 적절한 두께로 형성한다. 예컨대, 채널용 와이어 브릿지(도 2a의 112d, 114d 참조)의 단면의 목표 높이가 약 10 내지 20nm 사이인 경우에, 제1 및 제2 실리콘층(112, 114)은 약 15 내지 30nm 정도가 되도록 상기한 목표 높이보다 약간 두껍게 형성하는 것이 바람직하다. 그 이유는 후술한다. 하지만, 이 범위에만 한정되는 것은 아니다.

계속해서 도 5a 내지 도 5c를 참조하면, 채널 형성용 예비층(110) 상에 마스크층(120)을 형성한다. 마스크층(120)은 실리콘 및 실리콘 저매늄에 대하여 식각 선택비가 큰 물질로 형성하는데, 후속 공정을 고려할 때 실리콘 질화물로 형성하는 것이 바람직하다. 마스크층(120)은 예컨대 약 100nm 또는 그 이하의 두께로 형성할 수 있다. 마스크층(120)은 통상적인 증착 방법, 예컨대 화학기상증착(CVD)법, 준상압 화학기상증착(SACVD)법, 저압 화학기상증착(LPCVD)법 또는 플라즈마 강화 화학기상증착(PECVD)법 등의 방법을 사용하여 형성할 수 있다. 그리고, 필요한 경우에는, 마스크층(120)에 의한 응력을 감소시키기 위하여 채널 형성용 예비층(110) 상에 패드 산화막(도시하지 않음)을 더 형성할 수도 있다.

다음으로 도 6a 내지 도 6c를 참조하면, 채널 형성용 예비층(110) 및 마스크층(120)을 패터닝하여 채널 형성용 예비 패턴(110a) 및 마스크 패턴(120a)을 형성한다. 채널 형성용 예비 패턴(110a)은 반도체 기판(100)의 활성 영역에 해당하는 크기를 가지도록 형성한다. 예컨대, 채널 형성용 예비 패턴(110a)은 서로 격리되어 있는 각각의 셀에 해당하는 크기를 가질 수 있다. 그리고, 마스크 패턴(120a)은 채널 형성용 예비 패턴(110a)보다 크기가 작는데, 적어도 도 6a의 XX' 방향 즉, 전, 후 방향으로 소정의 폭( $w_1$ )만큼 길이가 더 작다. 이 경우, 도 6c에 도시된 바와 같이  $Y_1Y_1'$  방향으로도 폭이 더 작을 수도 있지만,  $Y_1Y_1'$  방향으로로는 반드시 작아야 할 필요는 없다. 상기 XX' 방향으로의 폭의 차이( $d_1$ )는 제1 및 제2 실리콘층(112, 114)의 두께와 같거나 유사한 것이 바람직한데, 그 이유는 후술한다.

예를 들어, 채널 형성용 예비 패턴(110a)과 마스크 패턴(120a)은 다음과 같은 방법으로 형성할 수 있다. 먼저, 통상의 포토 리소그라피 공정을 이용하여 채널 형성용 예비 패턴(110a)의 크기에 맞도록 채널 형성용 예비층(110)과 마스크층(120)을 패터닝한다. 이 경우, 채널 형성용 예비층(110)을 식각할 때는 포토레지스트 패턴(도시하지 않음) 또는 패터닝된 마스크층(120a)을 식각 마스크로 사용할 수도 있다. 그리고, 등방성 식각 공정을 이용하여 패터닝된 마스크층(120)을 상기 폭의 차이( $d_1$ )만큼 더 식각한다. 마스크층(120)을 실리콘 질화물로 형성하는 경우에, 상기한 등방성 식각 공정은 인산( $\text{H}_3\text{PO}_4$ )을 포함하는 식각액을 사용하여 수행할 수 있다. 등방성 식각 공정의 결과, 채널 형성용 예비 패턴(110a)에 비하여 두께, XX' 및  $Y_1Y_1'$  방향으로 e도시된 폭의 차이( $d_1$ )만큼 더 크기가 작은 마스크 패턴(120a)이 형성된다.

계속해서 도 7a, 7b 및 도 7c를 참조하면, 반도체 기판(100), 채널 형성용 예비 패턴(110a) 및 마스크 패턴(120a) 상에 몰더용 절연층을 두껍게 증착한 다음, 마스크 패턴(120a)이 노출될 때까지 평탄화한다. 그 결과, 반도체 기판(100) 상에는 채널 형성용 예비 패턴(110a)과 마스크 패턴(120a)을 둘러싸는 몰더 패턴(132)이 형성된다. 몰더 패턴(132)은 마스크 패턴(120a), 제1 및 제2 실리콘 저매늄 패턴(111a, 113a) 및 제1 및 제2 실리콘 패턴(112a, 114a)에 대하여 식각 선택비가 큰 물질인 것이 바람직하다. 예컨대, 마스크 패턴(120a)을 실리콘 질화물로 형성하는 경우에, 몰더 패턴(132)은 실리콘 산화물로 형성할 수 있다. 이 경우, 몰더 패턴(132)은 USG막, HDP 산화막, PE-TEOS막 및 이들의 조합으로 이루어진 군에서 선택된 실리콘 산화막일 수 있다.

계속해서 도 8a, 도 8b 및 도 8c를 참조하면, 몰더 패턴(132) 및 마스크 패턴(120a)을 동시에 패터닝하여, 몰더 패턴의 일부(132b)와 마스크 패턴의 일부(120b)로 구성된 더미 게이트 패턴(130b)을 형성한다. 상기 패터닝 공정에서는 포토 레지

스트 패턴을 식각 마스크로 사용할 수 있다. 그리고, 실리콘 질화막과 실리콘 산화막에 대하여 동일한 식각율을 보이는 식각 가스를 사용하여 몰더 패턴(132)과 마스크 패턴(129a)을 동시에 식각한다. 그러나, 전술한 마스크 패턴(120a) 형성 단계에서(도 6a 내지 도 6c 참조), 마스크 패턴(120a)이 도 8a에 도시된 것과 같은 크기 즉, 도 6c의  $d_2$ 가  $d_3$ 와 같도록 마스크층(120)을 패터닝한 경우에는, 본 단계에서 마스크 패턴(120a)을 더 식각할 필요는 없다.

그리고, 상기한 몰더 패턴(132) 및 마스크 패턴(120a)에 대한 식각 공정은 더미 게이트 패턴(130b)의 양 옆으로 채널 형성용 예비 패턴(110a)의 상면이 노출될 때까지 수행한다. 식각 공정의 결과 형성된 더미 게이트 패턴(130b)은 XX' 방향으로 길게 연장된 라인 타입의 패턴일 수 있다. 그리고, 더미 게이트 패턴(130b)은 소정의 폭( $d_3$ )을 가지는데, 상기 폭( $d_3$ )은 디자인 룰 및 MOS 트랜지스터의 채널 길이 등을 고려하여 적절한 크기로 설정될 수 있다.

도 9a, 도 9b 및 도 9c를 참조하면, 반도체 기판(100)이 노출될 때까지 더미 게이트 패턴(130b)에 의하여 노출된 채널 형성용 예비 패턴(110a)을 이방성 건식 식각한다. 이 때, 더미 게이트 패턴(130b)과 잔류하는 몰더 패턴(132a)을 식각 마스크로 사용할 수 있도록 식각 가스를 적절하게 선택할 수 있다. 예컨대, 상기 식각 공정에서는 실리콘과 실리콘 저매늄에 대하여 동일한 식각 선택비를 나타내며, 실리콘 산화막 및 실리콘 질화막에 대하여 높은 식각 선택비를 나타내는 식각 가스를 사용할 수 있다. 그리고, 제1 및 제2 실리콘 패턴(112a, 114a)과 제1 및 제2 실리콘 저매늄 패턴(111a, 113a)을 인-시츄(in-situ)로 연속적으로 식각하는 것이 바람직하다. 상기 식각 공정의 결과, 더미 게이트 패턴(130b)의 하부에만 채널 형성용 예비 패턴(110b)이 잔류하게 되며, 잔류하는 채널 형성용 예비 패턴(110b)의 양 옆에는 잔류하는 몰더 패턴(132a)과 잔류하는 채널 형성용 예비 패턴(110b)에 의하여 한정되는 1쌍의 제1 홀(134)이 형성된다. 1쌍의 제1 홀(134)을 통해서 반도체 기판(100)의 상면의 일부가 노출된다.

도 10a, 도 10b 및 도 10c를 참조하면, 제1 홀(134)에 소오스/드레인 패턴(140)을 형성한다. 소오스/드레인 패턴(140)은 후속 공정의 잔류 실리콘 저매늄 패턴(111c, 113c, 도 12a 참조)의 제거 공정에서 사용하는 식각액에 대하여 식각 선택비가 큰 물질을 사용하여 형성하여야 한다. 예를 들어, 소오스/드레인 패턴(140)은 단결정 실리콘이나 폴리 실리콘으로 형성하거나, 또는 실리콘 저매늄 식각액에 대하여 식각 선택비가 큰 금속 또는 금속 실리콘사이드 등과 같은 물질로 형성할 수 있다.

소오스/드레인 패턴(140)을 실리콘 에피층으로 형성하는 경우에는, 1쌍의 제1 홀(134)에 의하여 노출된 반도체 기판(100) 상에만 실리콘 에피층을 선택적으로 형성시키는 선택적 에피택셜 성장법(Selective Epitaxial Growth, SEG)을 사용함으로써, 단결정 실리콘으로 제1 홀(134)을 매립할 수 있다. 또는, 소오스/드레인 패턴(140)을 폴리 실리콘이나 금속 물질 등으로 형성하는 경우에는, 이 분야의 통상적인 증착 공정을 사용하여 제1 홀(134)을 매립할 수 있다. 그리고, 제1 홀(134)을 매립하기 위하여 증착한 단결정 실리콘층 또는 폴리 실리콘층 등을 에치 백 등의 공정으로 몰더 패턴(132a)의 상면까지 평탄화한다. 그 결과, 잔류하는 채널 형성용 예비 패턴(110b)의 상면 레벨과 같은 높이를 가지는 소오스/드레인 패턴(140)이 완성된다.

도 11a, 도 11b 및 도 11c를 참조하면, 잔류하는 몰더 패턴(132a), 소오스/드레인 패턴(140) 및 더미 게이트 패턴(130b) 상에 버퍼층 절연층을 두껍게 증착한 다음, 더미 게이트 패턴(130b)이 노출될 때까지 평탄화한다. 그 결과, 잔류하는 몰더 패턴(132a)과 소오스/드레인 패턴(140) 상에는 더미 게이트 패턴(130b)을 둘러싸는 버퍼층 패턴(150)이 형성된다. 버퍼층 패턴(150)은 몰더 패턴(132)과 동일한 물질로 형성하는 것이 바람직하다. 예컨대, 마스크 패턴(120a)을 실리콘 질화물로 형성하는 경우에, 버퍼층 패턴(132)은 갭 충전 특성이 우수한 HDP 산화막 등과 같은 실리콘 산화물로 형성할 수 있다.

도 12a, 도 12b 및 도 12c를 참조하면, 더미 게이트 패턴(130b) 중에서 잔류하는 마스크 패턴(120b)만을 제거한다. 마스크 패턴(120)이 실리콘 질화물로 형성된 경우에는, 인산을 포함하는 식각액에 의한 인산 스트립 방법을 사용하여 잔류하는 마스크 패턴(120b)을 제거할 수 있다. 그 결과, 채널 형성용 예비 패턴(110b, 도 11b 및 도 11c 참조)의 상면이 노출되고, 마스크 패턴(120b)이 차지하는 공간에는 더미 게이트 패턴(130b)의 몰더 패턴(132b)과 버퍼층 패턴(150)으로 둘러싸인 그루브(groove, 161)가 형성된다.

계속해서 상기 그루브(161)을 통하여 노출된 잔류하는 채널 형성용 예비 패턴(110b)을 이방성 식각한다. 이 때, 더미 게이트 패턴(130b)의 몰더 패턴(132b)과 버퍼층 패턴(150)을 식각 마스크로 사용할 수 있도록 식각 가스를 적절하게 선택할 수 있다. 예를 들어, 상기 식각 공정에서는 실리콘과 실리콘 저매늄에 대하여 동일한 식각 선택비를 보이고, 실리콘 산화물에 대하여 식각 선택비가 큰 식각 가스를 사용할 수 있다. 그리고, 제1 및 제2 실리콘 패턴(112b, 114b)과 제1 및 제2 실리콘 저매늄 패턴(111b, 113b)을 인-시츄(in-situ)로 연속적으로 식각하는 것이 바람직하다. 상기 식각 공정의 결과, 더미

게이트 패턴(130b)의 몰더 패턴(132b)의 하부에만 채널 형성용 예비 패턴(110c)이 잔류하게 된다. 그리고, 잔류하는 채널 형성용 예비 패턴(110c)과 소오스/드레인 패턴(134)에 의하여 한정되는 공간에는 상기 그루브(161)와 이어지는 제2 홀(162)이 형성된다. 제2 홀(162)을 통해서 반도체 기판(100)의 상면이 노출될 수 있다.

도 13a, 도 13b, 도 13c 및 도 13d를 참조하면, 반도체 기판(100)에 채널 형성 방지층(170)을 형성한다. 전술한 바와 같이, 채널 형성 방지층(170)은 임의적인 구성 요소이기 때문에 본 단계의 공정 또한 임의적이다. 채널 형성 방지층(170)은 그루브(161) 및 제2 홀(162)을 통하여 노출된 반도체 기판(100)에 이온을 주입하여 형성할 수 있는데, 이 경우 더미 게이트 패턴(130b)의 몰더 패턴(132b)과 버퍼층 패턴(150)을 마스크로 사용할 수 있다. 채널 형성 방지층(170)은 기저 트랜지스터가 동작하는 것을 방지하기 위한 것이므로, 상기 이온 주입 공정에서는 반도체 기판(100)의 도전형과 동일한 도전형 이온을 주입하는 것이 바람직하다. 예컨대, p형 반도체 기판(100)인 경우에는 보론(B) 또는 인듐(In) 등과 같은 3B족 원소를 주입할 수 있다.

채널 형성 방지층(170)은 그루브(161) 및 제2 홀(162)에 노출된 반도체 기판(100) 영역 뿐만이 아니라 잔류하는 채널 형성용 예비 패턴(110c)의 하부 반도체 기판(100) 영역에도 형성되도록 하는 것이 바람직하다. 이를 위하여, 상기한 이온 주입 공정 시에 소정의 경사각을 유지하면서 이온을 주입하거나(도 13b 참조) 또는 후속 열처리 공정의 온도를 적절히 제어하여 이온 주입 영역을 측방향으로 소정의 길이만큼 확장시킬 수도 있다.

도 14a, 도 14b 및 도 14c를 참조하면, 먼저 버퍼층 패턴(150) 및 잔류하는 몰더 패턴(132a, 132b)만을 선택적으로 식각하여 제거한다. 상기 식각 공정에서는 실리콘 및/또는 실리콘 저매늄에 대하여 식각 선택비가 큰 실리콘 산화막 식각 가스 또는 식각액을 사용할 수 있다. 그 결과, 채널 형성용 예비 패턴(110a, 도 6a 참조)이 형성되어 있지 않은 반도체 기판(100)의 영역이 노출된다.

다시 도 14a, 도 14b 및 도 14c를 참조하면, 채널 형성용 예비 패턴(110c)의 제1 및 제2 희생층 패턴(111c, 113c)을 제거한다. 그 결과, 잔류하는 채널층 패턴(112c, 114c) 사이 그리고 제1 채널층(112c)과 반도체 기판(100) 사이에는 윈도우(window, 116)가 형성된다. 윈도우(116)는 제2 홀(162)과 서로 관통한다. 제1 및 제2 희생층 패턴(111c, 113c)을 제거한 결과, 반도체 기판(100) 상에는 1쌍의 소오스/드레인 패턴(140)과 그 사이에 서로 이격되도록 어레이되어 있는 2행 × 2열의 채널층 패턴(112c, 114c)만이 남게 된다.

잔류하는 와이어 형상의 채널층 패턴(112c, 114c)은 반도체 기판(100) 상부의 소오스/드레인 패턴(140) 사이에 잔류한다. 채널층 패턴(112c, 114c)의 단면은 사각형 모양이다. 채널층 패턴(112c, 114c)의 단면의 높이는 채널층(112, 114, 도 5a 참조)의 두께에 대응하며, 단면의 길이는 도 6a의 폭의 차이( $d_1$ )에 대응한다. 따라서, 채널에 등방성 전위가 형성되기 위해서는 도 6a의 폭의 차이( $d_1$ )가 채널층 패턴(112, 114, 도 5a 참조)의 두께와 거의 같거나 이와 유사한 것이 바람직하다.

잔류하는 제1 및 제2 희생층 패턴(111c, 113c)은 습식 식각 또는 화학적 건식 식각으로 제거할 수 있다. 이 때, 반도체 기판(100)과 잔류하는 채널층 패턴(112c, 114c)에 대한 희생층 패턴(111c, 113c)의 식각 선택비가 30 이상이 되는 조건으로 식각을 실시하는 것이 바람직하다. 예컨대, 반도체 기판(100), 채널층 패턴(112c, 114c) 및 희생층 패턴(111c, 113c)이 각각 실리콘, 에피택시얼 실리콘 및 에피택시얼 실리콘 저매늄으로 형성된 경우에, 과산화수소( $H_2O_2$ ), 불화수소(HF) 및 초산( $CH_3COOH$ )을 포함하는 혼합액, 수산화암모늄( $NH_4OH$ ), 과산화수소( $H_2O_2$ ) 및 탈이온수( $H_2O$ )를 포함하는 혼합용액 또는 과초산을 포함하는 식각액 등을 사용할 수 있다.

희생층 패턴(111c, 113c) 공정에서는 습식 식각 공정을 사용하는 것이 보다 바람직하다. 그리고, 분 당 수 백 Å의 식각율을 보이는 습식 식각액을 사용하면 공정 시간도 단축시킬 수가 있다. 이러한 조건을 만족시키는 식각액으로는, 다음에 상세히 설명하는 것과 같이 수산화암모늄( $NH_4OH$ ), 과산화수소( $H_2O_2$ ) 및 탈이온수( $H_2O$ )를 포함하는 혼합 용액을 사용하는 것이 바람직하다. 상기 혼합 용액에는 과초산, 아세트산, 불산 및/또는 계면 활성제가 더 포함될 수도 있다. 예컨대, 수산화암모늄, 과산화수소 및 탈이온수의 혼합 비율이 1 : 5 : 1인 표준 세정액(SC-1)을 사용하거나 탈이온수의 비율을 증가시켜서 상기 혼합 비율을 1 : 5 : 20으로 하여 사용할 수도 있다. 이러한 혼합 용액은 40 내지 75°C로 가열하여 사용하는 경우에 실리콘 저매늄층의 제거 효과가 우수하다.

암모니아, 과산화수소 및 탈이온수 혼합 용액에 의한 실리콘 저매늄 패턴(111c, 113c)의 식각 과정을 살펴보면, 1단계는 과산화수소에 의한 표면 산화막 형성이다. 과산화수소는  $H_2O$  와 O로 분해되어서 강한 산화력을 가지게 되기 때문에, Si와 Ge를 급속하게 산화시킨다.

암모니아는 탈이온수 내에서  $\text{NH}_4^+$  이온과  $\text{OH}^-$  이온으로 해리된다.  $\text{OH}^-$  이온은 실리콘 저매늄 패턴(111c, 113c)의 Si 산화물과 Ge 산화물을 실리콘 저매늄 패턴(111c, 113c)의 표면으로부터 박리시킨다. 이것이  $\text{OH}^-$  이온에 의한 리프트 오프(lift off)에 해당되는 2단계이다. 그리고, 박리된 Si 산화물과 Ge 산화물이 실리콘 저매늄 패턴(111c, 113c)에 재흡착되는 것을 방지할 수 있도록, 3단계에서 각각의 표면에  $\text{OH}^-$  이온이 흡착되어 정전기적 반발력을 준다. 이것이  $\text{OH}^-$  이온에 의한 터미네이션(termination)이다.

과산화수소는 산성 용액이므로 수산화암모늄의 혼합비에 따라 pH를 변화시킨다. 과산화수소의 비율에 따라, 즉 pH 변화에 따라 Si와 Ge의 식각량이 다르게 나타나므로 Si 피팅(pitting)을 방지하면서 적절한 식각율을 갖는 혼합 비율을 사용한다. 대체적으로 pH가 클수록 식각율이 증가한다. 70°C와 같은 고온에서 사용할 경우  $\text{NH}_3$  증기의 증발 속도가 증가하므로 암모니아의 추가 공급이 필요하다.

전술한 식각 메커니즘의 1단계인 산화 과정에서 Ge는 Si보다 빨리 산화되고 결국 빨리 식각된다. 그런데, Ge와 Si를 혼합되어 있는 실리콘 저매늄막은 Ge가 빨리 식각되고 남은 Si-Ge막은 불안정한 상태가 되어 Si가 식각액에 공격당하기 쉬워진다. 따라서, 실리콘 저매늄 희생층 패턴(111c, 113c)의 식각율은 Si 단일 물질로 구성된 채널층 패턴(112c, 112d)의 식각율에 비하여 높아진다.

도 15a, 도 15b 및 도 15c를 참조하면, 소오스/드레인 패턴(140)과 다수의 채널층 패턴(112c, 114c)이 그 상부에 형성되어 있는 반도체 기판(100)을 1차로 어닐링한다. 1차 어닐링 공정은 채널층 패턴(112d, 114d)의 단면을 원형으로 만들기 위한 것으로서, 임의적인 공정이다. 그러나, 전술한 바와 같이, 채널층 패턴(112d, 114d) 즉 채널용 와이어 브릿지의 단면이 사각형인 경우보다 원형 또는 이에 가까운 타원형인 경우라야 채널에 보다 이상적인 등방성 전위가 형성될 수 있다. 따라서, 1차 어닐링 공정은 수행하는 것이 보다 바람직하다.

1차 어닐링 공정은 채널용 와이어 브릿지(112d, 114d)의 단면이 타원형 또는 원형이 될 수 있는 적절한 온도에서 실시하는 것이 바람직하다. 예컨대, 수소 분위기에서 어닐링을 실시하는 경우에는 약 600 내지 1200°C의 온도에서 수행하는 것이 바람직하며, 아르곤 분위기에서 어닐링을 실시하는 경우에는 약 900 내지 1200°C의 온도에서 수행하는 것이 바람직하다. 1차 어닐링 공정에 의하여, 채널용 와이어 브릿지(112d, 114d)의 단면의 크기가 약간 감소할 수 있는데, 그 감소 크기는 거의 무시할 수 있는 정도로 아주 작다.

도 16a, 도 16b 및 도 16c를 참조하면, 게이트 절연막(182a)을 형성하기 위하여, 상기 결과물을 산소 또는 오존 분위기에서 2차로 어닐링한다. 산소 등의 분위기에서 어닐링하면, 표면에 노출된 실리콘이 소모되면서 그 표면에 실리콘 산화막(182a, 182b, 182c)이 형성된다. 그 결과, 채널용 와이어 브릿지(112e, 114e)의 직경이 소모되는 실리콘의 두께만큼 작아진다. 그러므로, 도 5a 단계에서 증착하는 채널층(112, 114)의 두께와 도 6a의 단계에서 설정되는 폭의 차이( $d_1$ )는 이와 같이 소모되는 실리콘의 두께를 고려하는 것이 바람직하다.

2차 어닐링 공정의 온도 및 어닐링 시간은 형성하고자 하는 게이트 절연막(182a)의 두께에 따라서 달라질 수 있다. 예컨대, 게이트 절연막(182a)이 약 50 내지 100Å의 두께가 되도록 2차 어닐링 공정을 수행할 수 있다. 상기 2차 어닐링 공정의 결과, 반도체 기판(100) 및 소오스/드레인 패턴(140a)의 표면에도 실리콘 산화막(182b, 182c)이 부수적으로 형성될 수 있다.

도 17a, 도 17b, 도 17c 및 도 17d를 참조하면, 소오스/드레인 패턴(140a) 사이에 게이트 전극용 도전체 패턴(184)을 형성한다. 게이트 전극용 도전체 패턴(184)은 폴리 실리콘막의 단일막이나 또는 폴리 실리콘막과 이것보다 비저항이 작은 도전성 물질의 복합막으로 형성할 수 있다. 즉, 적어도 채널용 와이어 브릿지(112e, 114e)가 개재되어 있는 소오스/드레인 패턴(140a) 사이의 빈 공간은 폴리 실리콘을 증착하는 것이 바람직하다. 왜냐하면, 소오스/드레인 패턴(140a)과 그 사이에 어레이되어 있는 채널용 와이어 브릿지(112e, 114e) 사이의 빈 공간 즉, 제2 홀(162) 및 윈도우(116)는 그 크기가 상당히 작기 때문에, 깎 충전 특성이 우수한 폴리 실리콘을 사용하면 제2 홀(162) 및 윈도우(116)를 잘 매립할 수 있다.

도 17a에 도시된 바와 같이, 게이트 전극용 도전체 패턴(184)은 XX' 방향으로 연장된 라인 타입으로 형성할 수 있다. 그리고, 게이트 전극용 도전체 패턴(184)과 소오스/드레인 패턴(140a) 사이에는 단락 방지용 절연층(182b)이 더 개재되어 있을 수 있다. 단락 방지용 절연층(182b)은 MOS 트랜지스터의 게이트 전극과 소오스/드레인의 단락을 방지하는 역할을 한

다. 상기 단락 방지용 절연층(182b)은 전술한 게이트 절연막(182a) 형성 단계에서 동시에 형성된 실리콘 열산화막이거나 후속 공정인 층간 절연층 형성 공정에서 증착될 실리콘 산화막(도시하지 않음)일 수 있다. 또는, 단락 방지용 절연층(182b)은 실리콘 열산화막과 층간 절연층의 복합막일 수 있다.

계속해서 도 17a, 도 17b, 도 17c 및 도 17d를 참조하면, 소오스/드레인 패턴(140a)에 이온 주입 공정을 실시하여 소오스/드레인 영역(142)을 한정한다. 예컨대, 소오스/드레인 패턴(140a)을 실리콘 에피층으로 형성한 경우에는 이온 주입 공정이 필수적이다. 그러나, 소오스/드레인 패턴(140a)을 도전성 물질로 형성한 경우에는 별도로 이온 주입 공정을 실시할 필요가 없다. 이온 주입 공정의 공정 레시피를 적절히 조절함으로써, 소오스/드레인 영역(142)의 밑면 레벨을 조절하고 및/또는 수직 방향으로의 도핑 프로파일이 균일하도록 할 수 있다. 상기한 이온 주입 공정에서는 게이트 전극용 도전체 패턴(184)을 마스크로 사용할 수 있다.

상기한 공정의 결과, 도 17a 내지 도 17d에 도시된 모스 트랜지스터가 만들어진다.

도 18a 내지 도 21c에는 본 발명의 바람직한 다른 실시예에 따른 모스 트랜지스터의 제조방법을 설명하기 위한 도면이 도시되어 있다. 도 18a, 도 19a, 도 20a 및 도 21a는 사시도이고, 도 18b, 도 19b, 도 20b 및 도 21b는 각 사시도의 XX'라인을 따라 취한 단면도이고, 도 18c, 도 19c, 도 20c 및 도 21c는 각 사시도의 Y<sub>1</sub>Y<sub>1</sub>라인을 따라 취한 단면도이다. 본 실시예에서는 전술한 첫 번째 실시예에 따른 제조방법과의 차이점을 중심으로 설명하기로 한다.

먼저 도 18a, 도 18b 및 도 18c를 참조하면, 반도체 기판(200) 상에 채널 형성용 예비층(210)과 하드 마스크층(220)을 순차적으로 형성한다. 채널 형성용 예비층(210)은 제1 희생층(211), 제1 채널층(212), 제2 희생층(213), 제2 채널층(214) 및 제3 희생층(215)을 포함한다. 본 실시예에서는 채널 형성용 예비층(210)이 2개의 채널층(212, 214)을 포함하므로, 2행의 채널용 와이어 브릿지를 제조하기 위한 것이라는 점에서 첫 번째 실시예와 동일하다. 그러나, 채널 형성용 예비층(210)이 제3 희생층(215)을 더 포함하기 때문에, 최상층의 채널용 와이어 브릿지의 상면 레벨이 소오스/드레인 패턴의 상면 레벨보다 낮다.

도 19a, 도 19b 및 도 19c를 참조하면, 포토 리소그래피 공정을 이용하여 하드 마스크층(220), 채널 형성용 예비층(210) 및 반도체 기판(200)을 순차적으로 패터닝함으로써, 트렌치 형성용 하드 마스크(220a)와 채널 형성용 예비 패턴(210a)을 형성하고, 반도체 기판(200a)에는 트렌치(202)를 형성한다. 본 단계는 다음과 같은 순서로 진행될 수 있다.

먼저 하드 마스크층(220) 상에 트렌치(202)를 한정하는 포토레지스트 패턴(도시하지 않음)을 형성한다. 그리고, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 하드 마스크층(220)을 식각함으로써, 트렌치 형성용 하드 마스크(220a)를 형성한 다음, 포토레지스트 패턴을 제거한다. 계속해서, 상기 트렌치 형성용 하드 마스크(220a)를 식각 마스크로 사용하여 채널 형성용 예비층(210) 및 반도체 기판(200)을 순차적으로 식각한다. 그 결과, 도시된 바와 같은 채널 형성용 예비 패턴(210a)이 형성되고, 반도체 기판(200a)에는 트렌치(202)가 형성된다.

도 20a, 도 20b 및 도 20c를 참조하면, 트렌치 형성용 하드 마스크(220a)를 패터닝하여 마스크 패턴(220b)을 형성한다. 전술한 바와 같이, 마스크 패턴(220b)은 적어도 전, 후 방향 즉 XX' 방향의 양쪽으로 채널 형성용 예비 패턴(210a)의 가장자리 상면을 노출시키도록 패터닝한다. 예컨대, 전술한 바와 같이 등방성 식각 공정을 수행함으로써, 트렌치 형성용 하드 마스크(220a)의 크기와 두께를 소정의 크기 만큼 리세스시킬 수 있다.

도 21a, 도 21b 및 도 21c를 참조하면, 상기 결과물의 전면에 HDP 산화막과 같은 갭 충전 특성이 우수한 절연 물질을 매립한 다음, 마스크 패턴(220b)이 노출될 때까지 평탄화한다. 그 결과, 반도체 기판(200a)에는 트렌치(202)를 매립하는 소자 격리용 절연막(205)이 형성되며, 소자 격리용 절연막(205) 상에는 채널 형성용 예비 패턴(210a)과 마스크 패턴(220b)을 둘러싸는 몰더 패턴(232)이 형성된다.

후속 공정은 전술한 첫 번째 실시예에 따른 모스 트랜지스터의 제조방법과 거의 동일하게 진행하면 도 4a 내지 도 4d에 도시된 것과 같은 모스 트랜지스터를 제조할 수가 있다. 그러나, 도 4a 내지 도 4d에 도시된 채널용 와이어 브릿지(212d, 214d)의 단면 모양은 사각형이기 때문에, 채널용 와이어 브릿지(212d, 214d)의 단면을 원형으로 만들기 위한 제1 어닐링 공정은 수행할 필요가 없다.

본 실시예에 의하면, 활성 영역을 한정하는 소자 격리용 절연막(205) 형성 공정과 마스크 패턴(220b), 채널 형성용 예비 패턴(210a) 및 몰더 패턴(232) 형성 공정을 동시에 진행한다. 따라서, 공정을 단순화시킬 수 있는 장점이 있다.

아울러, 본 실시예에 의하면, 잔류하는 몰더 패턴과 버퍼 패턴을 제거하는 공정(첫 번째 제조 방법의 도 14a 내지 도 14c에 대응하는 공정)에서 제3 회생층 패턴이 그 하부의 제2 채널층 패턴을 보호하는 마스크 역할을 한다. 따라서, 제2 채널층 패턴 즉 제2 행의 채널용 와이어 브릿지(214d, 도 4a 내지 도 4d 참조)의 손상을 방지할 수 있기 때문에, 신뢰도가 높은 모스 트랜지스터를 제조할 수가 있다.

도 22a 및 도 22b에는 본 발명의 바람직한 또 다른 실시예에 따른 모스 트랜지스터의 제조방법을 설명하기 위한 도면이 도시되어 있다. 여기서, 도 22a는 사시도이고, 도 22b는 도 22a의 XX'라인을 따라 취한 단면도이다. 본 실시예는 하나의 행에 3열의 채널용 와이어 브릿지가 어레이되어 있는 액티브 패턴(도 1d 참조)을 포함하는 모스 트랜지스터에 대한 제조 방법을 나타내기 위한 것이다. 본 실시예는 마스크 패턴이 모양(320a)이 전술한 첫 번째 및 두 번째 실시예의 마스크 패턴(120a 또는 220b)의 모양과 다른 뿐이다. 그러므로, 이하에서는 차이점에 대해서만 설명하기로 한다. 마스크 패턴(320a)의 모양을 제외한 나머지 모든 공정은, 당업계에서 숙련된 자는 전술한 첫 번째 또는 두 번째 실시예에 따른 제조방법을 본 실시예에 적합하도록 변형하여 적용할 수 있다.

도 22a 및 도 22b에 도시된 도면은 첫 번째 실시예의 도 6a 내지 도 6c 및 두 번째 실시예의 도 20a 내지 도 20c에 대응하는 것이다. 즉, 본 실시예에서는 하나의 행에 3열의 채널용 와이어 브릿지가 어레이되어 있는 구조의 모스 트랜지스터를 제조하기 위하여, 채널 형성용 예비 패턴(210a) 상에 1쌍의 마스크 패턴(220b)을 형성한다. 도 22a 및 도 22b를 참조하면, 3열의 채널용 와이어 브릿지를 형성하기 위하여, 적어도 채널 형성용 예비 패턴(210a)의 전, 후 가장자리의 상면 뿐만 아니라 중앙부의 상면도 노출되도록 1쌍의 마스크 패턴(220b)이 서로 이격되도록 공정을 진행한다. 여기에서 1쌍의 마스크 패턴(220b)이 서로 이격된 간격( $d_4$ )은 가장자리에 노출된 부분의 간격( $d_1$ )과 같도록 하는 것이 바람직하다.

### 발명의 효과

본 발명에 따른 모스 트랜지스터는 와이어 구조의 채널을 게이트 전극이 완전히 둘러싸고 있다. 따라서, 채널 영역에 대한 게이트의 지배력이 현저해지기 때문에 단채널 효과가 발생하는 것을 방지할 수가 있다. 아울러, 인버전 영역이 적어도 와이어 채널의 외면에 따라서 형성된다. 그 결과, 채널이 폭이 증가하기 때문에 협채널 효과가 발생하는 것을 방지할 수 있다.

그리고, 본 발명에 따른 모스 트랜지스터는 와이어 구조의 채널이 완전 공핍형이 될 뿐만 아니라 등방성 채널 구조이다. 따라서, 본 발명에 의하면, 캐리어의 직진성을 향상시켜서 스캐터링 현상을 방지할 수 있기 때문에 트랜지스터의 고속 동작이 가능하며, 많은 전류를 반도체 소자에 적합하다.

또한, 본 발명에 의하면 와이어 구조의 채널 개수를 증가시키는 것이 용이할 뿐만 아니라, 소오스/드레인 영역의 도핑 프로파일을 수직 방향으로 균일하게 할 수 있기 때문에 고속으로 동작하면서 아울러 신뢰성있는 모스 트랜지스터를 제조하는 것이 가능하다.

이상, 첨부된 도면 및 실시예에서는 본 발명의 전형적인 바람직한 실시예가 개시되어 있으며, 비록 특정한 용어를 사용하여 기술하였지만 이것들은 단지 일반적이고 묘사적인 의미로 사용된 것이지 청구항에 의하여 정해지는 본 발명의 사상을 제한하기 위하여 사용된 것은 아니다.

### (57) 청구의 범위

#### 청구항 1.

반도체 기관;

상기 반도체 기관의 상면에 서로 이격되어서 형성되어 있으며, 소오스 영역과 드레인 영역이 한정되어 있는 1쌍의 소오스/드레인 패턴;

상기 반도체 기관의 상부에 행방향으로 2개 이상이 서로 이격되게 어레이되어 있으며, 상기 1쌍의 소오스/드레인 패턴의 상기 소오스 영역과 상기 드레인 영역 사이에 개재되어 있는 다수의 채널용 와이어 브릿지;

상기 다수의 채널용 와이어 브릿지 각각의 외면에 형성되어 있는 게이트 절연막; 및

상기 게이트 절연막을 둘러싸도록 상기 1쌍의 소오스/드레인 패턴 사이에 형성되어 있는 게이트 전극용 도전체 패턴을 포함하는 것을 특징으로 하는 모스 트랜지스터.

## 청구항 2.

제1항에 있어서, 상기 채널용 와이어 브릿지는 등방성 채널용 와이어 브릿지인 것을 특징으로 하는 모스 트랜지스터.

## 청구항 3.

제2항에 있어서, 상기 채널용 와이어 브릿지의 단면 모양은 타원형, 원형, 사각형 또는 정사각형인 것을 특징으로 하는 모스 트랜지스터.

## 청구항 4.

제2항에 있어서, 상기 채널용 와이어 브릿지는 완전 공핍형인 것을 특징으로 하는 모스 트랜지스터.

## 청구항 5.

제1항에 있어서, 상기 다수의 채널용 와이어 브릿지는,

행 방향으로 상기 반도체 기판의 상면과 평행하도록 일직선으로 정렬되어 있는 것을 특징으로 하는 모스 트랜지스터.

## 청구항 6.

제5항에 있어서, 상기 다수의 채널용 와이어 브릿지는 1행 또는 2행 이상으로 어레이되어 있는 것을 특징으로 하는 모스 트랜지스터.

## 청구항 7.

제6항에 있어서, 상기 다수의 채널용 와이어 브릿지는 1행 × 2열, 1행 × 3열, 2행 × 2열, 2행 × 3열, 3행 × 2열 또는 3행 × 3열로 어레이되어 있는 것을 특징으로 하는 모스 트랜지스터.

## 청구항 8.

제1항에 있어서, 상기 다수의 채널용 와이어 브릿지 중에서 최상행에 위치한 와이어 브릿지의 상면 레벨은 상기 1쌍의 소오스/드레인 패턴의 상면 레벨과 같은 것을 특징으로 하는 모스 트랜지스터.

## 청구항 9.

제1항에 있어서, 상기 다수의 채널용 와이어 브릿지의 최상행에 위치한 와이어 브릿지의 상면 레벨은 상기 1쌍의 소오스/드레인 패턴의 상면 레벨보다 낮은 것을 특징으로 하는 모스 트랜지스터.

### 청구항 10.

제1항에 있어서, 상기 1쌍의 소오스/드레인 패턴은 단결정 실리콘, 폴리 실리콘, 금속 실리사이드 또는 금속으로 형성되어 있는 것을 특징으로 하는 모스 트랜지스터.

### 청구항 11.

제10항에 있어서,

상기 1쌍의 소오스/드레인 패턴은 단결정 실리콘 또는 폴리 실리콘으로 형성되어 있으며,

상기 소오스 영역과 상기 드레인 영역의 밑면 레벨은 상기 1쌍의 소오스/드레인 패턴의 밑면 레벨보다 높은 것을 특징으로 하는 모스 트랜지스터.

### 청구항 12.

제1항에 있어서, 상기 1쌍의 소오스/드레인 패턴 사이의 상기 반도체 기판의 영역 내에는 채널 형성 방지층이 더 형성되어 있는 것을 특징으로 하는 모스 트랜지스터.

### 청구항 13.

제12항에 있어서, 상기 채널 형성 방지층은 상기 반도체 기판의 도핑 타입과 동일한 타입의 이온이 주입된 고농도 도핑 영역인 것을 특징으로 하는 모스 트랜지스터.

### 청구항 14.

제1항에 있어서, 상기 1쌍의 소오스/드레인 패턴 각각의 내면과 상기 게이트 전극용 도전체 패턴 사이에는 단락 방지용 절연 패턴이 더 개재되어 있는 것을 특징으로 하는 모스 트랜지스터.

### 청구항 15.

얇은 트렌치 격리막에 의하여 둘러싸여 활성 영역이 한정되어 있는 반도체 기판;

상기 활성 영역의 상면에 서로 이격되어서 형성되어 있으며, 소오스 영역과 드레인 영역이 한정되어 있는 1쌍의 실리콘 패턴;

상기 활성 영역의 상부의 상기 소오스 영역과 드레인 영역 사이에 행방향으로 2개 이상이 서로 이격되게 어레이되어 있는 다수의 등방성 채널용 와이어 브릿지;

상기 다수의 등방성 채널용 와이어 브릿지 각각의 외면에 형성되어 있는 게이트 절연막; 및

상기 게이트 절연막을 둘러싸도록 상기 1쌍의 실리콘 패턴 사이에 형성되어 있는 게이트 전극용 도전체 패턴을 포함하는 모스 트랜지스터.

**청구항 16.**

제15항에 있어서, 상기 등방성 채널용 와이어 브릿지는 완전 공핍형인 것을 특징으로 하는 다수의 와이어 채널을 구비한 모스 트랜지스터.

**청구항 17.**

제16항에 있어서, 상기 등방성 채널용 와이어 브릿지는 장축 및 단축의 길이가 10 내지 30nm 사이인 타원형이거나 직경이 10 내지 30nm 사이인 원형의 단면을 가지는 것을 특징으로 하는 모스 트랜지스터.

**청구항 18.**

제15항에 있어서, 상기 다수의 등방성 채널용 와이어 브릿지는,

열 방향으로 상기 반도체 기판의 상면과 평행하게 일직선으로 정렬되어 있는 것을 특징으로 하는 모스 트랜지스터.

**청구항 19.**

제18항에 있어서, 상기 다수의 등방성 채널용 와이어 브릿지는 1행 × 2열, 1행 × 3열, 2행 × 2열, 2행 × 3열, 3행 × 2열 또는 3행 × 3열로 어레이되어 있는 것을 특징으로 하는 모스 트랜지스터.

**청구항 20.**

제15항에 있어서, 상기 다수의 등방성 채널용 와이어 브릿지의 최상행에 위치한 와이어 브릿지의 상면 레벨은 상기 1쌍의 실리콘 패턴의 상면 레벨보다 더 낮은 것을 특징으로 하는 모스 트랜지스터.

**청구항 21.**

제15항에 있어서, 상기 소오스 영역과 상기 드레인 영역은 상기 1쌍의 실리콘 패턴에 이온이 주입된 영역인 것을 특징으로 하는 모스 트랜지스터.

**청구항 22.**

제21항에 있어서, 상기 소오스 영역과 상기 드레인 영역의 밑면 레벨은 상기 1쌍의 소오스/드레인 패턴의 밑면 레벨보다 더 높은 것을 특징으로 하는 모스 트랜지스터.

**청구항 23.**

제21항에 있어서, 상기 소오스 영역과 상기 드레인 영역은 수직 방향으로 일정한 도핑 농도를 가지는 것을 특징으로 하는 모스 트랜지스터.

**청구항 24.**

제15항에 있어서, 상기 1쌍의 소오스/드레인 패턴 사이의 상기 반도체 기판의 영역 내에는 채널 형성 방지층이 더 형성되어 있는 것을 특징으로 하는 모스 트랜지스터.

**청구항 25.**

제23항에 있어서, 상기 채널 형성 방지층은 상기 반도체 기판의 도핑과 동일한 타입의 이온이 주입된 고농도 도핑 영역인 것을 특징으로 하는 모스 트랜지스터.

**청구항 26.**

제15항에 있어서, 상기 반도체 기판은 실리콘 기판 또는 실리콘-온-인슐레이터 기판인 것을 특징으로 하는 모스 트랜지스터.

**청구항 27.**

제15항에 있어서, 상기 1쌍의 소오스/드레인 패턴 각각의 내면과 상기 게이트 전극용 도전체 패턴 사이에는 단락 방지용 절연 패턴이 더 개재되어 있는 것을 특징으로 하는 모스 트랜지스터.

**청구항 28.**

반도체 기판 상에 형성된 입체형 모스 트랜지스터에 있어서, 상기 입체형 모스 트랜지스터는

상기 반도체 기판의 양 단부 상에 위치하고 있는 소오스 영역과 드레인 영역;

상기 소오스 영역과 상기 드레인 영역을 연결하는 멀티 브릿지 채널로서, 상기 활성 영역의 중앙부 상에 행방향으로 2개 이상이 서로 이격되도록 어레이되어 있는 다수의 타원형 또는 원형의 와이어 채널; 및

상기 다수의 와이어 브릿지 채널을 둘러싸는 게이트 전극을 포함하는 모스 트랜지스터.

**청구항 29.**

제28항에 있어서, 상기 등방성 와이어 채널과 상기 게이트 전극 사이에는 게이트 절연막이 개재되어 있는 것을 특징으로 하는 모스 트랜지스터.

**청구항 30.**

제28항에 있어서, 상기 소오스 영역과 상기 드레인 영역은 상기 활성 영역 상에 형성된 직육면체 모양의 1쌍의 소오스/드레인 패턴에 한정되어 있는 것을 특징으로 하는 모스 트랜지스터.

**청구항 31.**

제30항에 있어서, 상기 1쌍의 소오스/드레인 패턴은 단결정 실리콘, 폴리 실리콘, 금속 실리콘사이드 또는 금속으로 형성되어 있는 것을 특징으로 하는 모스 트랜지스터.

**청구항 32.**

제28항에 있어서, 상기 타원형 또는 원형의 와이어 채널은 완전 공핍형인 것을 특징으로 하는 모스 트랜지스터.

**청구항 33.**

제32항에 있어서, 상기 타원형 또는 원형 와이어 채널은 장축 및 단축의 길이 또는 직경이 10 내지 30nm 사이인 것을 특징으로 하는 모스 트랜지스터.

**청구항 34.**

제28항에 있어서, 상기 모스 트랜지스터는 상기 반도체 기판의 중앙부에 형성된 채널 형성 방지층을 더 포함하는 것을 특징으로 하는 모스 트랜지스터.

**청구항 35.**

소자 격리 영역에 의하여 활성 영역이 정의되어 있는 반도체 기판 상에 형성된 모스 트랜지스터에 있어서, 상기 모스 트랜지스터는

상기 활성 영역의 양 단부의 상부에 위치하는 소오스 영역과 드레인 영역;

상기 활성 영역의 중앙부 상부에 상기 소오스 영역과 상기 드레인 영역의 사이에 개재되어 있는 2개 이상의 완전 공핍형 타원형 또는 원형 와이어 채널; 및

상기 2개 이상의 완전 공핍형 타원형 또는 원형 와이어 채널 각각을 둘러싸는 게이트 전극을 포함하는 것을 특징으로 하는 모스 트랜지스터.

**청구항 36.**

제35항에 있어서, 상기 완전 공핍형 타원형 또는 원형 와이어 채널은 행방향으로 2개 또는 3개 이상이 서로 이격되게 어레이되어 있는 것을 특징으로 하는 모스 트랜지스터.

**청구항 37.**

제36항에 있어서, 상기 완전 공핍형 타원형 또는 원형 와이어 채널은 1행 또는 2행 이상으로 서로 이격되게 어레이되어 있는 것을 특징으로 하는 모스 트랜지스터.

**청구항 38.**

반도체 기판 상에  $n$ ( $n$ 은 자연수)개의 희생층 패턴과  $n$ 개의 채널층 패턴이 교대로 적층되어 있는 채널 형성용 예비 패턴을 형성하는 단계;

적어도 상기 채널 형성용 예비 패턴의 전, 후 가장자리 상면이 노출되도록 상기 채널 형성용 예비 패턴 상에 상기 채널 형성용 예비 패턴보다 폭이 작은 마스크 패턴을 형성하는 단계;

상기 반도체 기판 상에 상기 채널 형성용 예비 패턴과 상기 마스크 패턴을 둘러싸는 몰더 패턴(molder pattern)을 형성하는 단계;

상기 마스크 패턴과 상기 몰더 패턴을 패터닝하여 상기 채널 형성용 예비 패턴의 전, 후 방향으로 신장되고 상기 채널 형성용 예비 패턴의 양측 상면을 노출시키는 바아(bar) 타입의 더미 게이트 패턴을 형성하는 단계;

상기 반도체 기판을 노출시키는 1쌍의 제1 홀(hole)을 형성하도록 상기 더미 게이트 패턴 및 잔류하는 상기 몰더 패턴을 마스크로 사용하여 상기 채널 형성용 예비 패턴을 식각하는 제1 이방성 건식 식각 단계;

상기 1쌍의 제1 홀을 매립하는 소오스/드레인 패턴을 형성하는 단계;

상기 소오스/드레인 패턴 및 잔류하는 상기 몰더 패턴 상에 상기 마스크 패턴을 노출시키는 버퍼 패턴(buffer pattern)을 형성하는 단계;

상기 마스크 패턴을 제거하여 상기 채널 형성용 예비 패턴을 노출시키는 그루브(groove)를 형성하는 단계;

상기 반도체 기판을 노출시키는 제2 홀이 이 형성되도록 상기 버퍼 패턴 및 상기 몰더 패턴을 마스크로 사용하여 상기 그루브를 통하여 노출된 상기 채널 형성용 예비 패턴을 식각하는 제2 이방성 건식 식각 단계;

잔류하는 상기 버퍼 패턴 및 상기 몰더 패턴을 제거하는 단계;

상기 반도체 기판과 잔류하는 상기 채널층 패턴 사이 및/또는 잔류하는 상기 채널층 패턴들 사이에 윈도우가 형성되도록 잔류하는 상기 희생층 패턴을 제거하는 단계;

잔류하는 상기 채널층 패턴의 외면 상에 게이트 절연막을 형성하는 단계; 및

상기 제2 홀 및 상기 윈도우를 채우도록 상기 게이트 절연막 상에 게이트 전극용 도전체 패턴을 형성하는 단계를 포함하는 모스 트랜지스터의 제조방법.

### 청구항 39.

제38항에 있어서, 상기 채널층 패턴은 단결정 실리콘으로 형성하고, 상기 희생층 패턴은 실리콘 저매늄으로 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

### 청구항 40.

제39항에 있어서, 상기 채널층 패턴과 상기 희생층 패턴은 분자빔 에피택시법을 사용하여 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

### 청구항 41.

제38항에 있어서, 상기 채널층 패턴은 10 내지 40nm 사이의 두께로 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

### 청구항 42.

제41항에 있어서, 상기 채널 형성용 예비 패턴의 노출된 전,후 가장자리의 폭은 10 내지 40nm 사이가 되도록 상기 마스크 패턴을 형성하는 것을 특징으로 모스 트랜지스터의 제조방법.

**청구항 43.**

제38항에 있어서, 상기 채널 형성용 예비 패턴의 노출된 전,후 가장자리의 폭이 상기 채널층 패턴의 두께와 같도록 상기 마스크 패턴을 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 44.**

제38항에 있어서, 상기 채널 형성용 예비 패턴 형성 단계 및 상기 마스크 패턴 형성 단계는,

n개의 희생층 및 n개의 채널층이 교대로 적층되어 있는 채널 형성용 예비층을 형성하는 단계;

상기 채널 형성용 예비층 상에 마스크층을 형성하는 단계;

상기 채널 형성용 예비 패턴이 형성되도록 포토리소그래피 공정을 이용하여 상기 마스크층 및 상기 채널 형성용 예비층을 패터닝하는 단계; 및

상기 마스크 패턴이 형성되도록 상기 마스크층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 45.**

제44항에 있어서, 상기 채널 형성용 예비층 형성 단계에서는,

상기 n번째 채널층 상에 n+1번째 희생층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 46.**

제44항에 있어서, 상기 n은 1, 2 또는 3이 되도록 상기 채널 형성용 예비층을 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 47.**

제38항에 있어서, 상기 마스크 패턴은 상기 채널층 패턴, 상기 희생층 패턴 및 상기 몰더 패턴에 대하여 식각 선택비가 큰 물질로 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 48.**

제47항에 있어서, 상기 마스크 패턴은 실리콘 질화물로 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 49.**

제48항에 있어서, 상기 마스크 패턴 형성 단계에서는 인산을 포함하는 식각 매체를 사용하여 등방성 식각으로 수행하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 50.**

제38항에 있어서, 상기 소오스/드레인 패턴은 상기 잔류하는 희생층 패턴의 제거 단계에서 사용하는 식각 매체에 대하여 식각 선택비가 큰 물질로 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 51.**

제50항에 있어서, 상기 소오스/드레인 패턴은 단결정 실리콘, 폴리 실리콘, 금속 실리콘사이드 또는 금속으로 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 52.**

제51항에 있어서, 상기 소오스/드레인 패턴은 단결정 실리콘으로 형성하고, 상기 소오스/드레인 패턴 형성 단계는 선택적 에피택시 성장법을 이용하여 수행하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 53.**

제51항에 있어서, 상기 소오스/드레인 패턴은 실리콘 에피층 또는 폴리실리콘층으로 형성하고,

상기 게이트 전극용 도전체 패턴 형성 단계 이후에 상기 소오스/드레인 패턴에 이온을 주입하여 소오스/드레인 영역을 한정하는 단계를 더 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 54.**

제53항에 있어서, 상기 이온주입 단계에서는 상기 소오스/드레인 영역의 밑면 레벨이 상기 반도체 기판의 상면 레벨보다 더 높도록 상기 이온 주입 공정을 수행하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 55.**

제38항에 있어서, 상기 버퍼 패턴 형성단계는,

상기 소오스/드레인 패턴, 잔류하는 상기 몰더 패턴 및 상기 마스크 패턴 상에 버퍼층을 형성하는 단계; 및

상기 마스크 패턴이 노출될 때까지 상기 버퍼층을 평탄화하는 단계를 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 56.**

제38항에 있어서, 상기 제2 이방성 건식 식각 단계 이후에,

상기 제2 홀에 의하여 노출된 상기 반도체 기판에 채널 형성 방지층이 형성되도록 상기 반도체 기판의 도전 타입과 동일한 타입의 불순물을 주입하는 단계를 더 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 57.**

제38항에 있어서, 상기 잔류 희생층 패턴의 제거 단계에서는,

상기 채널층에 대한 식각 선택비가 30이상인 식각 매체를 사용하는 등방성 식각법을 사용하여 수행하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 58.**

제38항에 있어서, 상기 잔류 희생층 패턴의 제거 단계 이후에,

상기 잔류 채널층 패턴의 단면이 타원형 또는 원형이 되도록 상기 결과물을 열처리하는 단계를 더 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 59.**

실리콘 기판 상에 n개의 실리콘 저매뉴 희생층과 n개의 실리콘 채널층을 교대로 증착하여 채널 형성용 예비층을 형성하는 단계;

상기 채널 형성용 예비층 상에 트렌치 형성용 하드 마스크를 형성하는 단계;

상기 하드 마스크를 식각 마스크로 사용하여 상기 채널 형성용 예비층 및 상기 실리콘 기판을 식각하여 채널 형성용 예비 패턴과 상기 실리콘 기판에 트렌치를 형성하는 단계;

적어도 상기 채널 형성용 예비 패턴의 전,후 가장자리 상면을 노출시키는 마스크 패턴을 형성하도록 상기 하드 마스크를 패터닝하는 단계;

상기 트렌치를 매립하는 소자 격리용 절연막 및 상기 실리콘 기판 상에 상기 채널 형성용 예비 패턴과 상기 마스크 패턴을 둘러싸는 몰더 패턴을 형성하는 단계;

상기 마스크 패턴과 상기 몰더 패턴을 패터닝하여 상기 채널 형성용 예비 패턴의 전, 후 방향으로 신장되고 상기 채널 형성용 예비 패턴의 양측 상면을 노출시키는 바아 타입의 더미 게이트 패턴을 형성하는 단계;

상기 실리콘 기판을 노출시키는 1쌍의 제1 홀을 형성하도록 상기 더미 게이트 패턴 및 잔류하는 상기 몰더 패턴을 마스크로 사용하여 상기 채널 형성용 예비 패턴을 식각하는 제1 이방성 건식 식각 단계;

상기 1쌍의 제1 홀을 매립하는 소오스/드레인 패턴을 형성하는 단계;

상기 소오스/드레인 패턴 및 잔류하는 상기 몰더 패턴 상에 상기 마스크 패턴을 노출시키는 버퍼 패턴을 형성하는 단계;

상기 마스크 패턴을 제거하여 상기 채널 형성용 예비 패턴을 노출시키는 그루브를 형성하는 단계;

상기 실리콘 기판을 노출시키는 제2 홀이 이 형성되도록 상기 버퍼 패턴 및 상기 몰더 패턴을 마스크로 사용하여 상기 그루브를 통하여 노출된 상기 채널 형성용 예비 패턴을 식각하는 제2 이방성 건식 식각 단계;

잔류하는 상기 버퍼 패턴 및 상기 몰더 패턴을 제거하는 단계;

상기 실리콘 기판과 잔류하는 상기 채널층 패턴 사이 및/또는 잔류하는 상기 채널층 패턴들 사이에 윈도우가 형성되도록 잔류하는 상기 희생층 패턴을 제거하는 단계;

잔류하는 상기 채널층 패턴의 외면 상에 게이트 절연막을 형성하는 단계; 및

상기 제2 홀 및 상기 윈도우를 채우도록 상기 게이트 절연막 상에 게이트 전극용 도전체 패턴을 형성하는 단계를 포함하는 모스 트랜지스터의 제조방법.

**청구항 60.**

제59항에 있어서, 상기 채널 형성용 예비층 형성 단계에서  $n$ 은 1, 2 또는 3인 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 61.**

제59항에 있어서, 상기 채널 형성용 예비층 형성 단계에서는,

$n$ 번째 실리콘 채널층 상에  $n+1$ 번째 실리콘 저매늄 희생층을 증착하는 단계를 더 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 62.**

제59항에 있어서, 상기 트렌치 형성용 하드 마스크는 실리콘 질화물로 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 63.**

제59항에 있어서, 상기 채널 형성용 예비 패턴의 노출된 전,후 가장자리의 폭은 10 내지 40nm 사이가 되도록 상기 마스크 패턴을 형성하는 것을 특징으로 모스 트랜지스터의 제조방법.

**청구항 64.**

제63항에 있어서, 상기 하드 마스크의 패터닝 단계는 상기 마스크 패턴이 상기 채널 형성용 예비 패턴의 양 측면 가장자리도 노출시키도록 등방성 식각 공정을 사용하여 수행하는 것을 특징으로 모스 트랜지스터의 제조방법.

**청구항 65.**

제63항에 있어서, 상기 채널 형성용 예비 패턴의 노출된 전,후 가장자리의 폭이 상기 채널층 패턴의 두께와 같도록 상기 마스크 패턴을 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 66.**

제59항에 있어서, 상기 소자 격리용 절연막 및 상기 몰더 패턴 형성 단계는,

상기 마스크 패턴의 상면보다 더 높은 높이로 상기 결과물 상에 실리콘 산화물을 증착하는 단계; 및

상기 마스크 패턴이 노출될 때까지 상기 실리콘 산화물을 평탄화하는 단계를 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 67.**

제66항에 있어서, 상기 버퍼층은 실리콘 산화물로 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 68.**

제67항에 있어서, 상기 잔류하는 실리콘 저매뉴 희생층 패턴 제거 단계는 실리콘, 실리콘 산화물에 대하여 식각 선택비가 30이상인 식각 매체를 사용하여 수행하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 69.**

제68항에 있어서, 상기 식각 매체는 과산화수소( $H_2O_2$ ), 불화수소(HF) 및 초산( $CH_3COOH$ )을 포함하는 혼합 용액 또는 수산화암모늄( $NH_4OH$ ), 과산화수소( $H_2O_2$ ) 및 탈이온수( $H_2O$ )를 포함하는 혼합 용액인 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 70.**

제59항에 있어서, 상기 소오스/드레인 패턴은 실리콘 선택적 에피택셜 성장법을 사용하여 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 71.**

제70항에 있어서, 상기 게이트 전극용 도전체 패턴 형성 단계 이후에,

소오스/드레인 영역을 형성하도록 상기 소오스/드레인 패턴에 이온을 주입하는 단계를 더 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 72.**

제71항에 있어서, 상기 이온주입 단계에서는,

상기 소오스/드레인 영역의 밑면 레벨이 상기 실리콘 기판의 상면 레벨보다 더 높도록 이온을 주입하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 73.**

제59항에 있어서, 상기 제2 이방성 건식 식각 단계 이후에,

상기 제2 홀에 의하여 노출된 상기 실리콘 기판에 상기 실리콘 기판의 도전 타입과 동일한 타입의 불순물을 주입하여 채널 형성 방지층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

**청구항 74.**

제59항에 있어서, 상기 게이트 전극용 도전체 패턴 형성 단계는,

상기 제2 홀 및 상기 윈도우를 채우도록 화학 기상 증착법을 이용하여 상기 실리콘 기판과 상기 소오스/드레인 패턴 상에 폴리 실리콘을 증착하여 게이트 전극용 도전층을 형성하는 단계; 및

상기 소오스/드레인 패턴이 노출되도록 상기 게이트 전극용 도전층을 패터닝하는 단계를 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

### 청구항 75.

제74항에 있어서, 상기 게이트 전극용 도전층 형성 단계는,

상기 폴리 실리콘층 상에 금속 실리사이드층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

### 청구항 76.

제59항에 있어서, 상기 잔류 실리콘 저매뉴 희생층 패턴의 제거 단계 이후에,

상기 잔류하는 실리콘 채널층 패턴의 단면이 타원형 또는 원형이 되도록 상기 결과물을 열처리하는 단계를 더 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

### 청구항 77.

실리콘 기판 상에 제1 실리콘 저매뉴 희생층, 제1 실리콘 채널층, 제2 실리콘 저매뉴 희생층 및 제2 실리콘 채널층을 순차적으로 증착하여 채널 형성용 예비층을 형성하는 단계;

상기 채널 형성용 예비층 상에 트렌치 형성용 하드 마스크를 형성하는 단계;

상기 하드 마스크를 식각 마스크로 사용하여 상기 채널 형성용 예비층 및 상기 실리콘 기판을 식각하여 채널 형성용 예비 패턴과 상기 실리콘 기판에 트렌치를 형성하는 단계;

상기 하드 마스크를 패터닝하여 적어도 상기 채널 형성용 예비 패턴의 전, 후 가장자리 상면을 노출시키는 마스크 패턴을 형성하는 단계;

상기 트렌치를 매립하는 소자 격리용 절연막 및 상기 실리콘 기판 상에 상기 채널 형성용 예비 패턴과 상기 마스크 패턴을 둘러싸는 몰더 패턴을 형성하는 단계;

상기 마스크 패턴과 상기 몰더 패턴을 패터닝하여 상기 채널 형성용 예비 패턴의 전, 후 방향으로 신장되고 상기 채널 형성용 예비 패턴의 양측 상면을 노출시키는 바아 타입의 더미 게이트 패턴을 형성하는 단계;

상기 실리콘 기판을 노출시키는 1쌍의 제1 홀을 형성하도록 상기 더미 게이트 패턴 및 잔류하는 상기 몰더 패턴을 마스크로 사용하여 상기 채널 형성용 예비 패턴을 식각하는 제1 이방성 건식 식각 단계;

선택적 에피택시 성장법을 사용하여 상기 1쌍의 제1 홀을 매립하는 실리콘 소오스/드레인 패턴을 형성하는 단계;

상기 소오스/드레인 패턴 및 잔류하는 상기 몰더 패턴 상에 버퍼층을 형성하는 단계;

잔류하는 상기 마스크 패턴을 노출시키는 버퍼 패턴을 형성하도록 상기 버퍼층을 평탄화하는 단계;

상기 마스크 패턴을 제거하여 상기 채널 형성용 예비 패턴을 노출시키는 그루브를 형성하는 단계;

상기 실리콘 기판을 노출시키는 제2 홀이 이 형성되도록 상기 버퍼 패턴 및 상기 몰더 패턴을 마스크로 사용하여 상기 그루브를 통하여 노출된 상기 채널 형성용 예비 패턴을 식각하는 제2 이방성 건식 식각 단계;

잔류하는 상기 버퍼 패턴 및 상기 몰더 패턴을 제거하는 단계;

상기 실리콘 기판과 잔류하는 상기 채널층 패턴 사이 및 잔류하는 상기 채널층 패턴들 사이에 윈도우가 형성되도록 잔류하는 상기 희생층 패턴을 제거하는 단계;

상기 잔류하는 실리콘 채널층 패턴의 단면이 타원형 또는 원형이 되도록 열처리하는 제1 어닐링 단계

잔류하는 상기 실리콘 채널층 패턴 상에 게이트 열산화막을 형성되고, 상기 소오스/드레인 패턴의 내면 상에 단락 방지용 열산화막 패턴이 형성되도록 열처리하는 제2 어닐링 단계; 및

상기 제2 홀 및 상기 윈도우를 채우도록 상기 게이트 열산화막 및 상기 단락 방지용 열산화막 패턴 상에 게이트 전극용 도전체 패턴을 형성하는 단계를 포함하는 모스 트랜지스터의 제조방법.

### 청구항 78.

제77항에 있어서, 상기 제2 어닐링 단계는 수소 분위기 하에서 600 내지 1200℃ 사이의 온도에서 수행하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

### 청구항 79.

제77항에 있어서, 상기 제2 어닐링 단계는 아르곤 분위기에서 900 내지 1200℃ 사이의 온도에서 수행하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

### 청구항 80.

제77항에 있어서, 상기 채널 형성용 예비층 형성 단계에서는,

상기 제2 실리콘 채널층 상에 제3 실리콘 저매늄 희생층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

### 청구항 81.

반도체 기판 상에 n개의 희생층 패턴과 n개의 채널층 패턴이 교대로 적층되어 있는 채널 형성용 예비 패턴을 형성하는 단계;

상기 채널 형성용 예비 패턴 상에 적어도 상기 채널 형성용 예비 패턴의 전, 후 가장자리와 중앙부를 노출시키는 1쌍의 마스크 패턴을 형성하는 단계;

상기 반도체 기판 상에 상기 채널 형성용 예비 패턴과 상기 1쌍의 마스크 패턴을 둘러싸는 몰더 패턴을 형성하는 단계;

상기 1쌍의 마스크 패턴과 상기 몰더 패턴을 패터닝하여 상기 채널 형성용 예비 패턴의 전, 후 방향으로 신장되고 상기 채널 형성용 예비 패턴의 양측 상면을 노출시키는 바아 타입의 더미 게이트 패턴을 형성하는 단계;

상기 반도체 기판을 노출시키는 1쌍의 제1 홀(hole)을 형성하도록 상기 더미 게이트 패턴 및 잔류하는 상기 몰더 패턴을 마스크로 사용하여 상기 채널 형성용 예비 패턴을 식각하는 제1 이방성 건식 식각 단계;

상기 1쌍의 제1 홀을 매립하는 소오스/드레인 패턴을 형성하는 단계;

상기 소오스/드레인 패턴 및 잔류하는 상기 몰더 패턴 상에 상기 1쌍의 마스크 패턴을 노출시키는 버퍼 패턴을 형성하는 단계;

상기 1쌍의 마스크 패턴을 제거하여 상기 채널 형성용 예비 패턴을 노출시키는 1쌍의 그루브를 형성하는 단계;

상기 반도체 기판을 노출시키는 1쌍의 제2 홀이 형성되도록 상기 버퍼 패턴 및 상기 몰더 패턴을 마스크로 사용하여, 상기 1쌍의 그루브를 통해 노출된 상기 채널 형성용 예비 패턴을 식각하는 제2 이방성 건식 식각 단계;

잔류하는 상기 버퍼 패턴 및 상기 몰더 패턴을 제거하는 단계;

상기 반도체 기판과 잔류하는 상기 채널층 패턴 사이 및/또는 잔류하는 상기 채널층 패턴들 사이에 윈도우가 형성되도록 잔류하는 상기 희생층 패턴을 제거하는 단계;

잔류하는 상기 채널층 패턴의 외면 상에 게이트 절연막을 형성하는 단계; 및

상기 제2 홀 및 상기 윈도우를 채우도록 상기 게이트 절연막 상에 게이트 전극용 도전체 패턴을 형성하는 단계를 포함하는 모스 트랜지스터의 제조방법.

## 청구항 82.

제81항에 있어서, 상기 채널층 패턴은 10 내지 40nm의 두께로 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

## 청구항 83.

제82항에 있어서, 상기 1쌍의 마스크 패턴 형성 단계에서는 상기 전, 후 방향으로 10 내지 40nm의 간격으로 이격되도록 상기 1쌍의 마스크 패턴을 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

## 청구항 84.

제81항에 있어서, 잔류하는 상기 희생층 패턴의 제거 단계 이후에,

잔류하는 상기 채널층 패턴의 단면이 타원형 또는 원형이 되도록 열처리하는 제1 어닐링 단계를 더 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

## 청구항 85.

제81항에 있어서, 상기 채널 형성용 예비 패턴, 상기 1쌍의 마스크 패턴 및 몰더 패턴 형성 단계는,

실리콘 기판 상에 n개의 실리콘 저매늄 희생층 및 n개의 실리콘 채널층이 교대로 적층되어 있는 채널 형성용 예비층을 형성하는 단계;

상기 채널 형성용 예비층 상에 트렌치 형성용 하드 마스크를 형성하는 단계;

상기 트렌치 형성용 하드 마스크를 식각 마스크로 사용하여 상기 채널 형성용 예비층 및 상기 실리콘 기판을 식각하여 상기 채널 형성용 예비 패턴과 상기 실리콘 기판에 트렌치를 형성하는 단계;

적어도 상기 채널 형성용 예비 패턴의 전, 후 가장자리와 중앙부를 노출시키는 상기 1쌍의 마스크 패턴을 형성하도록 상기 트렌치 형성용 하드 마스크를 패터닝하는 단계; 및

상기 트렌치를 매립하는 소자 격리용 절연막과 상기 실리콘 기판 상에 상기 채널 형성용 예비 패턴과 상기 1쌍의 마스크 패턴을 둘러싸는 상기 몰더 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

### 청구항 86.

제85항에 있어서, 상기 소오스/드레인 패턴은 실리콘 선택적 에피택셜 성장법을 사용하여 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

### 청구항 87.

제86항에 있어서, 상기 게이트 절연막 형성 단계에서는,

잔류하는 상기 채널층 패턴의 외면과 상기 소오스/드레인 패턴 상에 실리콘 열산화막이 형성되도록 산소 분위기에서 열처리하는 제2 어닐링 공정을 수행하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

### 청구항 88.

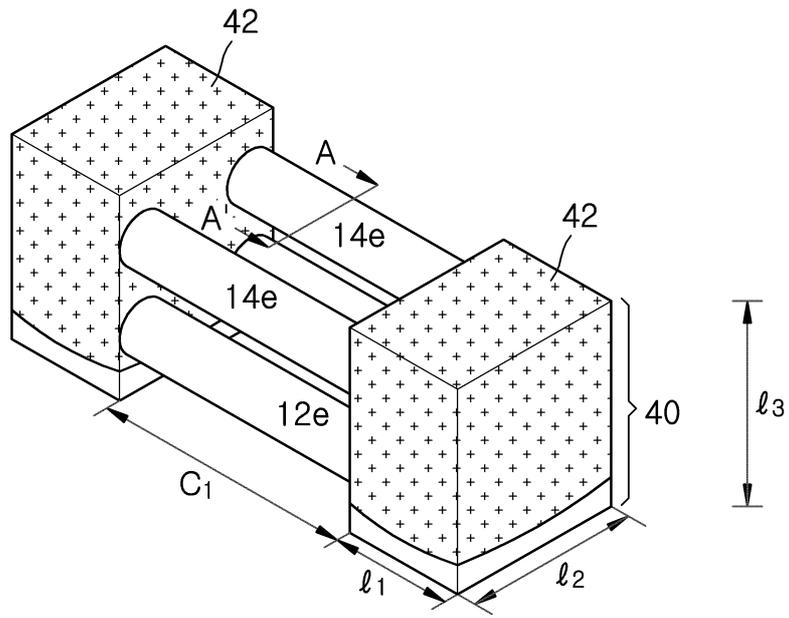
제81항에 있어서, 상기 채널 형성용 예비층 형성 단계에서는  $n$ 은 1, 2 또는 3인 것을 특징으로 하는 모스 트랜지스터의 제조방법.

### 청구항 89.

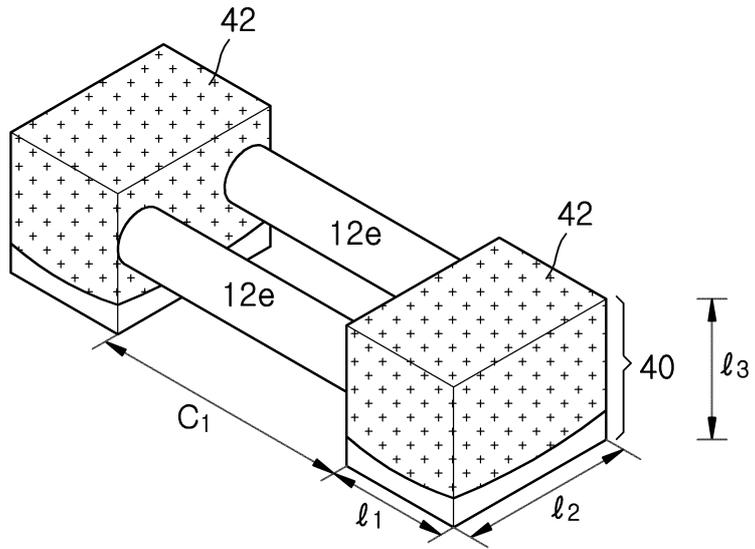
제81항에 있어서, 상기 채널 형성용 예비층 형성 단계에서는 상기  $n$ 번째 채널층 상에  $n+1$ 번째 희생층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

도면

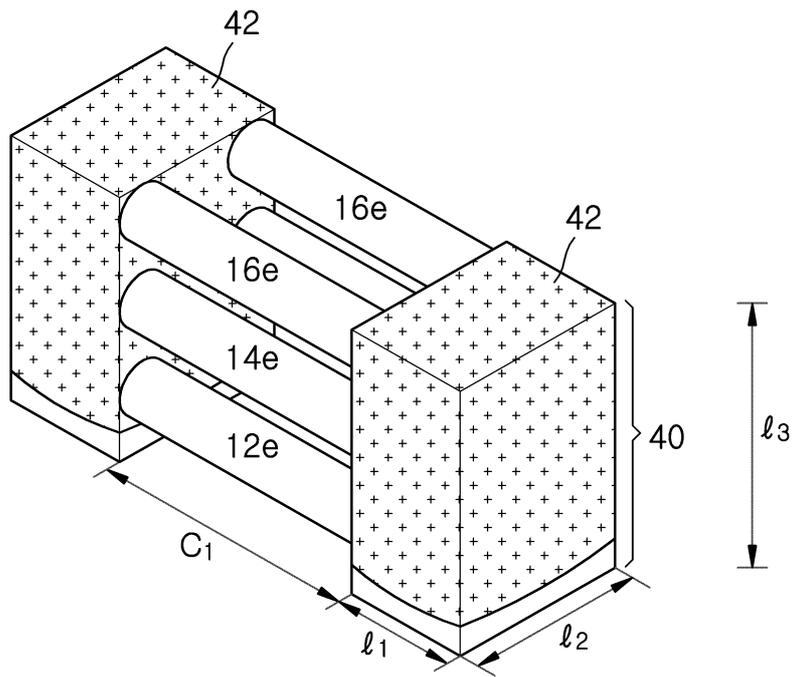
도면1a



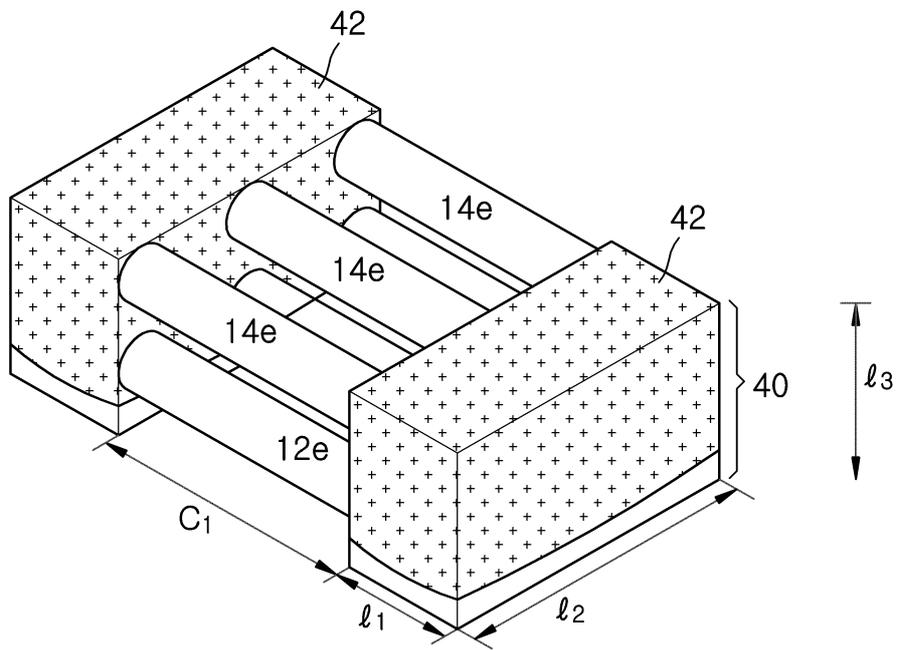
도면1b



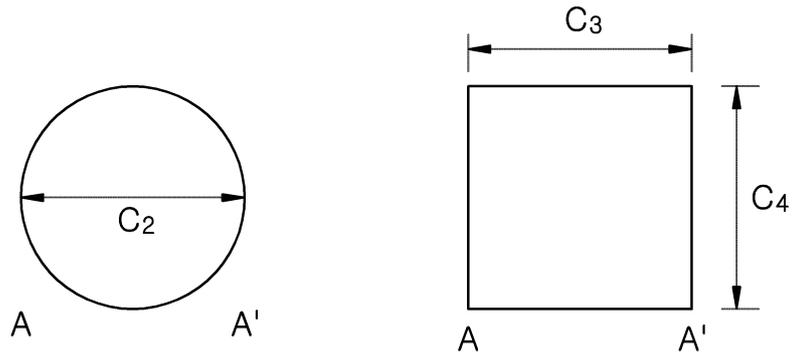
도면1c



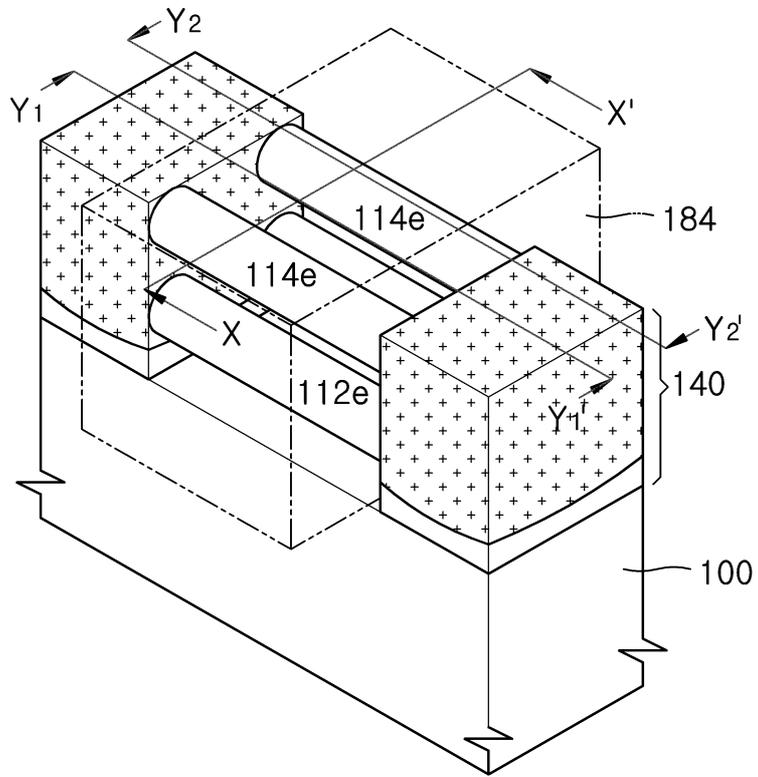
도면1d



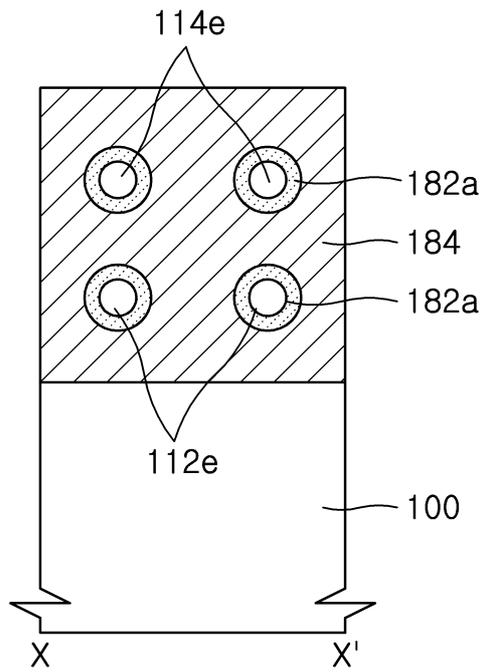
도면2



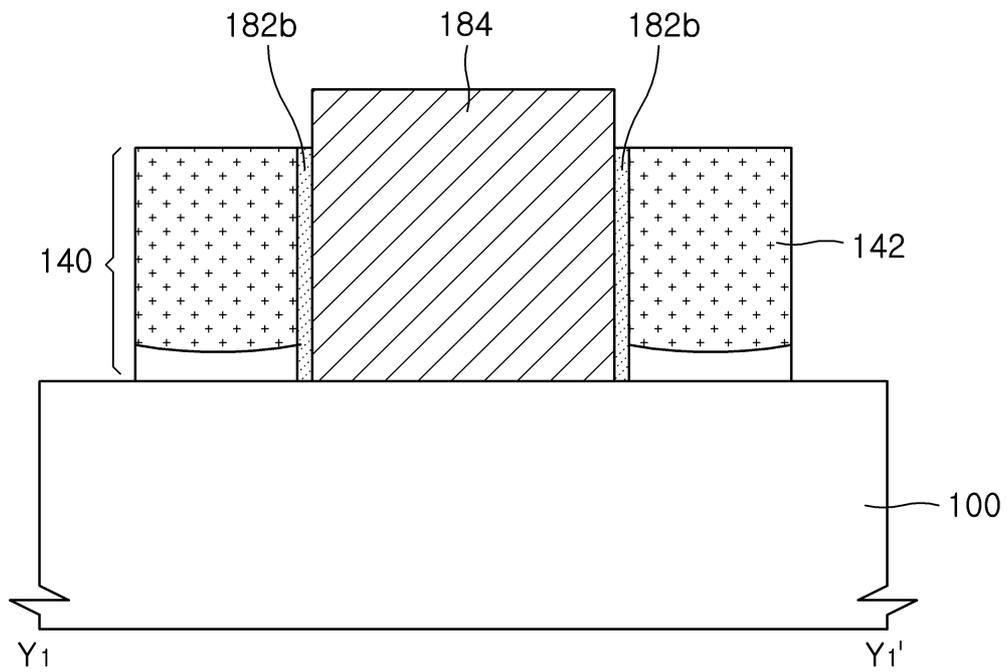
도면3a



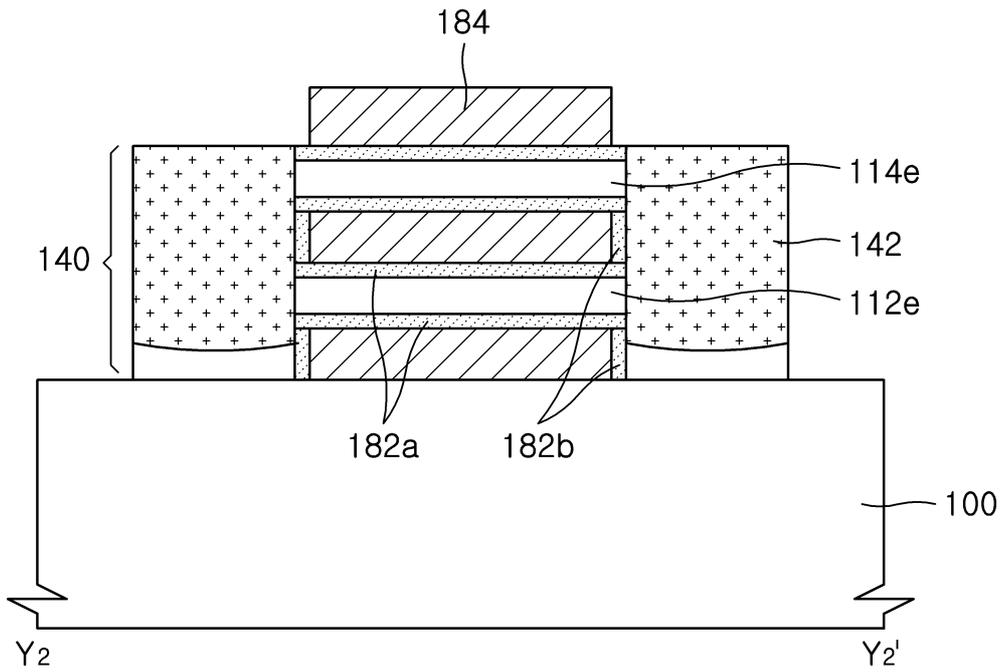
도면3b



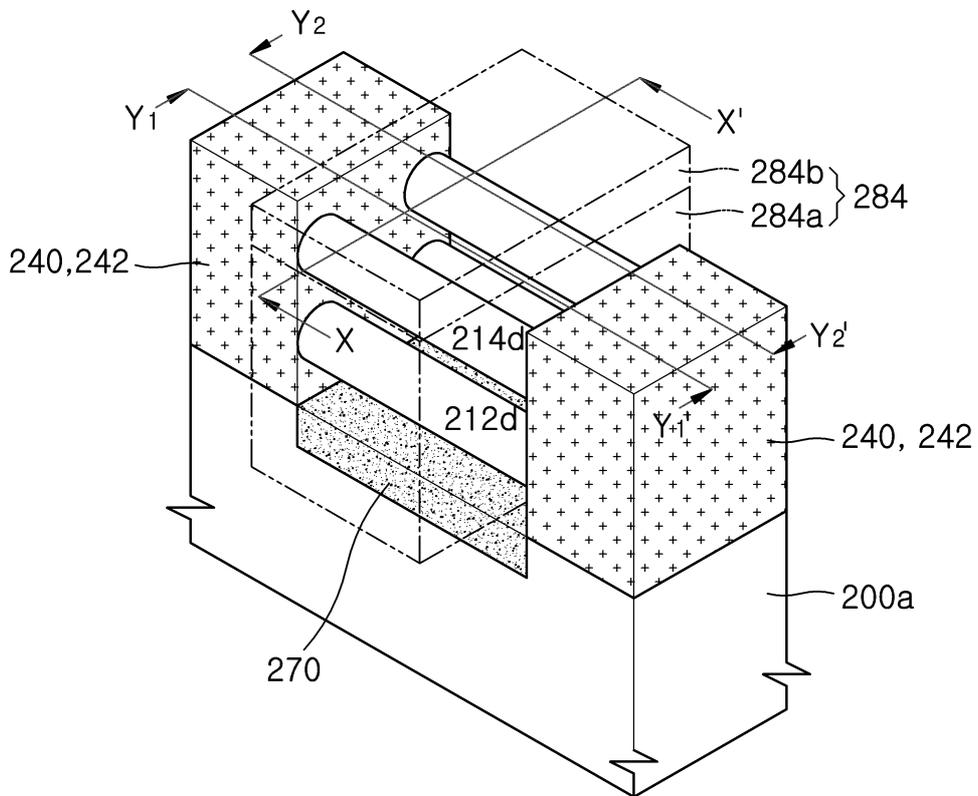
도면3c



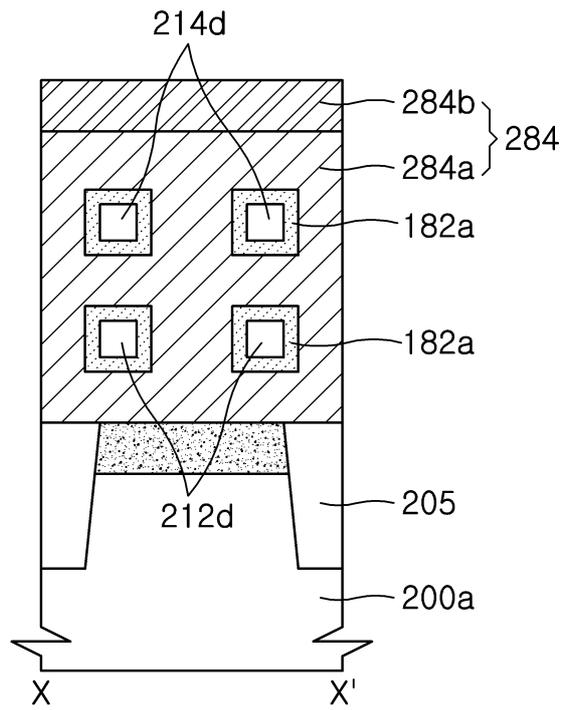
도면3d



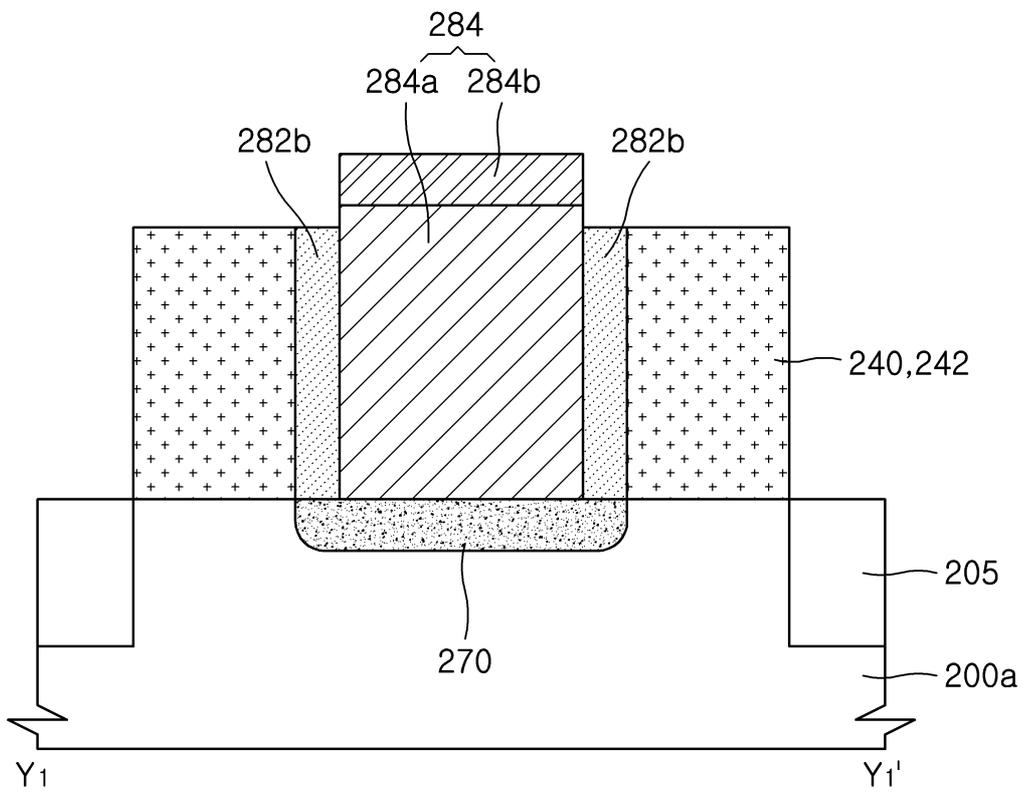
도면4a



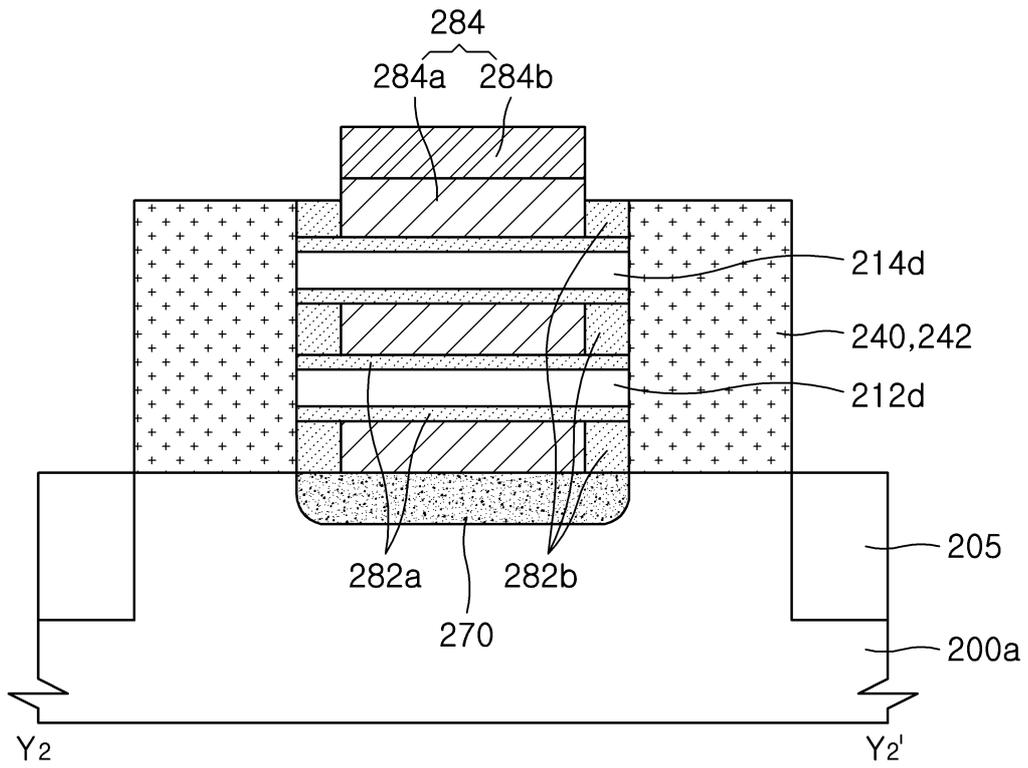
도면4b



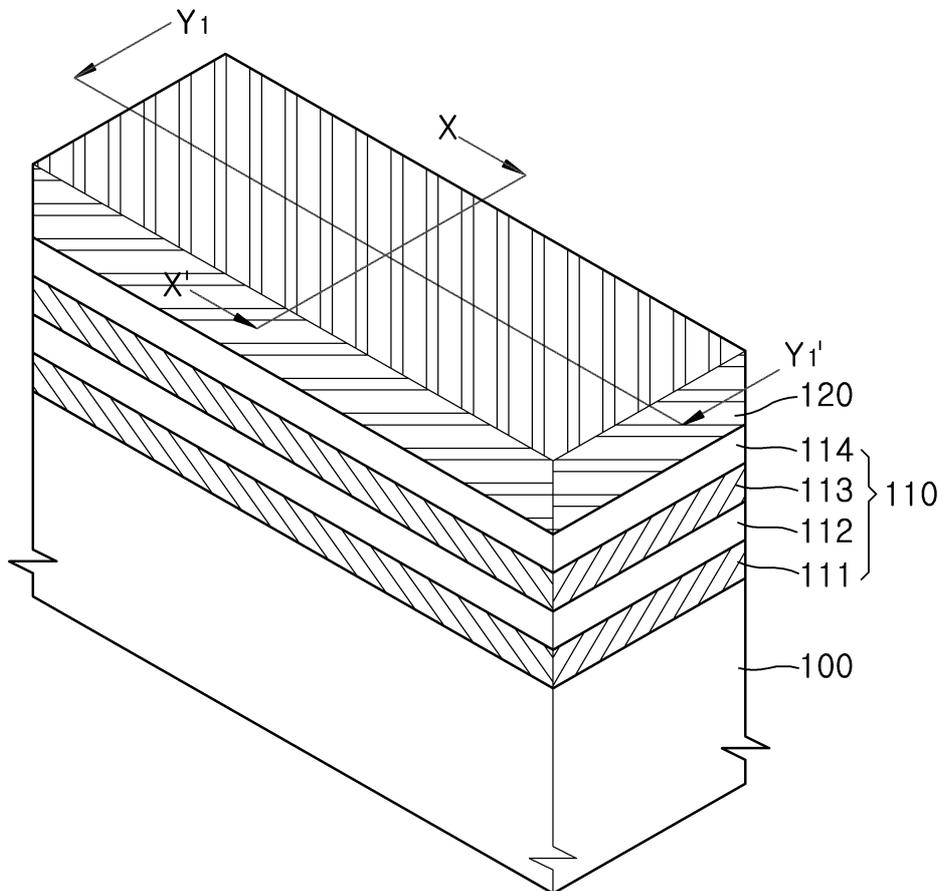
도면4c



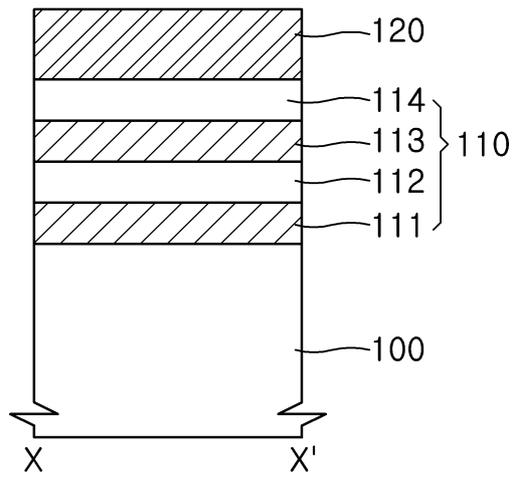
도면4d



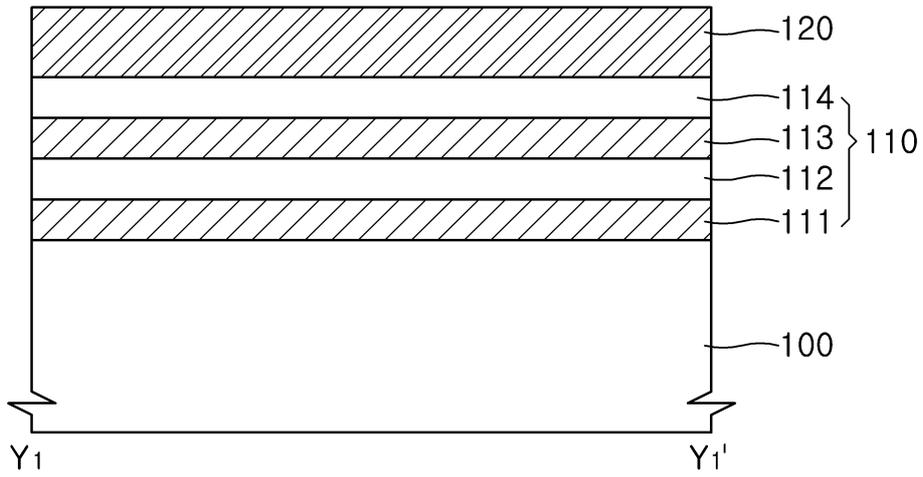
도면5a



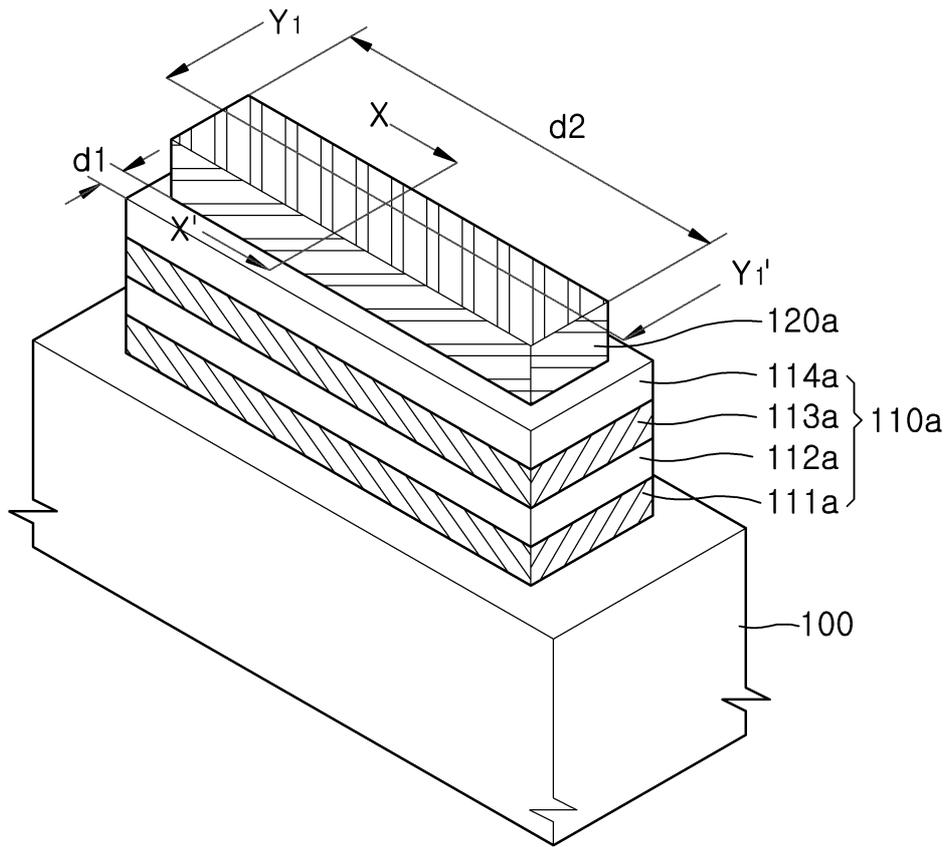
도면5b



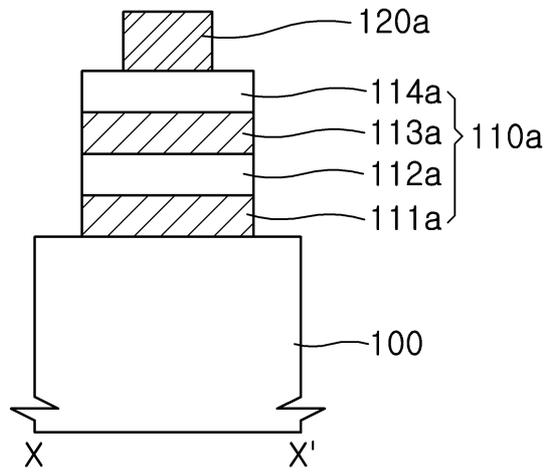
도면5c



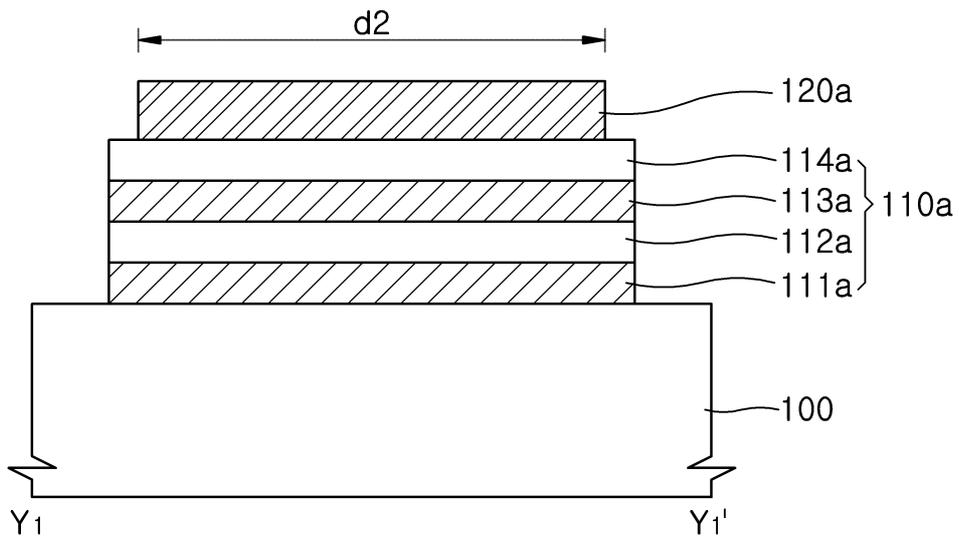
도면6a



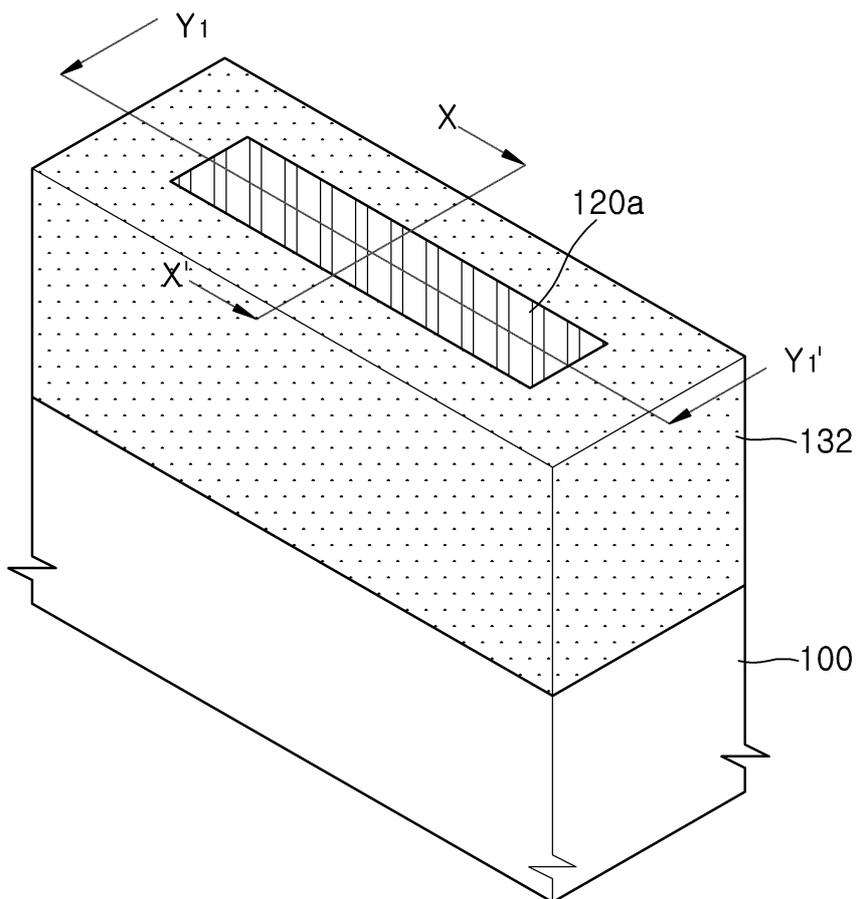
도면6b



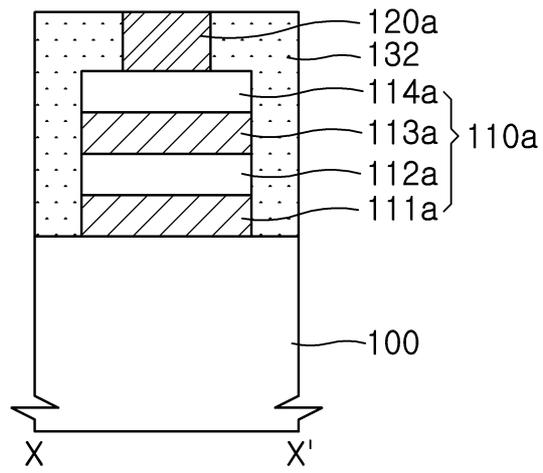
도면6c



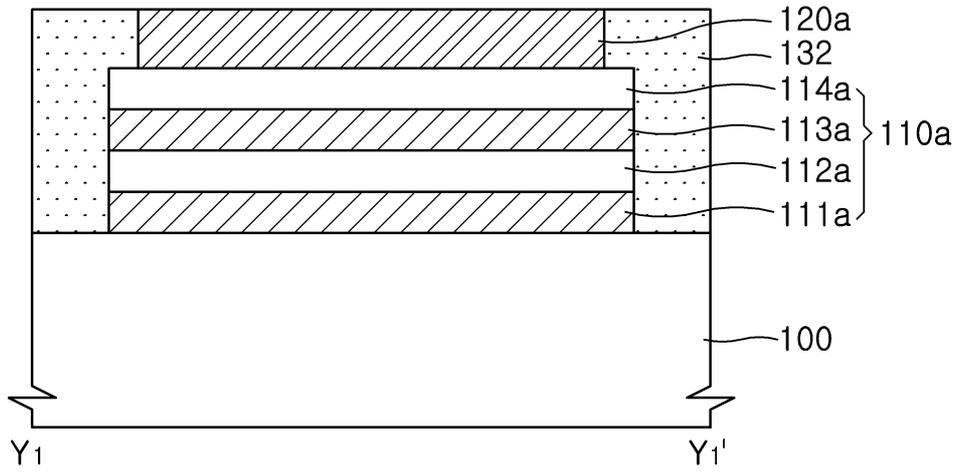
도면7a



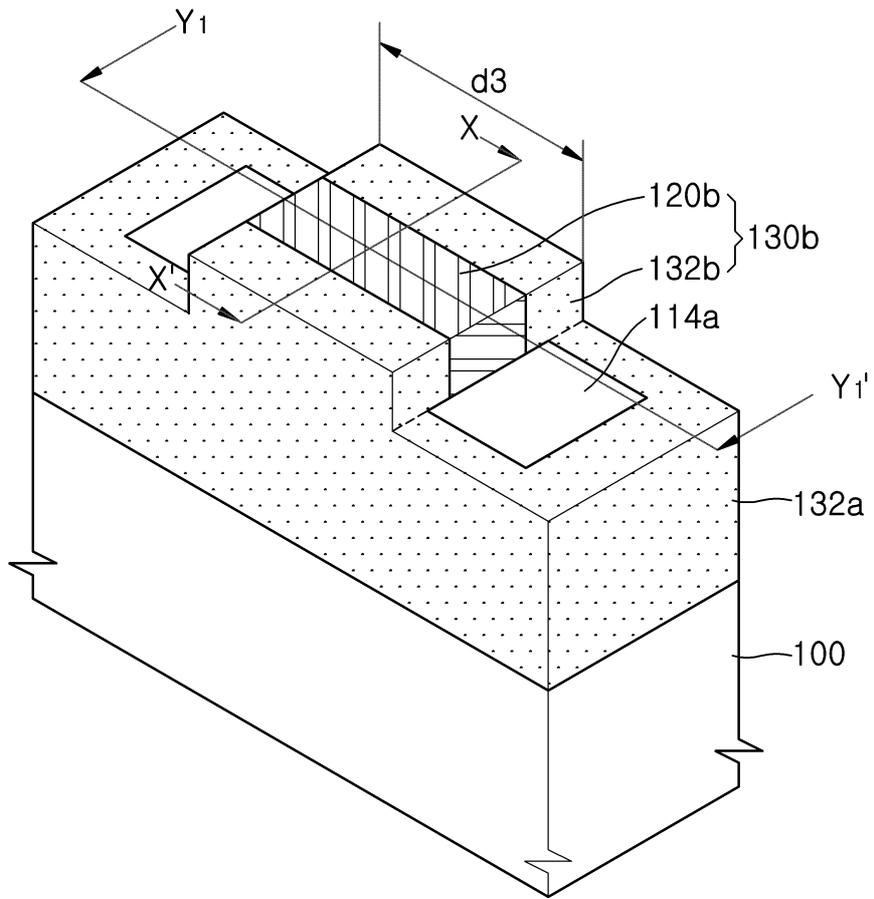
도면7b



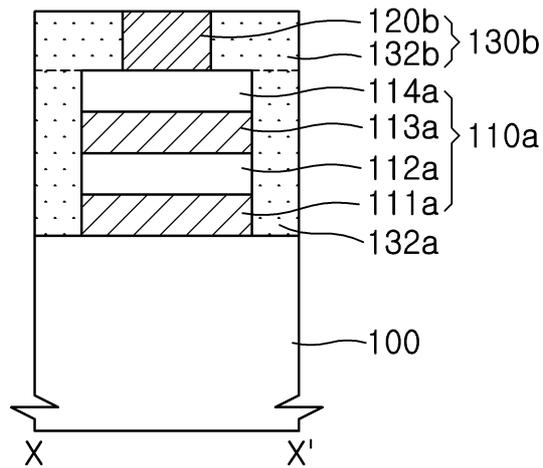
도면7c



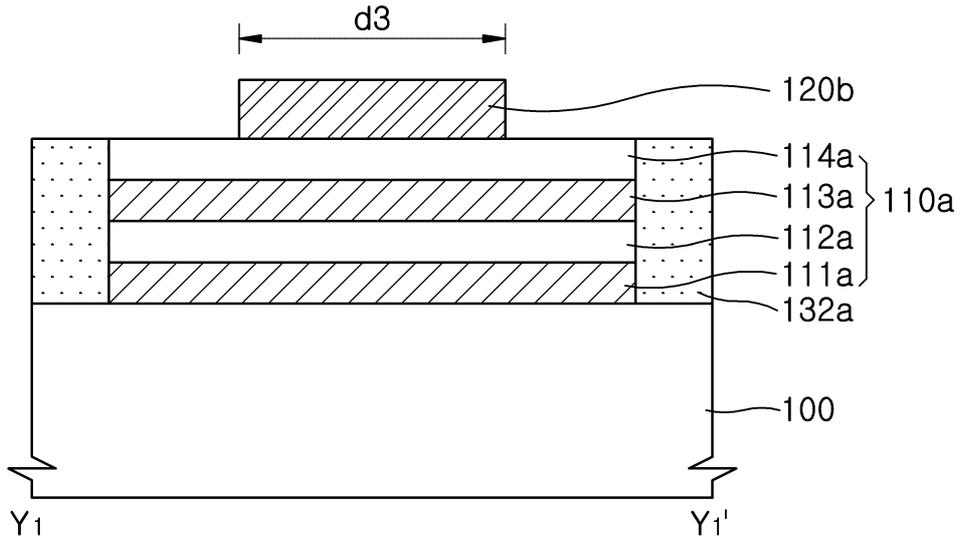
도면8a



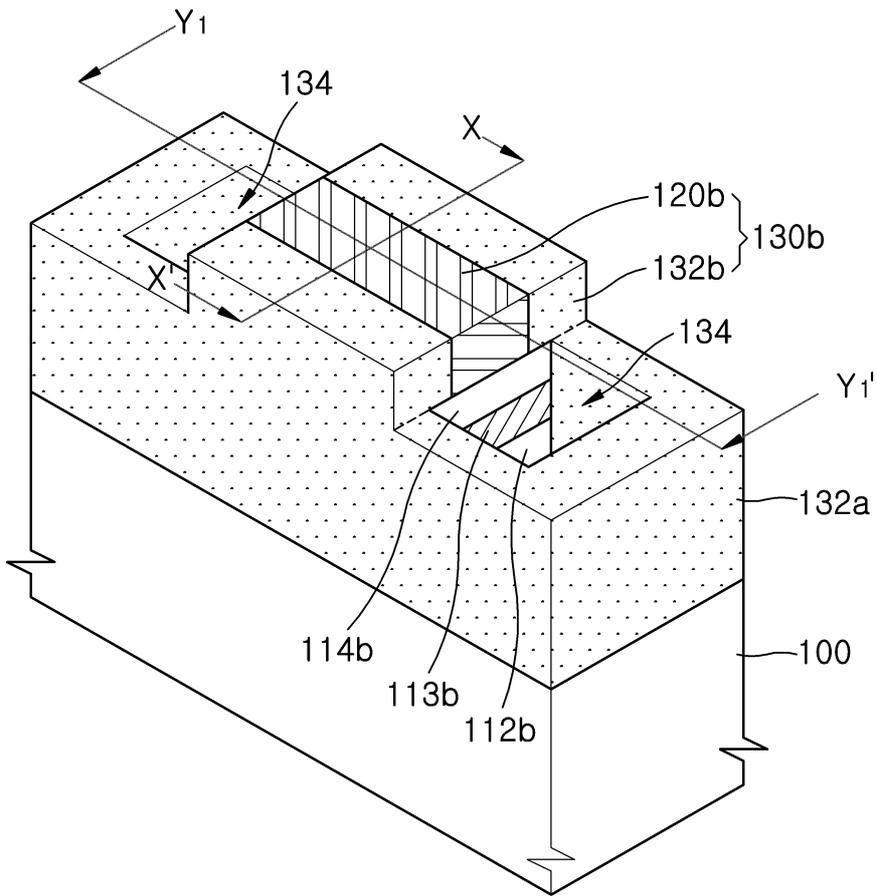
도면8b



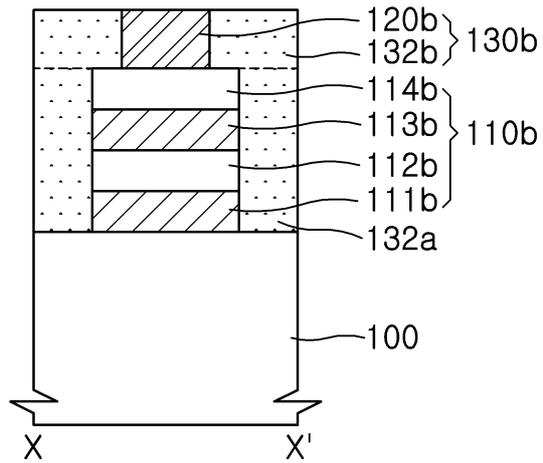
도면8c



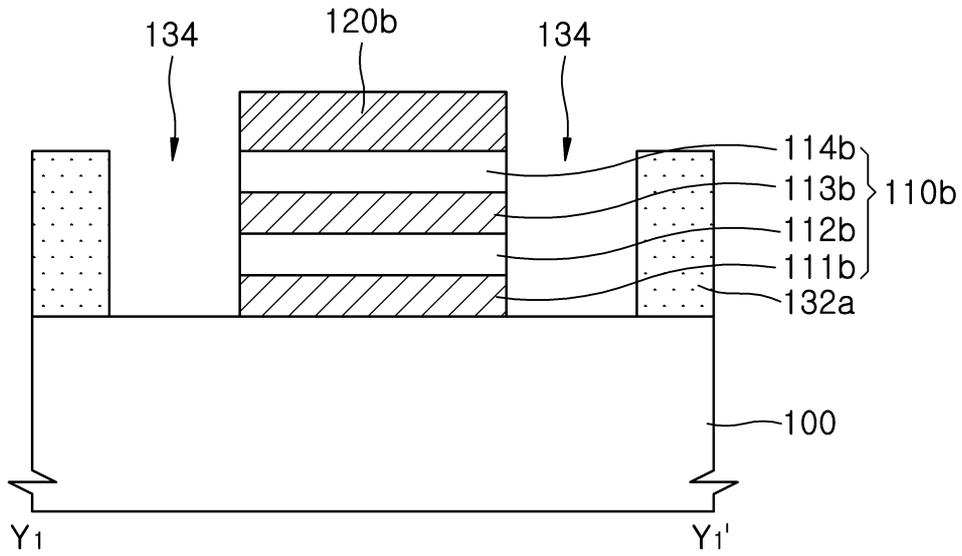
도면9a



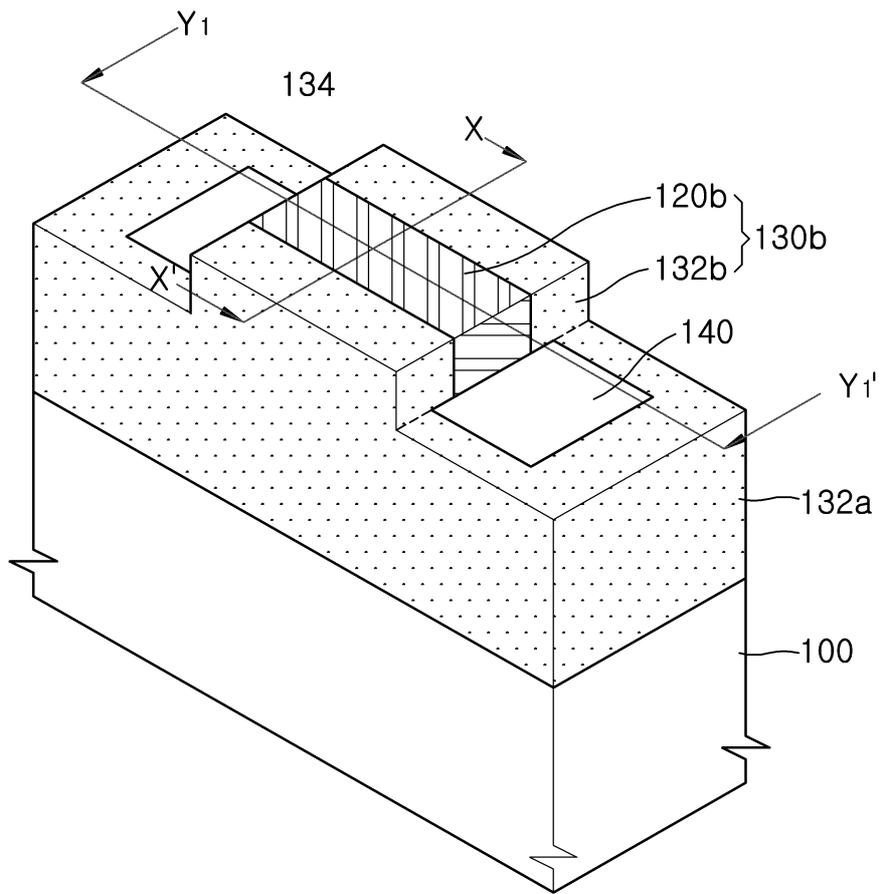
도면9b



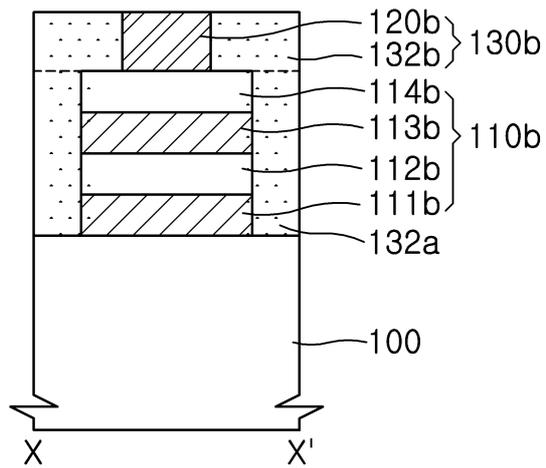
도면9c



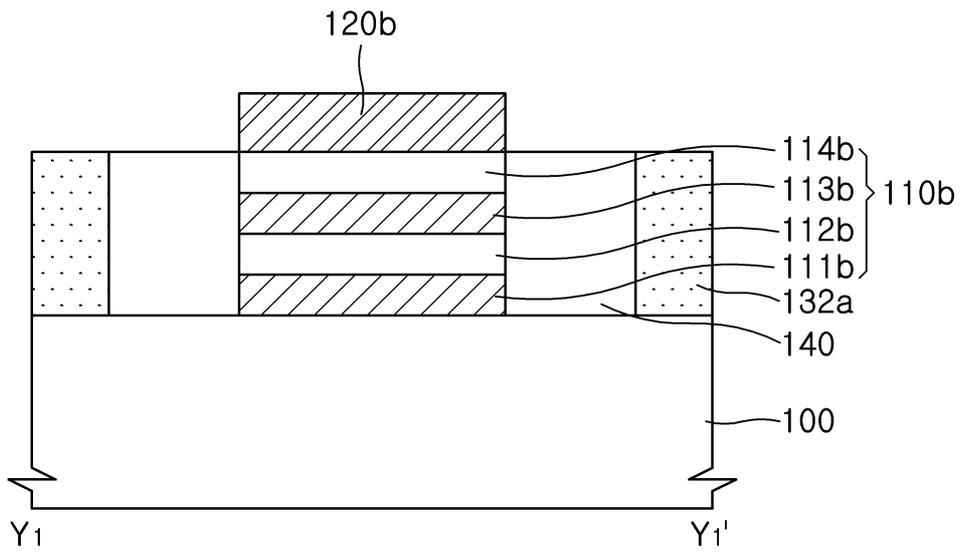
도면10a



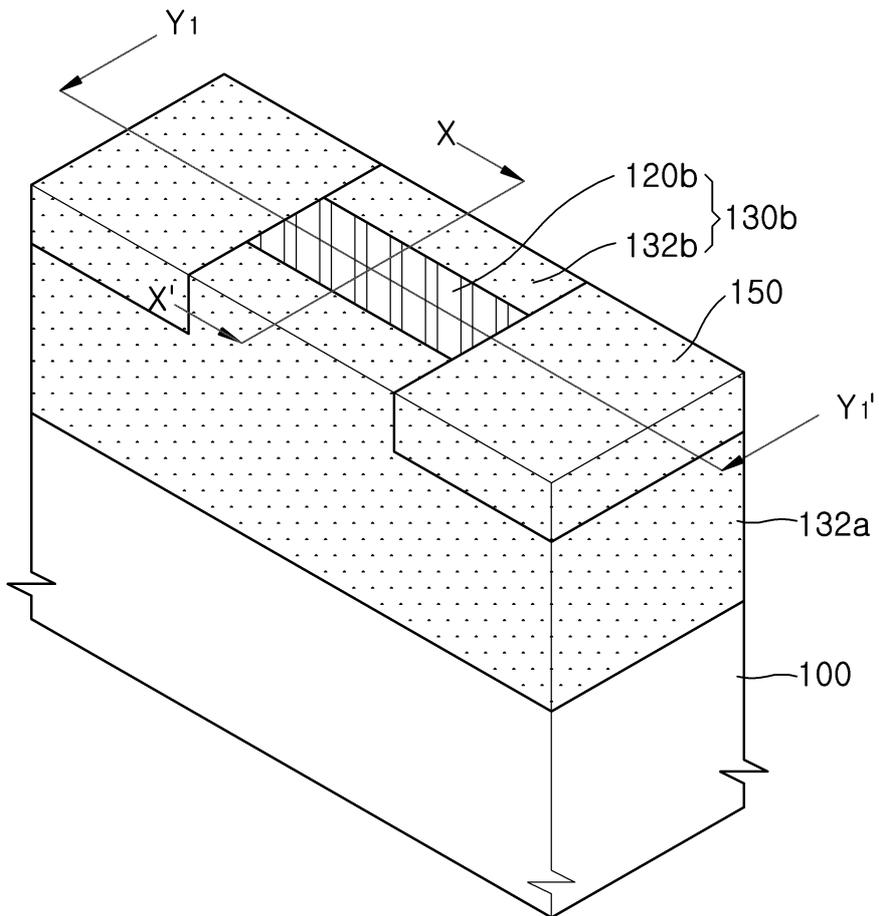
도면10b



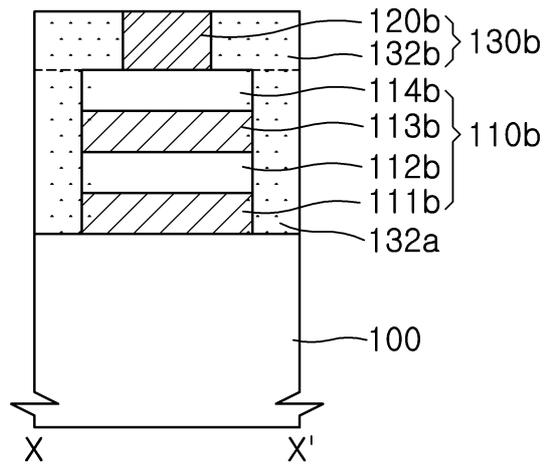
도면10c



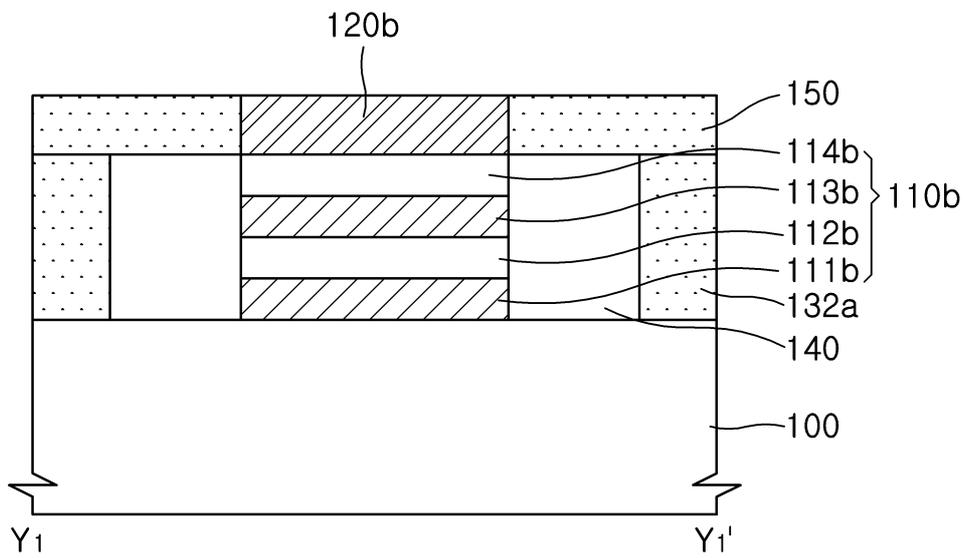
도면11a



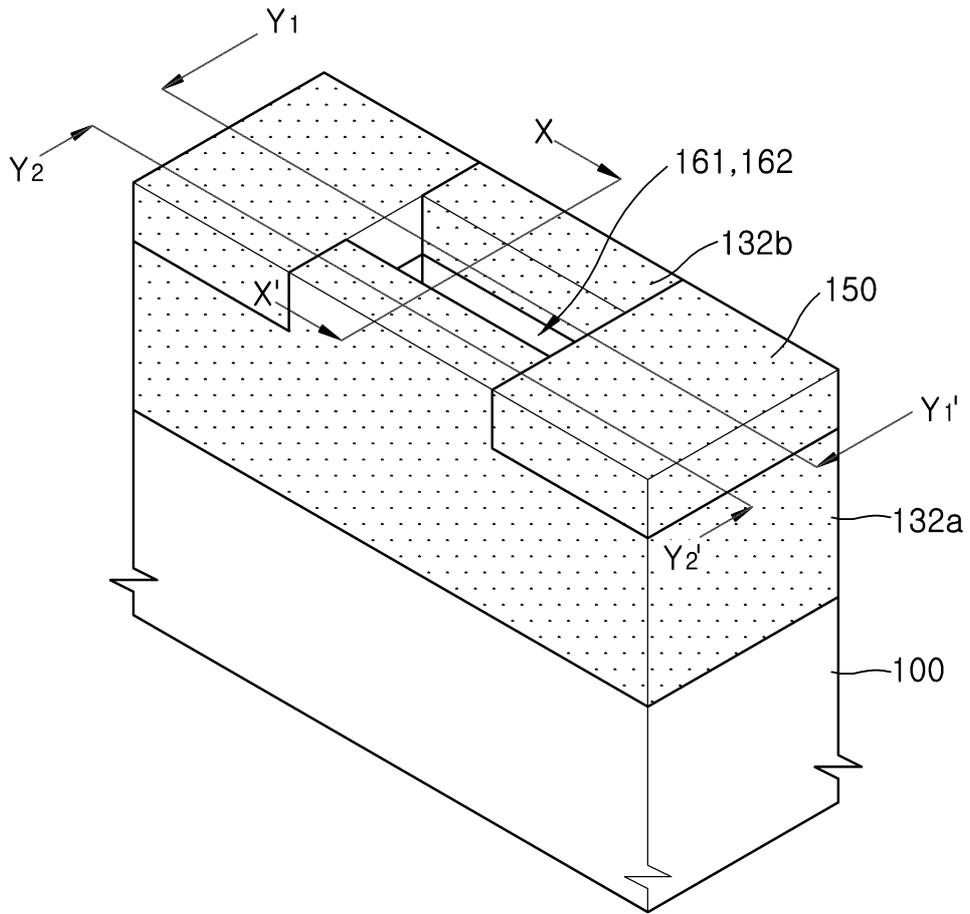
도면11b



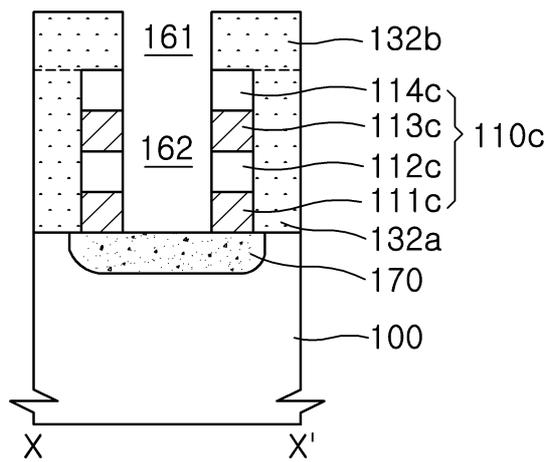
도면11c



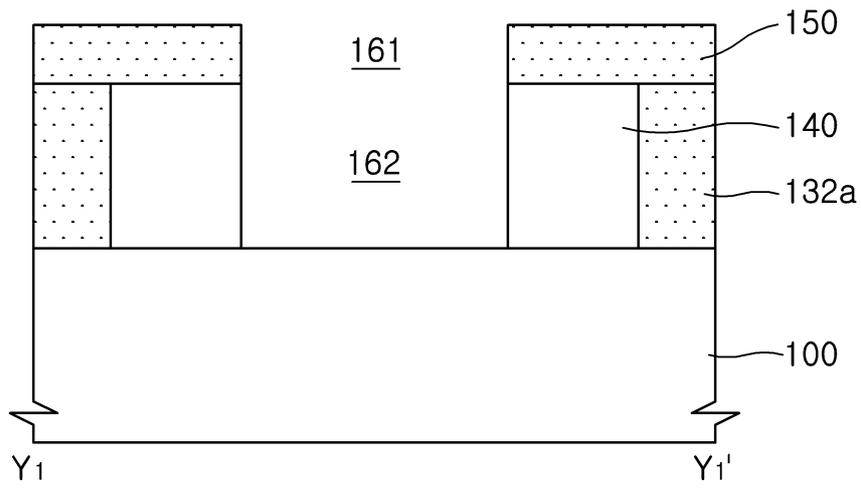
도면12a



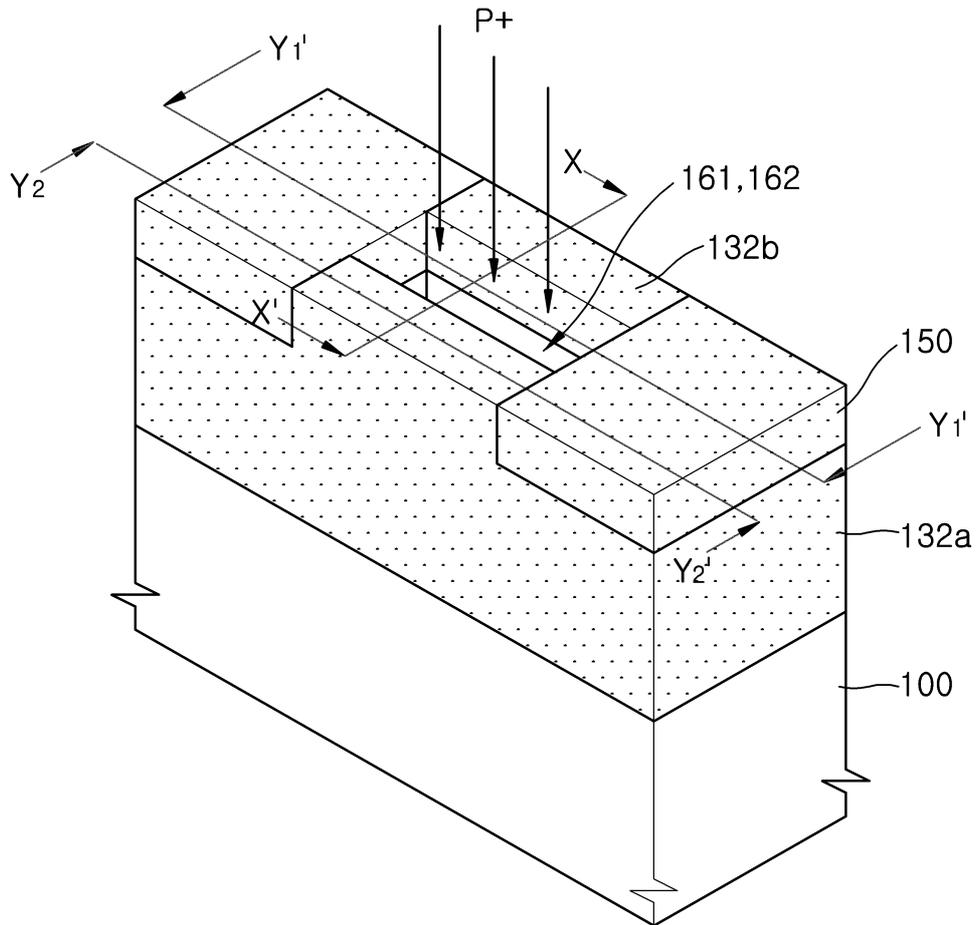
도면12b



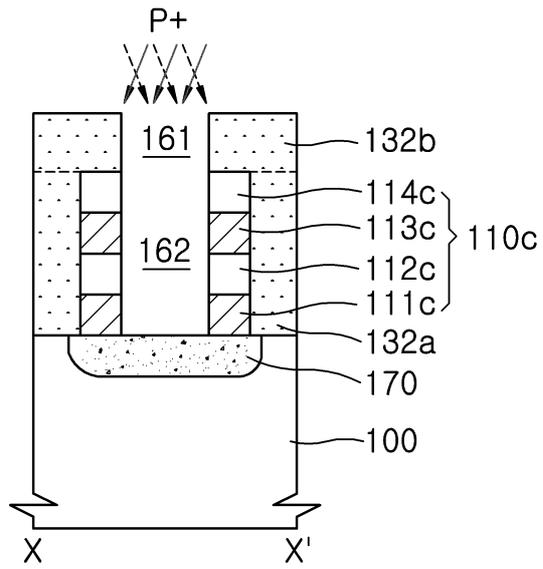
도면12c



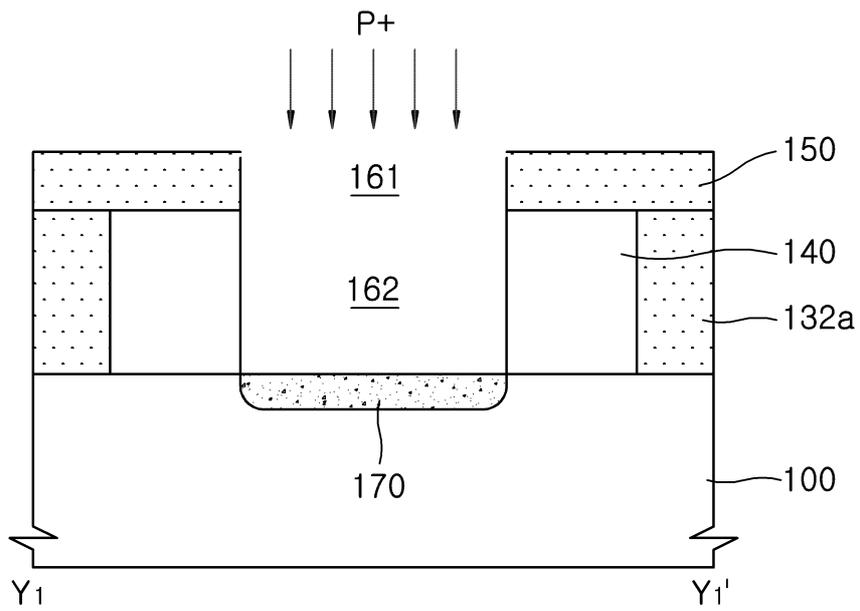
도면13a



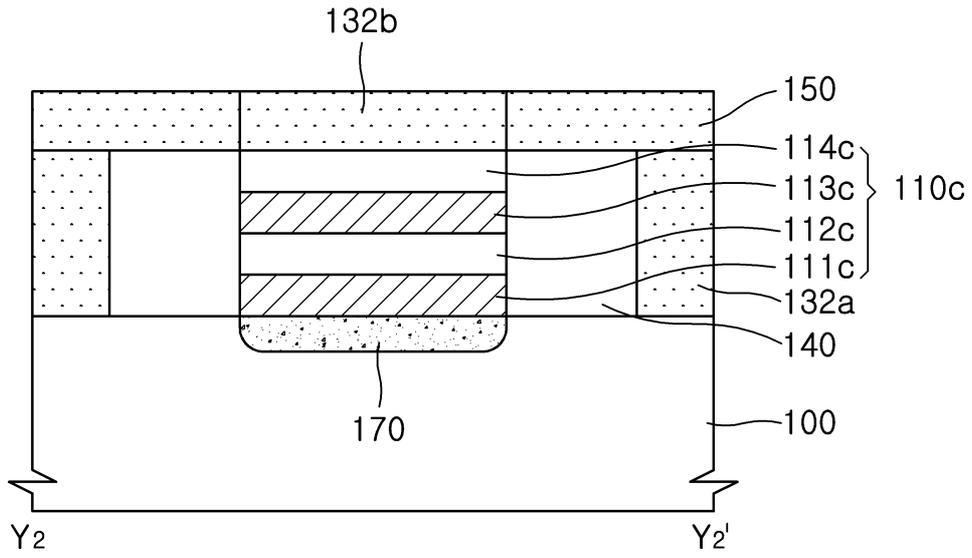
도면13b



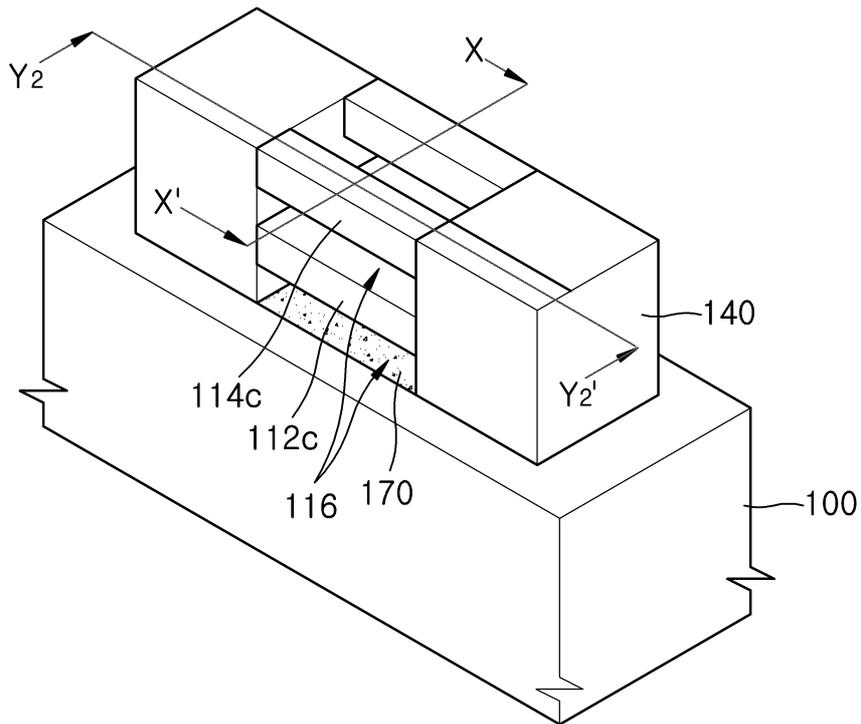
도면13c



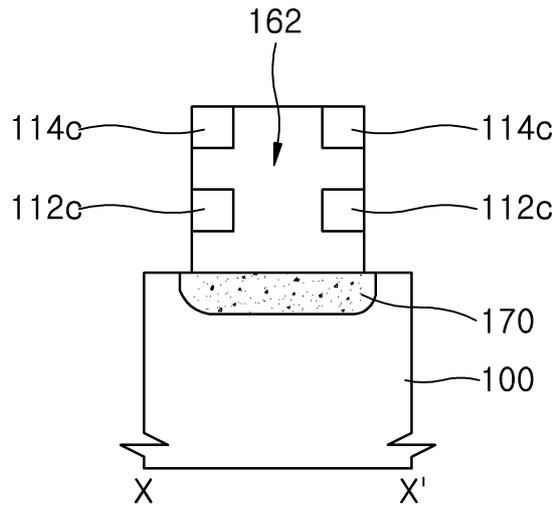
도면13d



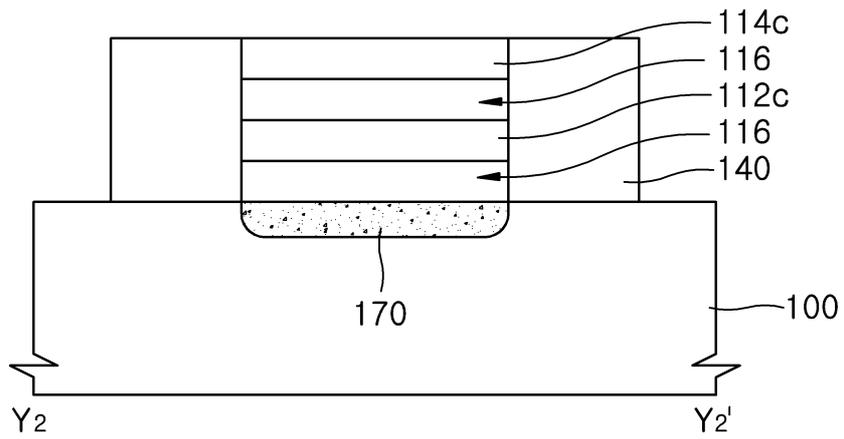
도면14a



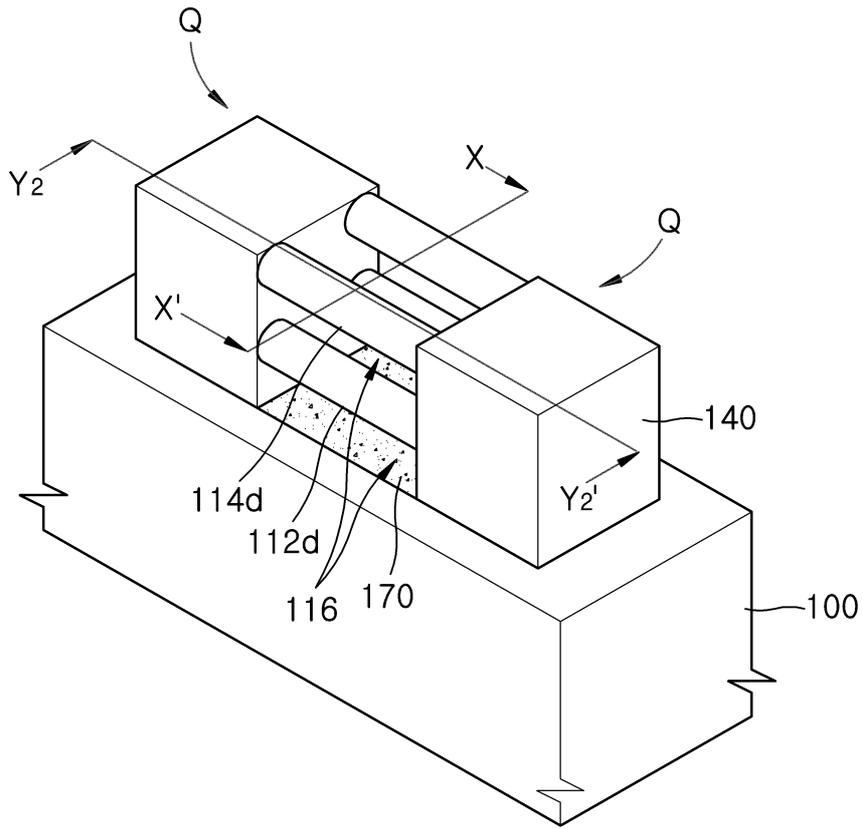
도면14b



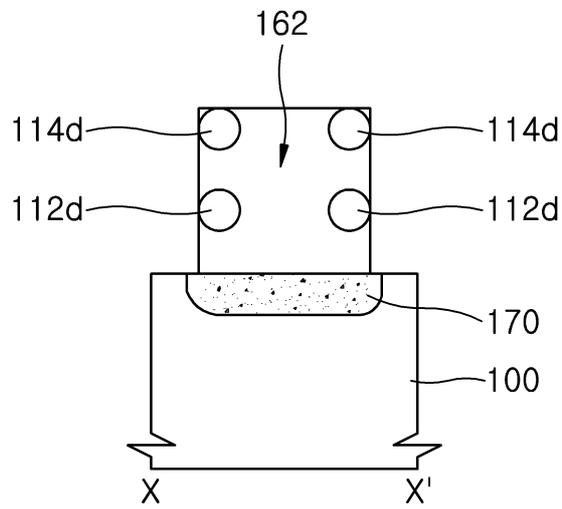
도면14c



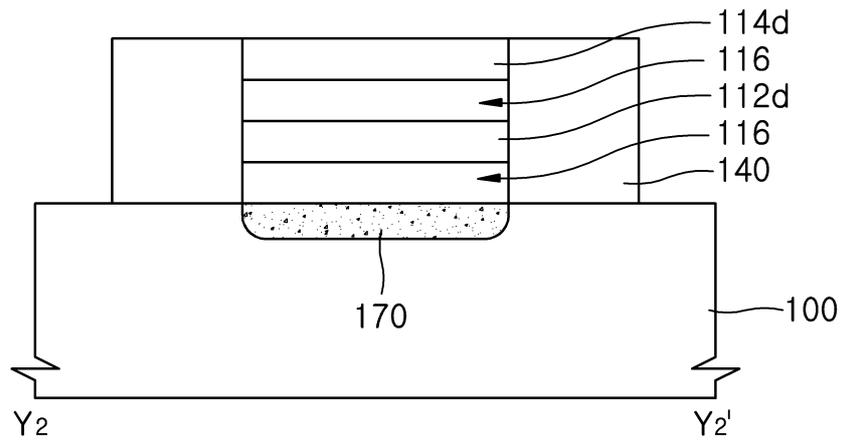
도면15a



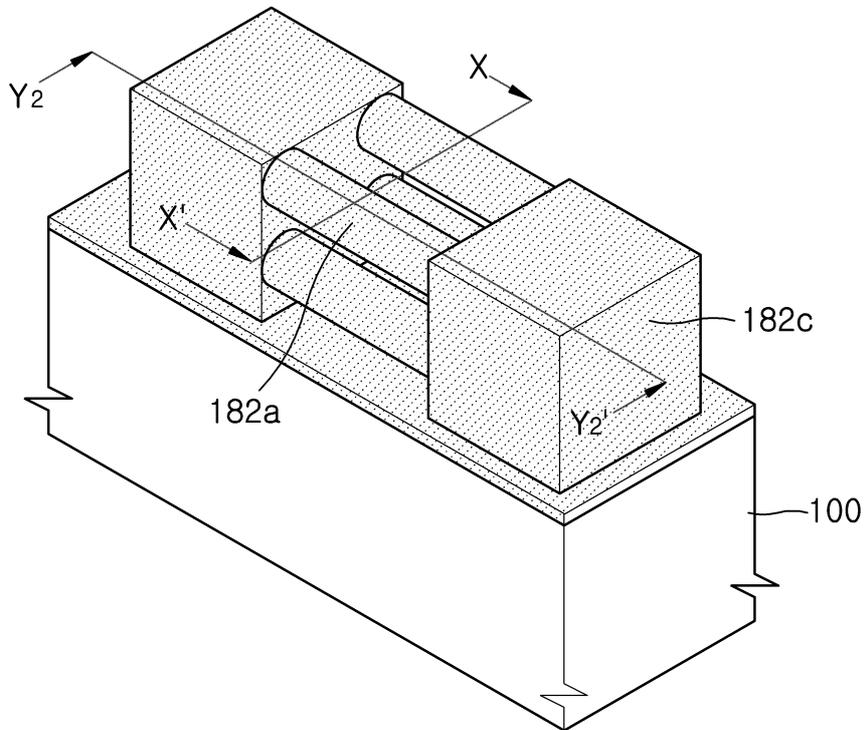
도면15b



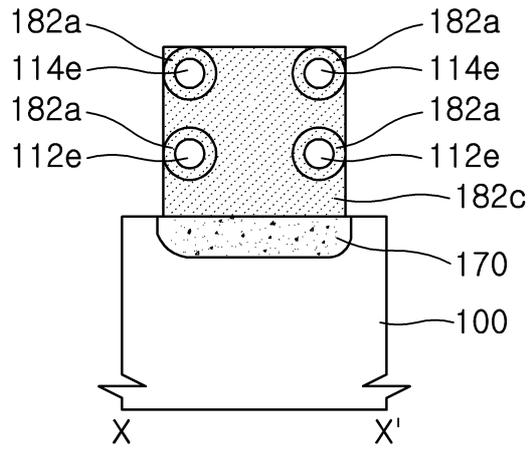
도면15c



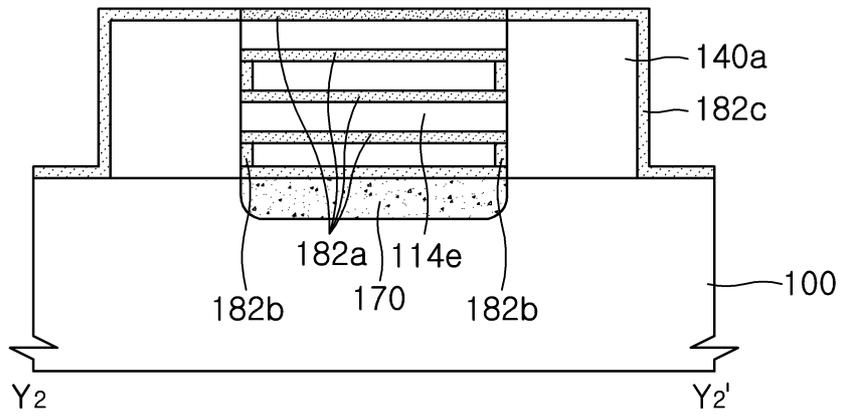
도면16a



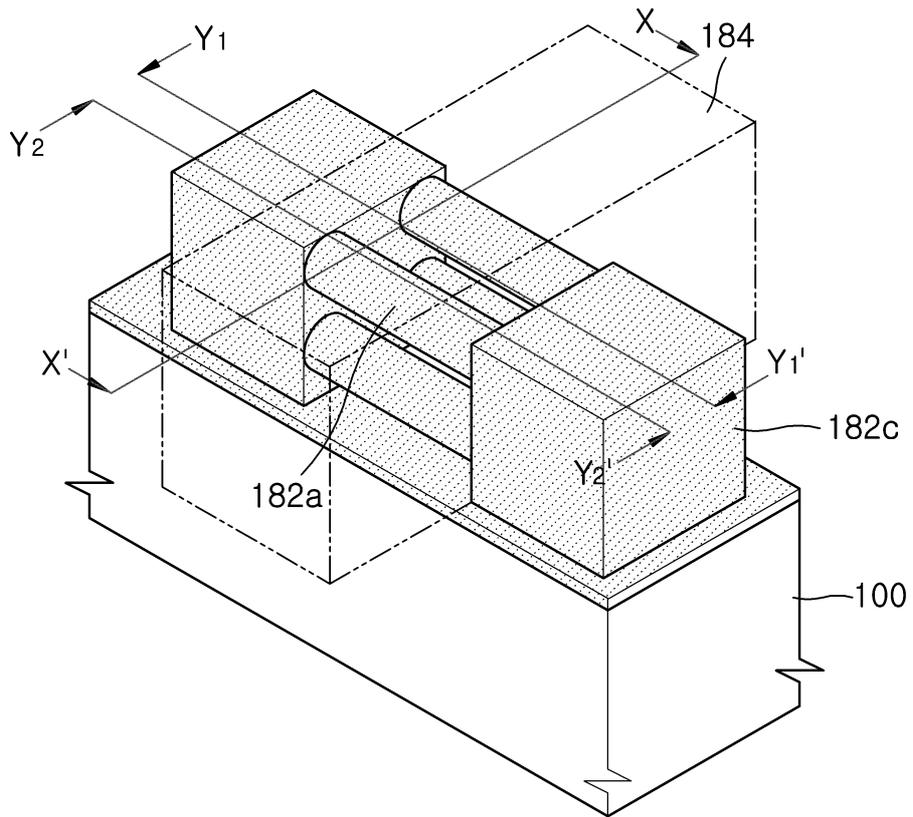
도면16b



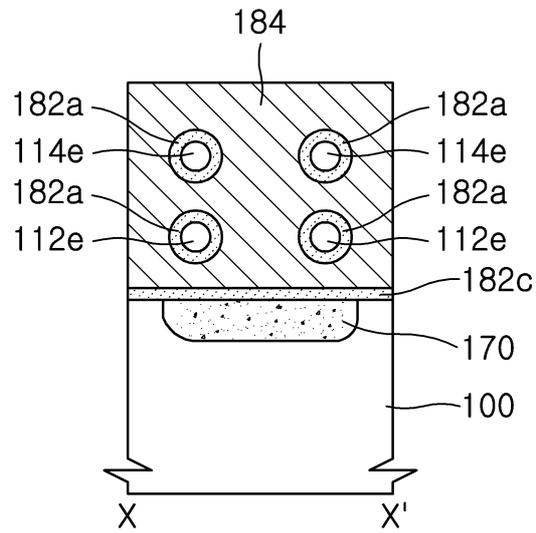
도면16c



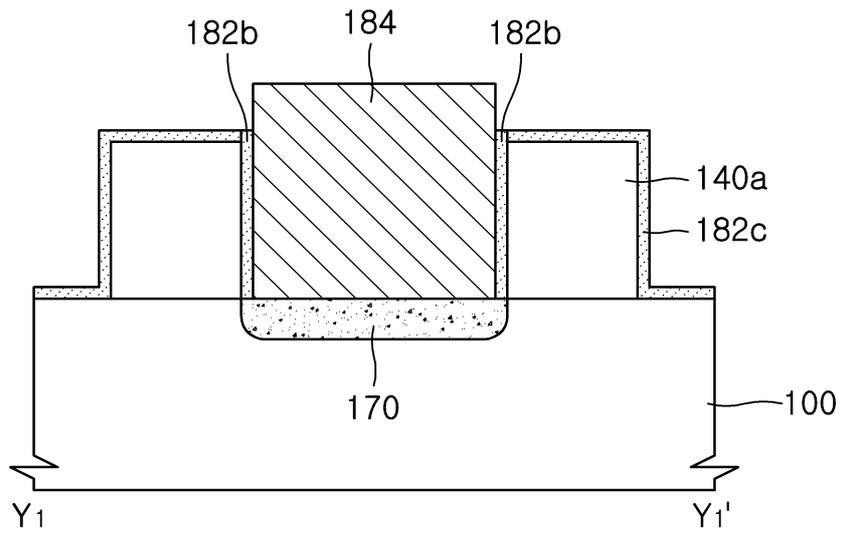
도면17a



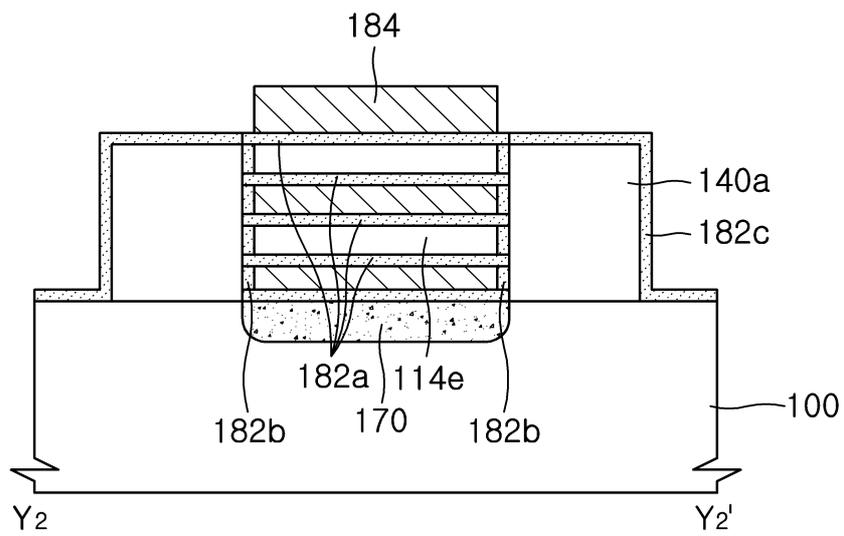
도면17b



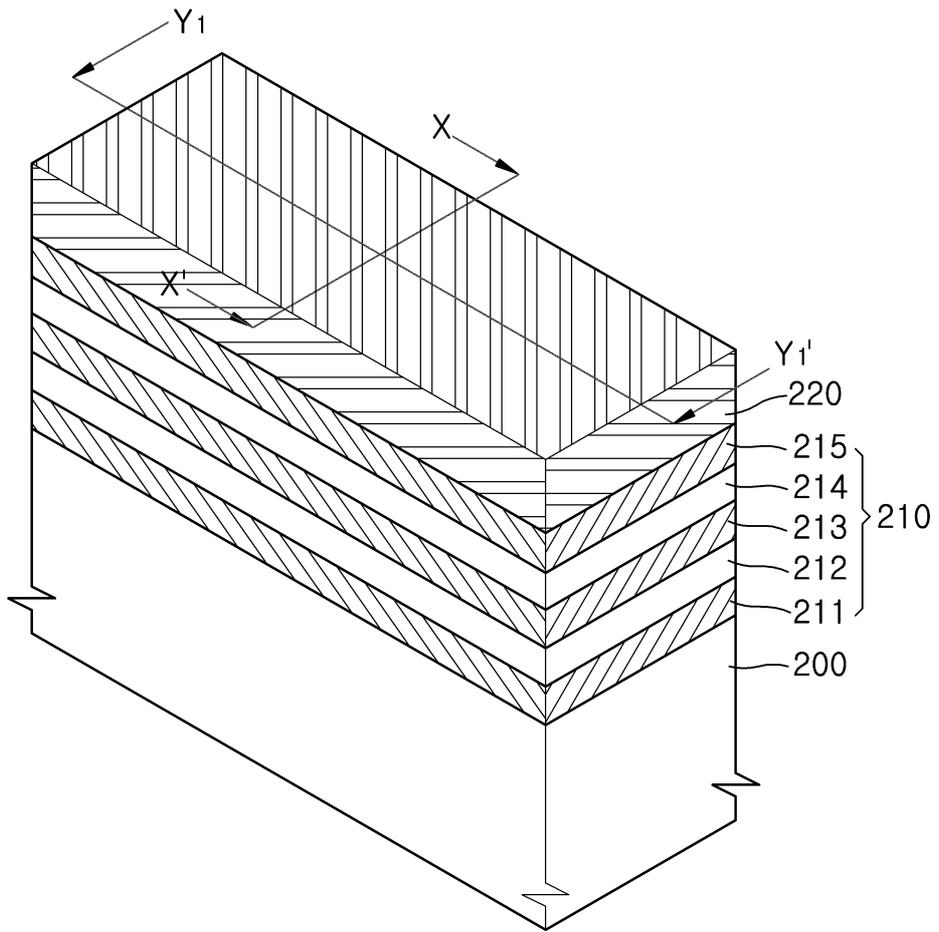
도면17c



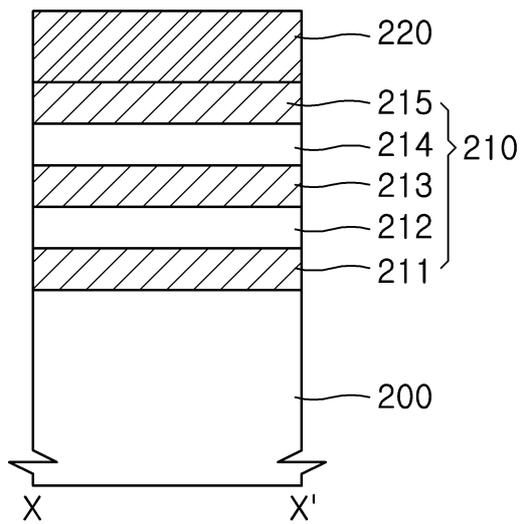
도면17d



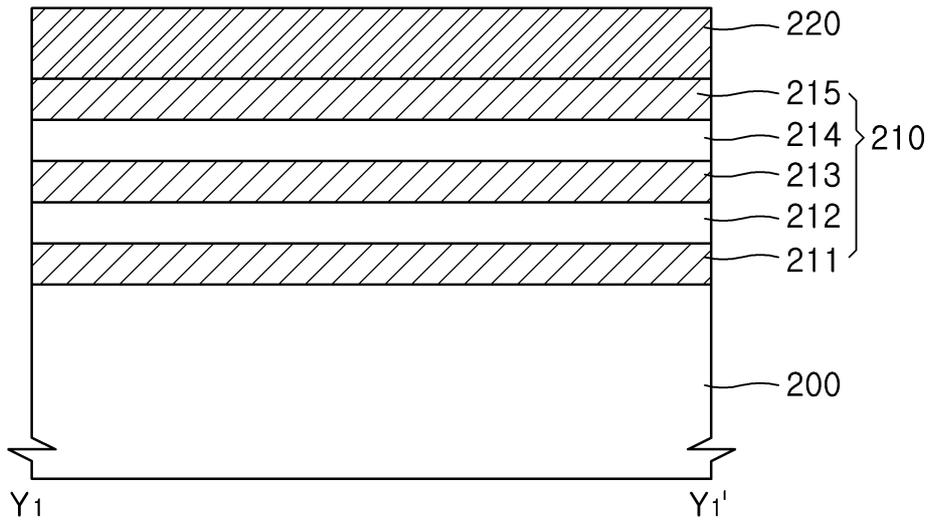
도면18a



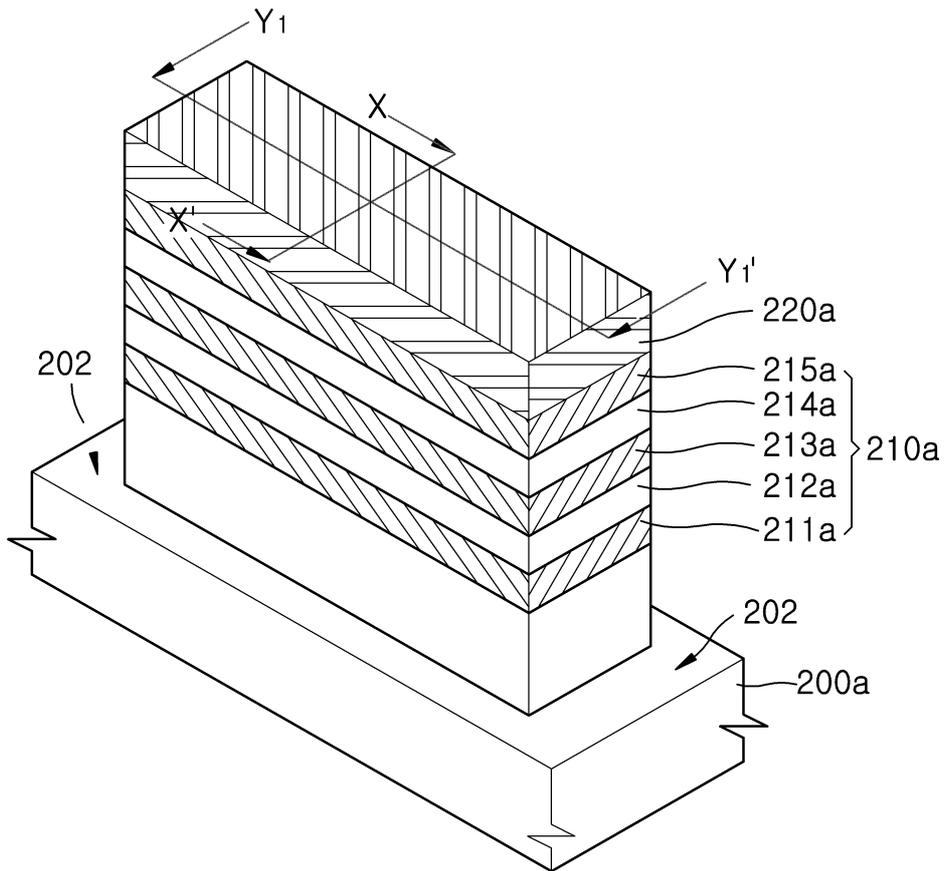
도면18b



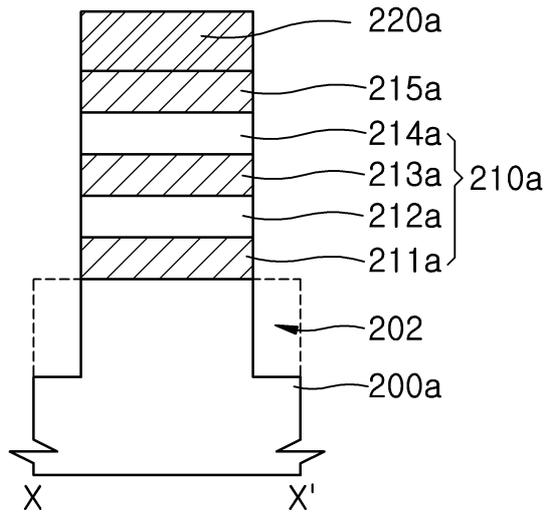
도면18c



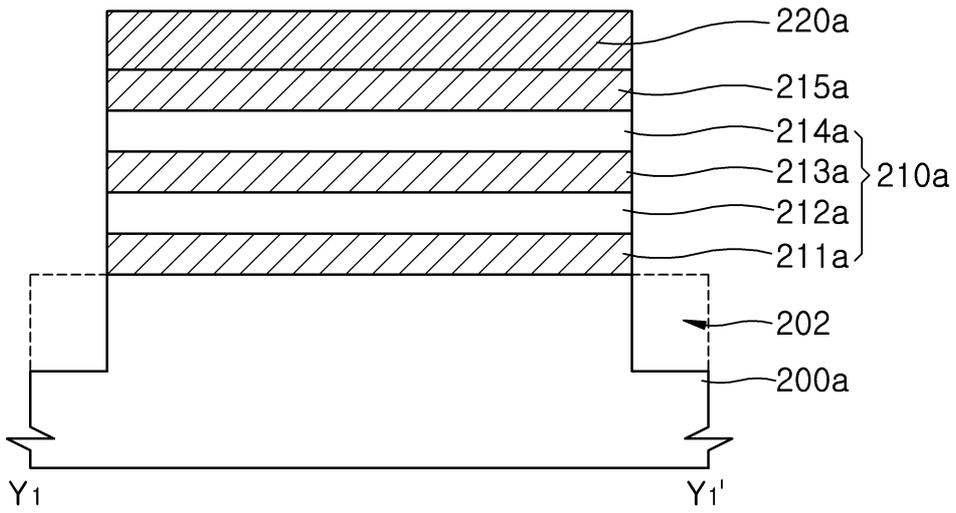
도면19a



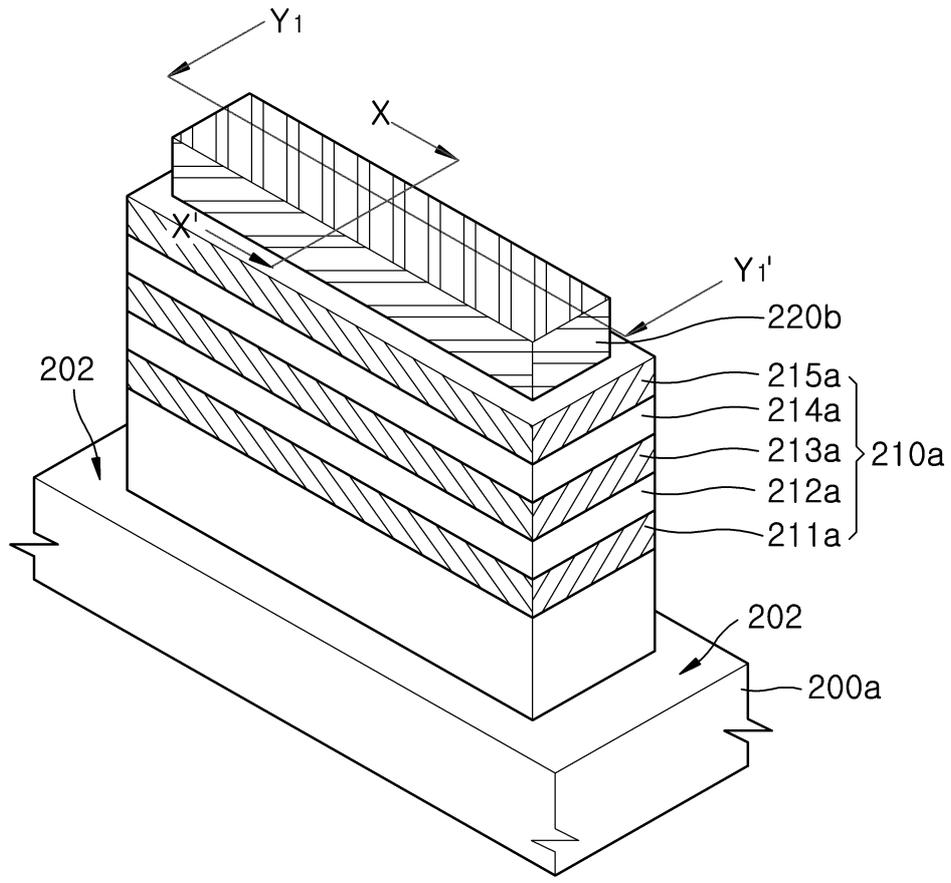
도면19b



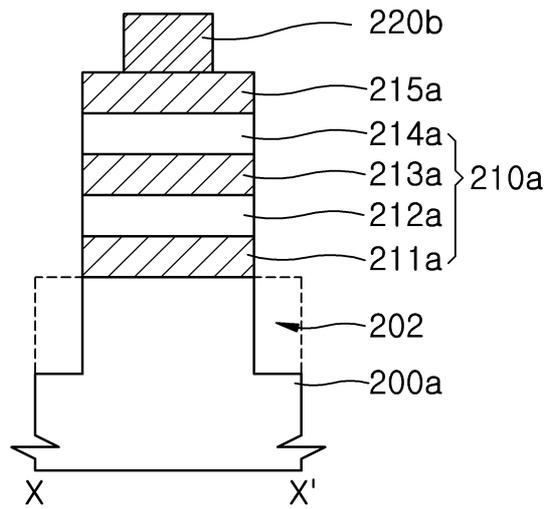
도면19c



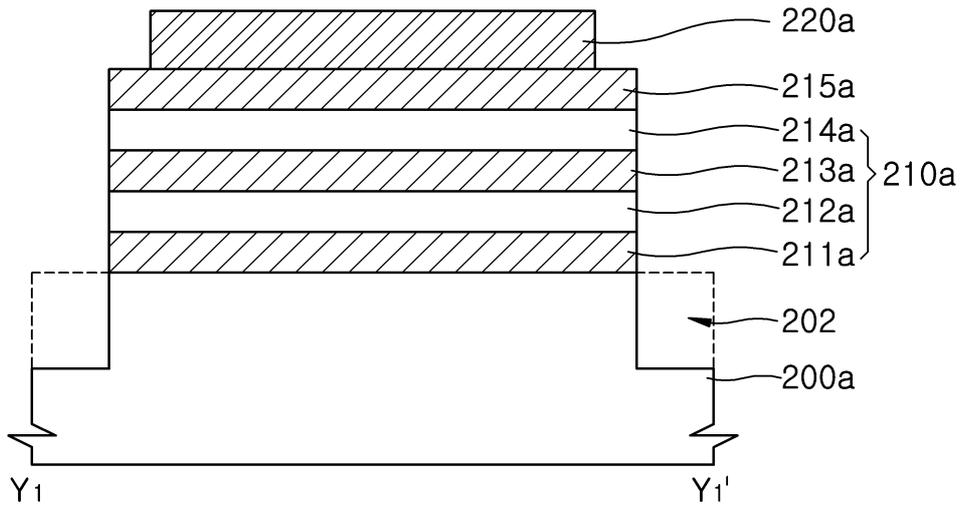
도면20a



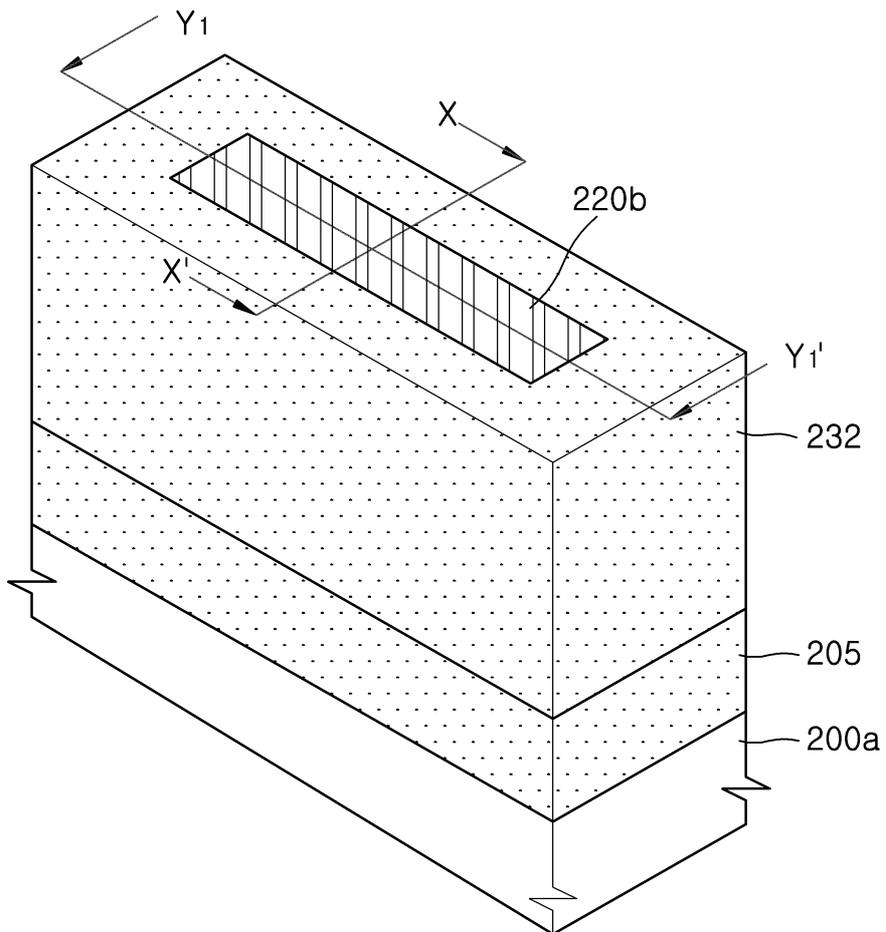
도면20b



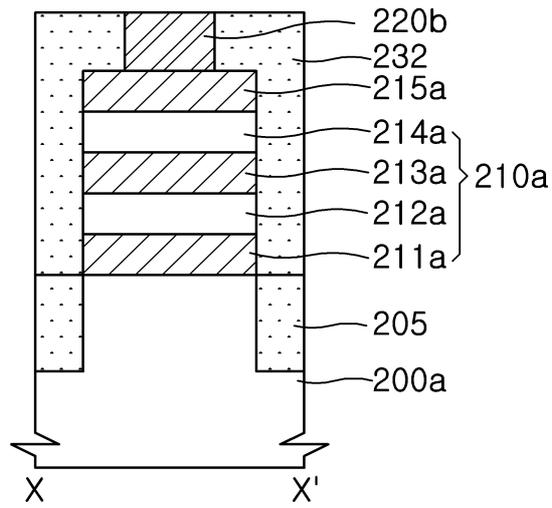
도면20c



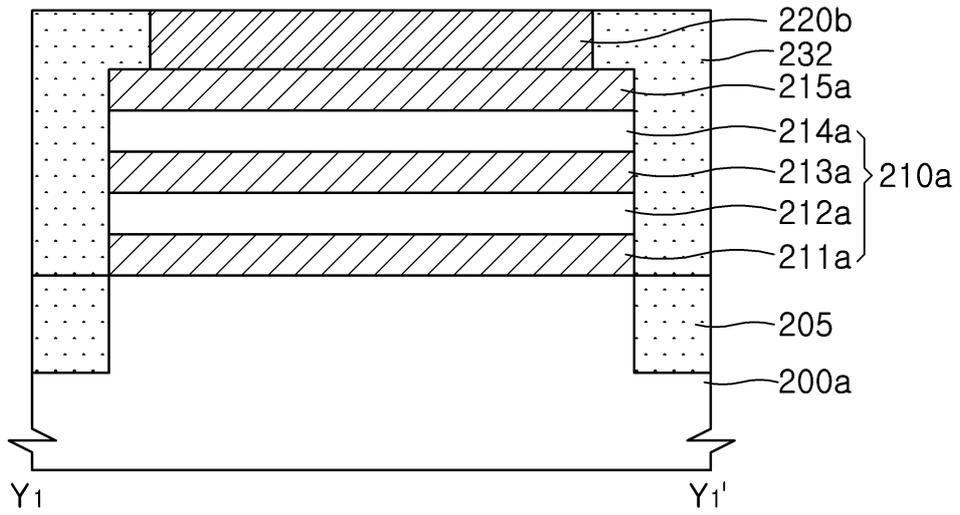
도면21a



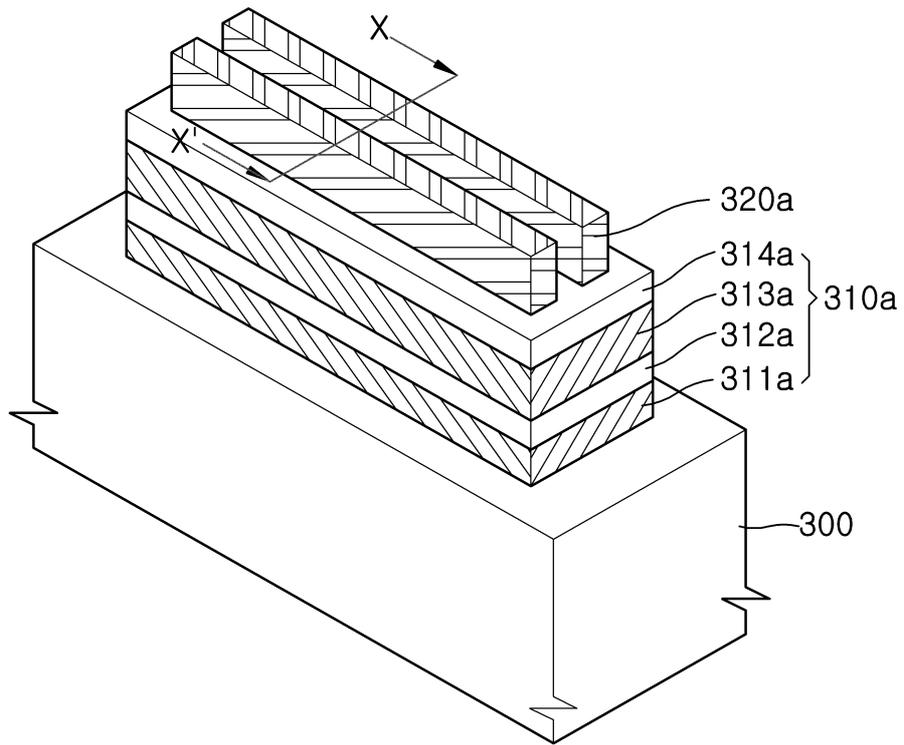
도면21b



도면21c



도면22a



도면22b

