

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6905607号
(P6905607)

(45) 発行日 令和3年7月21日(2021.7.21)

(24) 登録日 令和3年6月29日(2021.6.29)

(51) Int.Cl.		F I			
HO 1 L 25/07	(2006.01)	HO 1 L	25/04	C	
HO 1 L 25/18	(2006.01)	HO 1 L	23/52	E	
HO 1 L 23/52	(2006.01)	HO 1 L	21/60	3 O 1 A	
HO 1 L 21/60	(2006.01)	HO 2 M	7/48	Z	
HO 2 M 7/48	(2007.01)				

請求項の数 16 (全 21 頁)

(21) 出願番号 特願2020-2875 (P2020-2875)
 (22) 出願日 令和2年1月10日(2020.1.10)
 (62) 分割の表示 特願2018-525194 (P2018-525194)
 の分割
 原出願日 平成29年6月28日(2017.6.28)
 (65) 公開番号 特開2020-65078 (P2020-65078A)
 (43) 公開日 令和2年4月23日(2020.4.23)
 審査請求日 令和2年1月10日(2020.1.10)
 (31) 優先権主張番号 特願2016-131539 (P2016-131539)
 (32) 優先日 平成28年7月1日(2016.7.1)
 (33) 優先権主張国・地域又は機関
 日本国(JP)

(73) 特許権者 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2 1 番地
 (74) 代理人 110001933
 特許業務法人 佐野特許事務所
 (72) 発明者 安東 基浩
 京都市右京区西院溝崎町2 1 番地 ローム
 株式会社内
 審査官 正山 旭

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

入力信号に基づいてスイッチ制御信号を生成する制御部を有する第1半導体チップと、
 前記スイッチ制御信号に基づいた駆動信号でスイッチング素子の駆動を行う駆動部を有する第2半導体チップと、

前記スイッチ制御信号と前記駆動信号との間を電氣的に絶縁する第3半導体チップと、
 を一つのパッケージに封止して成る半導体装置であり、

前記第1半導体チップと前記第3半導体チップとの間、前記第2半導体チップと前記第3半導体チップとの間は、それぞれワイヤにより接続され、

前記第1半導体チップと前記第3半導体チップとは、同一の第1アイランドに配置され

10

、
 前記スイッチング素子は、第1電源端子と出力端子との間に接続される上側スイッチング素子であり、

前記第2半導体チップは、前記上側スイッチング素子を駆動し、

当該半導体装置は、前記スイッチ制御信号に基づいた駆動信号で、第2電源端子と前記出力端子との間に接続される下側スイッチング素子の駆動を行う駆動部を有する第4半導体チップを有し、

前記第4半導体チップと前記第3半導体チップとの間は、ワイヤにより接続され、
 前記第3半導体チップは、平面視で、前記第2半導体チップと前記第4半導体チップとによって挟まれる位置に配置される、半導体装置。

20

【請求項 2】

前記スイッチ制御信号は、パルス信号である、請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 半導体チップは、前記第 2 半導体チップ側で発生した異常に基づいたパルス信号を生成して出力する送信部を有し、

前記第 3 半導体チップは、前記第 2 半導体チップで得られる前記パルス信号を電氣的に絶縁して前記第 1 半導体チップに伝達する絶縁部を有する、請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

前記第 1 半導体チップは、前記絶縁部からのパルス出力に基づいた信号を生成して装置の外部へ送信する受信部を有する、請求項 3 に記載の半導体装置。

10

【請求項 5】

前記第 3 半導体チップは、半導体層を有する絶縁基板の表面または前記絶縁基板中に形成された第 1 のコイルと、第 1 のコイルと誘電体を挟んで対向するように形成された第 2 のコイルと、を有する、請求項 1 から請求項 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

第 1 のコイルと第 2 のコイルとは、平面視で重なるように配置されている、請求項 5 に記載の半導体装置。

【請求項 7】

前記スイッチング素子は、Si 基板を用いた IGBT または MOSFET、または、SiC 基板またはワイドバンドギャップ型の半導体基板を用いた IGBT または MOSFET である、請求項 1 から請求項 6 のいずれか 1 項に記載の半導体装置。

20

【請求項 8】

前記第 1 アイランドと一体化される第 1 リード端子を有する、請求項 1 から請求項 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】

前記第 2 半導体チップが配置される第 2 アイランドと、
前記第 2 アイランドと一体化される第 2 リード端子と、
前記第 1 半導体チップとワイヤによって接続されるリード端子の組と、
を有し、

30

前記第 2 リード端子は、前記組における前記リード端子間の各間隔に比して広い間隔にて、前記組と隔てて配置される、請求項 1 から請求項 8 のいずれか 1 項に記載の半導体装置。

【請求項 10】

請求項 1 から請求項 9 のいずれか 1 項に記載の半導体装置と、前記半導体装置に前記入力信号を送信する制御装置と、前記半導体装置と前記制御装置が実装される基板と、を備えるインバータシステム。

【請求項 11】

請求項 10 に記載のインバータシステムと、前記インバータシステムによって駆動されるモータと、を備える機器。

40

【請求項 12】

第 1 電源端子と第 2 電源端子との間に直列接続されてブリッジ回路を構成する上側スイッチング素子および下側スイッチング素子を駆動して電力変換を行う電力変換装置であって、

外部から入力される制御信号に基づいてスイッチ制御信号を生成する制御部を有する第 1 半導体チップと、

前記スイッチ制御信号に基づいた駆動信号で前記上側スイッチング素子の駆動を行う駆動部を有する第 2 半導体チップと、

前記スイッチ制御信号に基づいた駆動信号で前記下側スイッチング素子の駆動を行う駆動部を有する第 4 半導体チップと、

50

前記スイッチ制御信号と前記駆動信号との間を電氣的に絶縁する第3半導体チップと、
を一つのパッケージに封止して成り、

前記第1半導体チップと前記第3半導体チップとの間、前記第3半導体チップと前記第2半導体チップとの間、前記第3半導体チップと前記第4半導体チップとの間は、それぞれワイヤにより接続される、電力変換装置。

【請求項13】

前記第4半導体チップは、前記第4半導体チップ側で発生した異常に基づいたパルス信号を生成して出力する送信部を有し、

前記第3半導体チップは、前記第4半導体チップで得られる前記パルス信号を電氣的に絶縁して前記第1半導体チップに伝達する絶縁部を有する、請求項12に記載の電力変換装置。

10

【請求項14】

前記第3半導体チップは、平面視で、前記第2半導体チップと前記第4半導体チップの間の領域に配置され、

前記第1半導体チップと前記第3半導体チップとは、同一の第1アイランドに配置される、請求項12または請求項13に記載の電力変換装置。

【請求項15】

前記第3半導体チップは、半導体層を有する絶縁基板の表面または前記絶縁基板中に形成された第1のコイルと、第1のコイルと誘電体を挟んで対向するように前記誘電体の表面または前記誘電体中に形成された第2のコイルと、を有する、請求項12から請求項14のいずれか1項に記載の電力変換装置。

20

【請求項16】

前記第2半導体チップおよび前記第4半導体チップは、共通の第2アイランド上に搭載される、請求項12から請求項15のいずれか1項に記載の電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

従来より、直流電力を交流電力へ変換する電力変換装置であるインバータが、様々な機器に搭載されるモータの駆動や、電源装置（パワーコンディショナ等）に用いられている。

30

【0003】

また、従来、IGBT（Insulated Gate Bipolar Transistor）やMOSFET（metal-oxide-semiconductor field-effect transistor）などのパワーデバイスと、パワーデバイスを駆動するドライバICとからなるインバータを1つのパッケージに収めて構成したIPM（Intelligent Power Module）が登場している。高電圧を用いる電力変換装置では、感電を防止するために入力部の信号や高電圧部の主回路を絶縁する必要がある場合も多い。

40

【0004】

図9は、IPMをプリント基板に実装することにより構成される従来のインバータシステムの一例の概略構成を示す図である。図9に示すインバータシステム110は、MCU（Micro Control Unit）101と、フォトカプラ102A～102Fと、フォトカプラ103と、IPM104と、プリント基板（PCB）105と、を備えている。

【0005】

MCU101と、フォトカプラ102A～102Fと、フォトカプラ103と、IPM104は、プリント基板105に半田等を用いて実装される。

【0006】

MCU101は、比較的的高速応答であるフォトカプラ102A～102Fの各々に制

50

御信号 S c i 1 ~ S c i 6 を送信する。フォトカプラ 1 0 2 A ~ 1 0 2 F は、入力された制御信号 S c i 6 ~ S c i 6 を各々電氣的に絶縁をしつつ I P M 1 0 4 側へ制御信号 S c o 1 ~ S c o 6 として伝達させる。

【 0 0 0 7 】

I P M 1 0 4 は、3相 D C ブラシレスモータ（不図示）を駆動するモータドライバとして機能し、各々 I G B T 等から成る上側スイッチング素子と下側スイッチング素子とで構成されるブリッジ構造（不図示）を3つ有している。I P M 1 0 4 においては、入力された制御信号 S c o 1 ~ S c o 6 に基づいてドライバ I C が各上側スイッチング素子および各下側スイッチング素子を駆動する。これにより、I P C 1 0 4 はインバータとして動作する。

10

【 0 0 0 8 】

また、I P M 1 0 4 からはフォールト信号 F t i が比較的到低速応答であるフォトカプラ 1 0 3 に送信される。フォールト信号 F t i は、過電流や過熱状態などの異常が発生したときに送信される。フォトカプラ 1 0 3 は、入力されたフォールト信号 F t i を電氣的に絶縁しつつ M C U 1 0 1 側へフォールト信号 F t o として伝達する。これにより、M C U 1 0 1 に異常状態を通知できる。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 9 】

【 特許文献 1 】 特開 2 0 0 1 - 1 5 6 2 5 2 号公報

20

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

このように、図 9 で示した従来のインバータシステム 1 1 0 の構成では、低電圧側である M C U 1 0 1 と高電圧側である I P M 1 0 4 の間にフォトカプラ 1 0 2 A ~ 1 0 2 F、および 1 0 3 を配置することにより制御信号およびフォールト信号の信号絶縁を図り、M C U 1 0 1 の誤動作または故障を抑制している。しかしながら、このようなインバータシステム 1 1 0 の構成では、以下の理由により基板実装面積の増大によるプリント基板 1 0 5 の大型化を招き、システムの小型化を阻害している。

【 0 0 1 1 】

30

上記問題点の理由の一つとしては、フォトカプラは絶縁のために端子沿面距離を確保する必要があり、フォトカプラのパッケージサイズが大きくなることである。また、フォトカプラを信号数分だけ搭載する必要があることである。インバータシステム 1 1 0 の例では 7 個のフォトカプラが必要である。また、フォトカプラには電源用に外付けコンデンサが必要であることである。また、プリント基板 1 0 5 における配線パターン間の絶縁距離を確保する必要があることである。

【 0 0 1 2 】

なお、特許文献 1 には、I P M の上にプリント基板が配置され、当該プリント基板に P W M 信号の信号絶縁用にフォトカプラが実装される構成が開示されており、このような従来構成であっても上記と同様の問題点が生じる。

40

【 0 0 1 3 】

上記問題点に鑑み、本発明は、基板実装面積を低減することによりシステムを小型化することを可能とする半導体装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 4 】

本発明の一態様に係る半導体装置は、
入力信号に基づいてスイッチ制御信号を生成する制御部を有する第 1 半導体チップと、
前記スイッチ制御信号に基づいた駆動信号でスイッチング素子の駆動を行う駆動部を有する第 2 半導体チップと、
前記スイッチ制御信号と前記駆動信号との間を電氣的に絶縁する第 3 半導体チップと、

50

を一つのパッケージに封止して成り、

前記第1半導体チップと前記第3半導体チップとの間、前記第2半導体チップと前記第3半導体チップとの間は、それぞれワイヤにより接続され、

前記第1半導体チップと前記第3半導体チップとは、同一の第1アイランドに配置される構成としている(第1の構成)。

【0015】

また、上記第1の構成において、前記スイッチ制御信号は、パルス信号である構成としてもよい(第2の構成)。

【0016】

また、上記第1または第2の構成において、前記第3半導体チップは、前記第2半導体チップで得られる信号を電氣的に絶縁して前記第1半導体チップに伝達する絶縁部を有する構成としてもよい(第3の構成)。

【0017】

また、上記第1から第3のいずれかの構成において、前記スイッチング素子は、第1電源端子と出力端子との間に接続される上側スイッチング素子であり、

前記第2半導体チップは、前記上側スイッチング素子を駆動し、

当該半導体装置は、前記スイッチ制御信号に基づいた駆動信号で、第2電源端子と前記出力端子との間に接続される下側スイッチング素子の駆動を行う駆動部を有する第4半導体チップを有し、

前記第4半導体チップと前記第3半導体チップとの間は、ワイヤにより接続され、前記第3半導体チップは、平面視で、前記第2半導体チップと前記第4半導体チップとによって挟まれる位置に配置される構成としてもよい(第4の構成)。

【0018】

また、上記第3の構成において、前記第2半導体チップは、前記第2半導体チップ側で発生した前記信号に基づいてパルス信号を生成して前記第3半導体チップの前記絶縁部へ出力する送信部を有する構成としてもよい(第5の構成)。

【0019】

また、上記第5の構成において、前記第1半導体チップは、前記絶縁部からのパルス出力に基づいた信号を生成して装置の外部へ送信する受信部を有する構成としてもよい(第6の構成)。

【0020】

また、上記第1から第6のいずれかの構成において、前記第3半導体チップは、半導体層を有する絶縁基板の表面または前記絶縁基板中に形成された第1のコイルと、第1のコイルと誘電体を挟んで対向するように形成された第2のコイルと、を有する構成としてもよい(第7の構成)。

【0021】

また、上記第7の構成において、第1のコイルと第2のコイルとは、平面視で重なるように配置されている構成としてもよい(第8の構成)。

【0022】

また、上記第1から第8のいずれかの構成において、前記スイッチング素子は、Si基板を用いたIGBTまたはMOSFET、または、SiC基板またはワイドバンドギャップ型の半導体基板を用いたIGBTまたはMOSFETである構成としてもよい(第9の構成)。

【0023】

また、上記第1から第9のいずれかの構成において、前記第1アイランドと一体化される第1リード端子を有する構成としてもよい(第10の構成)。

【0024】

また、上記第1から第10のいずれかの構成において、前記第2半導体チップが配置される第2アイランドと、

前記第2アイランドと一体化される第2リード端子と、

10

20

30

40

50

前記第 1 半導体チップとワイヤによって接続されるリード端子の組と、
を有し、

前記第 2 リード端子は、前記組における前記リードフレーム間の各間隔に比して広い間隔にて、前記組と隔てて配置される構成としてもよい（第 11 の構成）。

【0025】

また、本発明の別態様は、上記第 1 から第 11 のいずれかの構成とした半導体装置と、前記半導体装置に前記入力信号を送信する制御装置と、前記半導体装置と前記制御装置が実装される基板と、を備えるインバータシステムである（第 12 の構成）。

【0026】

また、本発明の別態様は、上記第 12 の構成のインバータシステムと、前記インバータシステムによって駆動されるモータと、を備える機器である（第 13 の構成）。

10

【0027】

また、本発明の別態様は、第 1 電源端子と第 2 電源端子との間に直列接続されてブリッジ回路を構成する上側スイッチング素子および下側スイッチング素子を駆動して電力変換を行う電力変換装置であって、

外部から入力される制御信号に基づいてスイッチ制御信号を生成する制御部を有する第 1 半導体チップと、

前記スイッチ制御信号に基づいた駆動信号で前記上側スイッチング素子の駆動を行う駆動部を有する第 2 半導体チップと、

前記スイッチ制御信号に基づいた駆動信号で前記下側スイッチング素子の駆動を行う駆動部を有する第 3 半導体チップと、

20

前記スイッチ制御信号と前記駆動信号との間を電氣的に絶縁する第 4 半導体チップと、を一つのパッケージに封止して成り、

前記第 1 半導体チップと前記第 4 半導体チップとの間、前記第 4 半導体チップと前記第 2 半導体チップとの間、前記第 4 半導体チップと前記第 3 半導体チップとの間は、それぞれワイヤにより接続される構成としている（第 14 の構成）。

【0028】

また、上記第 14 の構成において、前記第 4 半導体チップは、平面視で、前記第 2 半導体チップと前記第 3 半導体チップの間の領域に配置され、前記第 1 半導体チップと前記第 4 半導体チップとは、同一の第 1 アイランドに配置される構成としてもよい（第 15 の構成）。

30

【0029】

また、上記第 14 または第 15 の構成において、前記第 4 半導体チップは、半導体層を有する絶縁基板の表面または前記絶縁基板中に形成された第 1 のコイルと、第 1 のコイルと誘電体を挟んで対向するように前記誘電体の表面または前記誘電体中に形成された第 2 のコイルと、を有する構成としてもよい（第 16 の構成）。

【0030】

また、上記第 14 から第 16 のいずれかの構成において、前記第 2 半導体チップおよび前記第 3 半導体チップは、共通の第 2 アイランド上に搭載される構成としてもよい（第 17 の構成）。

40

【発明の効果】

【0031】

本発明によると、基板実装面積を低減することによりシステムを小型化することを可能とする。

【図面の簡単な説明】

【0032】

【図 1】本発明の一実施形態に係るインバータシステムの概略構成を示す図である。

【図 2】本発明の一実施形態に係る I P M の回路構成を示す図である。

【図 3】本発明の一実施形態に係る送受信 I C と絶縁部の構成を示す図である。

【図 4】絶縁トランスの積層構造例を示す図である。

50

【図5】本発明の一実施形態に係るIPM（半導体パッケージ）の概略平面図である。

【図6】モータ駆動システムの一構成例を示す概略ブロック図である。

【図7】太陽光発電システムの一構成例を示す概略ブロック図である。

【図8】電子機器を搭載する車両の一例を示す外観図である。

【図9】従来例に係るインバータシステムの概略構成を示す図である。

【発明を実施するための形態】

【0033】

以下に本発明の一実施形態について図面を参照して説明する。

【0034】

<インバータシステムの構成>

図1は、本発明の一実施形態に係るインバータシステムの概略構成を示す図である。図1に示すインバータシステム10は、MCU1と、IPM2と、プリント基板3と、を備えている。MCU1と、IPM2は、プリント基板3に半田などを用いて実装される。

【0035】

IPM2は、不図示の3相DCブラシレスモータ（後述するモータ15）を駆動するインバータとして機能する。MCU1は、IPM2に6本の制御信号Scを送信する。IPM2は、入力された制御信号Scに基づいてインバータとして動作する。また、IPM2は、異常発生時にフォールト信号FOをMCU1に送信する。インバータシステム10では、IPM2の内部において制御信号Scおよびフォールト信号FOの信号絶縁を行う構成としている。これにより、高電圧側のIPM2によって低電圧側のMCU1が誤動作することや故障することを抑制している。

【0036】

<IPMの構成>

次に、本発明の一実施形態に係るIPM2（半導体パッケージ）の構成について図2を用いて詳述する。図2は、IPM2の回路構成を具体的に示す図である。

【0037】

図2に示すようにIPM2は、インバータ部20と、送受信IC23と、絶縁部24と、ブートストラップ用のダイオードDb1～Db3と、を備えており、これらの構成要素を1つのパッケージに収めて構成される。また、IPM2は、外部との電気的接続を確立するための外部端子部T1～T24も備えている。

【0038】

インバータ部20は、上側ドライバIC21と、下側ドライバIC22と、第1上側スイッチング素子HQ1と、第2上側スイッチング素子HQ2と、第3上側スイッチング素子HQ3と、第1下側スイッチング素子LQ1と、第2下側スイッチング素子LQ2と、第3下側スイッチング素子LQ3と、ダイオードD1～D6と、を有している。上側ドライバIC21と、下側ドライバIC22とから駆動部が構成される。

【0039】

第1上側スイッチング素子HQ1と、第2上側スイッチング素子HQ2と、第3上側スイッチング素子HQ3と、第1下側スイッチング素子LQ1と、第2下側スイッチング素子LQ2と、第3下側スイッチング素子LQ3と、は、それぞれSi（シリコン）基板を用いたIGBTにより構成される。なお、これらのスイッチング素子は、IGBTに限らず、Si基板を用いたMOSFETにより構成されてもよいし、SiC基板やワイドバンドギャップ型と称される半導体基板を用いたIGBTやMOSFETで構成してもよい。

【0040】

外部端子部T1には、比較的到高電圧である電源電圧P（例えば600V）が印加される。第1上側スイッチング素子HQ1のコレクタには外部端子部T1が接続される。第1上側スイッチング素子HQ1のエミッタは、第1下側スイッチング素子LQ1のコレクタに接続される。第1下側スイッチング素子LQ1のエミッタは、外部端子部T5を介して抵抗R1の一端に接続される。このように、第1上側スイッチング素子HQ1と、第1下側スイッチング素子LQ1とは直列に接続されて第1ブリッジを構成する。

10

20

30

40

50

【 0 0 4 1 】

第2上側スイッチング素子H Q 2のコレクタには外部端子部T 1が接続される。第2上側スイッチング素子H Q 2のエミッタは、第2下側スイッチング素子L Q 2のコレクタに接続される。第2下側スイッチング素子L Q 2のエミッタは、外部端子部T 6を介して抵抗R 1の一端に接続される。このように、第2上側スイッチング素子H Q 2と、第2下側スイッチング素子L Q 2とは直列に接続されて第2ブリッジを構成する。

【 0 0 4 2 】

第3上側スイッチング素子H Q 3のコレクタには外部端子部T 1が接続される。第3上側スイッチング素子H Q 3のエミッタは、第3下側スイッチング素子L Q 3のコレクタに接続される。第3下側スイッチング素子L Q 3のエミッタは、外部端子部T 7を介して抵抗R 1の一端に接続される。このように、第3上側スイッチング素子H Q 3と、第3下側スイッチング素子L Q 3とは直列に接続されて第3ブリッジを構成する。

10

【 0 0 4 3 】

抵抗R 1の他端は接地端に接続される。

【 0 0 4 4 】

ダイオードD 1 ~ D 6は、フライホイールダイオード(FWD)として構成される。ダイオードD 1のカソードは、第1上側スイッチング素子H Q 1のコレクタに接続される。ダイオードD 1のアノードは、第1上側スイッチング素子H Q 1のエミッタに接続される。ダイオードD 2 ~ D 6と、他のスイッチング素子との接続関係も同様である。即ち、ダイオードD 1 ~ D 6と、各スイッチング素子とは、逆並列に接続される。

20

【 0 0 4 5 】

第1上側スイッチング素子H Q 1のエミッタは、外部端子部T 2を介して3相DCブラシレスモータであるモータ15のU相端子に接続される。第2上側スイッチング素子H Q 2のエミッタは、外部端子部T 3を介してモータ15のV相端子に接続される。第3上側スイッチング素子H Q 3のエミッタは、外部端子部T 4を介してモータ15のW相端子に接続される。

【 0 0 4 6 】

コンデンサC b 1 ~ C b 3は、ブートストラップ用である。コンデンサC b 1の一端は、外部端子部T 2に接続される。コンデンサC b 1の他端は、外部端子部T 9を介してダイオードD b 1のカソードに接続される。ダイオードD b 1のアノードは、上側ドライバIC 2 1の端子に接続される。コンデンサC b 2の一端は、外部端子部T 3に接続される。コンデンサC b 2の他端は、外部端子部T 10を介してダイオードD b 2のカソードに接続される。ダイオードD b 2のアノードは、上側ドライバIC 2 1の端子に接続される。コンデンサC b 3の一端は、外部端子部T 4に接続される。コンデンサC b 3の他端は、外部端子部T 11を介してダイオードD b 3のカソードに接続される。ダイオードD b 3のアノードは、上側ドライバIC 2 1の端子に接続される。

30

【 0 0 4 7 】

外部端子部T 1 2を介して外部より電源電圧HVCC(例えば15V)が上側ドライバIC 2 1に印加される。また、外部端子部T 1 3を介して外部より接地電位が上側ドライバIC 2 1に印加される。

40

【 0 0 4 8 】

上側ドライバIC 2 1は、第1上側スイッチング素子H Q 1の駆動用に第1ドライバ2 1 Aを、第2上側スイッチング素子H Q 2の駆動用に第2ドライバ2 1 Bを、第3上側スイッチング素子H Q 3の駆動用に第3ドライバ2 1 Cを、それぞれ有している。

【 0 0 4 9 】

上側ドライバIC 2 1は、電源電圧HVCCを用いてダイオードD b 1を介してコンデンサC b 1に充電を行うことで、電源電圧Pよりも高い高電圧である電圧VBUを外部端子部T 9に発生させる。そして、第1ドライバ2 1 Aは、電圧VBUを第1上側スイッチング素子H Q 1のゲートに印加し、第1上側スイッチング素子H Q 1をオンとする。

【 0 0 5 0 】

50

同様に、上側ドライバIC21は、電源電圧HVCCを用いてダイオードDb2を介してコンデンサCb2に充電を行うことで、電源電圧Pよりも高い高電圧である電圧VBVを外部端子部T10に発生させる。そして、第2ドライバ21Bは、電圧VBVを第2上側スイッチング素子HQ2のゲートに印加し、第2上側スイッチング素子HQ2をオンとする。

【0051】

更に同様に、上側ドライバIC21は、電源電圧HVCCを用いてダイオードDb3を介してコンデンサCb3に充電を行うことで、電源電圧Pよりも高い高電圧である電圧VBWを外部端子部T11に発生させる。そして、第3ドライバ21Cは、電圧VBWを第3上側スイッチング素子HQ3のゲートに印加し、第3上側スイッチング素子HQ3をオンとする。

10

【0052】

第1ドライバ21A、第2ドライバ21B、および第3ドライバ21Cは、それぞれ第1上側スイッチング素子HQ1、第2上側スイッチング素子HQ2、および第3上側スイッチング素子HQ3のゲート・エミッタ間をショートさせることで各スイッチング素子をオフとする。

【0053】

また、下側ドライバIC22は、第1ドライバ22Aと、第2ドライバ22Bと、第3ドライバ22Cと、を有している。下側ドライバIC22には、外部端子部T22を介して外部より電源電圧LVCC（例えば15V）が印加されると共に、外部端子T24を介して外部より接地電位が印加される。

20

【0054】

第1ドライバ22Aは、電源電圧LVCCを第1下側スイッチング素子LQ1のゲートに印加することで、第1下側スイッチング素子LQ1をオンする。第2ドライバ22Bは、電源電圧LVCCを第2下側スイッチング素子LQ2のゲートに印加することで、第2下側スイッチング素子LQ2をオンする。第3ドライバ22Cは、電源電圧LVCCを第3下側スイッチング素子LQ3のゲートに印加することで、第3下側スイッチング素子LQ3をオンする。

【0055】

第1ドライバ22A、第2ドライバ22B、および第3ドライバ22Cは、それぞれ第1下側スイッチング素子LQ1、第2下側スイッチング素子LQ2、および第3下側スイッチング素子LQ3のゲートを接地電位とショートさせることで各スイッチング素子をオフとする。

30

【0056】

このように上側ドライバIC21および下側ドライバIC22によって各スイッチング素子がオンオフ駆動されることで、U相端子、V相端子、およびW相端子を介してモータ15に電流が通電されてモータ15のロータが回転駆動される。

【0057】

また、上側ドライバIC21が有するUVLO（Under Voltage Lock Out）部21Dは、各電圧VBW、VBV、およびVBWを監視する。

40

【0058】

また、下側ドライバIC22は、コンパレータ22D、UVLO部22E、およびTSD（Thermal Shut Down）部22Fを更に有している。抵抗R1を流れる電流を電圧信号に変換した電流検出信号CINが外部端子部T23を介してコンパレータ22Dの非反転入力端（+）に印加される。コンパレータ22Dの反転入力端（-）には、所定の基準電圧が印加される。電流検出信号CINが基準電圧に達すると過電流が生じたとして、コンパレータ22DはHighレベルの検出信号を出力する。このとき、第1ドライバ22A～第3ドライバ22Cによって下側の各スイッチング素子はオフにされる。

【0059】

UVLO部22Eは、電源電圧LVCCを監視する。TSD部22Fは、下側ドライバ

50

IC22のチップ温度を監視し、チップ温度が所定の温度閾値（例えば175）を上回ると、その旨の検出信号を出力する。このとき、第1ドライバ22A～第3ドライバ22Cによって下側の各スイッチング素子はオフにされる。

【0060】

< 信号絶縁に関する構成 >

図1で示したMCU1から送信される6本の制御信号Scは、具体的には図2に示すよう制御信号HINU、HINV、HINW、LINU、LINV、およびLINWから構成される。外部端子T14～T16に各々入力された制御信号HINU、HINVおよびHINWは、送受信IC23により受信されて絶縁部24へ受け渡され、絶縁部24により電氣的に絶縁されつつ上側ドライバIC21へ伝達される。第1ドライバ21Aは、制御信号HINUに基づいて第1上側スイッチング素子HQ1をオンオフ駆動する。第2ドライバ21Bは、制御信号HINVに基づいて第2上側スイッチング素子HQ2をオンオフ駆動する。第3ドライバ21Cは、制御信号HINWに基づいて第3上側スイッチング素子HQ3をオンオフ駆動する。

10

【0061】

また、外部端子T17～T19に各々入力された制御信号LINU、LINVおよびLINWは、送受信IC23により受信されて絶縁部24へ受け渡され、絶縁部24により電氣的に絶縁されつつ下側ドライバIC22へ伝達される。第1ドライバ22Aは、制御信号LINUに基づいて第1下側スイッチング素子LQ1をオンオフ駆動する。第2ドライバ22Bは、制御信号LINVに基づいて第2下側スイッチング素子LQ2をオンオフ駆動する。第3ドライバ22Cは、制御信号LINWに基づいて第3下側スイッチング素子LQ3をオンオフ駆動する。

20

【0062】

また、コンパレータ22Dによって過電流が検出されたり、TSD部22Fによって過熱状態が検出されるなどした場合、異常状態を示す論理レベルであるフォールト信号が下側ドライバIC22によって絶縁部24に出力される。フォールト信号は、絶縁部24によって電氣的に絶縁されつつ送受信IC23へ伝達され、送受信IC23によってフォールト信号FOとして外部端子T20を介して外部のMCU1（図1）へ送信される。これにより、MCU1へ異常状態を通知することができる。

【0063】

ここで、送受信IC23および絶縁部24の構成について図3を用いて詳述する。図3は、送受信IC23および絶縁部24の具体的な回路構成を示す図である。

30

【0064】

図3に示すように、送受信IC23は、各絶縁トランスTr1～Tr6へ信号を送信する送信部23A～23Fと、絶縁トランスTr7から信号を受信する受信部23Gと、を備えており、これらの構成要素を1チップに集積化したICチップである。また、送受信IC23は、端子T25～T45も備えている。端子T25～T30には、外部端子部T14～T19を介して制御信号HINU、HINV、HINW、LINU、LINV、およびLINWがそれぞれ入力される。

【0065】

また、絶縁部24は、絶縁トランスTr1～Tr7を1チップに集積化したICチップである。また、絶縁部24は、端子T46～T75も備えている。

40

【0066】

上側ドライバIC21は、第1ドライバ21A、第2ドライバ21B、第3ドライバ21Cに加えて、各絶縁トランスTr1～Tr3から信号を受信する受信部211～213を備えている。また、上側ドライバIC21は、端子T76～T81も有している。

【0067】

下側ドライバIC22は、第1ドライバ22A、第2ドライバ22B、第3ドライバ22Cに加えて、各絶縁トランスTr4～Tr6から信号を受信する受信部221～223と、絶縁トランスTr7へ信号を送信する送信部224を備えている。また、下側ドライ

50

バ I C 2 2 は、端子 T 8 2 ~ T 8 9 も有している。

【 0 0 6 8 】

送信部 2 3 A ~ 2 3 F は、いずれも同様の構成としており、ここでは代表的に送信部 2 3 A の構成を具体的に図 3 で示している。また、受信部 2 1 1 ~ 2 1 3、2 2 1 ~ 2 2 3 は、いずれも同様の構成としており、ここでは代表的に受信部 2 1 1 の構成を具体的に図 3 で示している。

【 0 0 6 9 】

そこで、送信部 2 3 A、絶縁トランス T r 1、および受信部 2 1 1 からなる構成、およびその動作について代表的に説明する。送信部 2 3 A は、インバータ 2 3 1、インバータ 2 3 2、パルス発生器 2 3 3、およびパルス発生器 2 3 4 を有している。インバータ 2 3 1 の入力端は、端子 T 2 5 が接続される。インバータ 2 3 1 の出力端は、インバータ 2 3 2 の入力端と共にパルス発生器 2 3 4 の入力端に接続される。インバータ 2 3 2 の出力端は、パルス発生器 2 3 3 の入力端に接続される。パルス発生器 2 3 3 の出力端は、端子 T 3 2、および T 4 6 を介して絶縁トランス T r 1 の 1 次側巻線の一端に接続される。パルス発生器 2 3 4 の出力端は、端子 T 3 3、および T 4 7 を介して絶縁トランス T r 1 の 1 次側巻線の他端に接続される。1 次側巻線の両端間の途中点は、端子 T 6 0 および外部端子部 T 2 1 を介して接地電位に接続される。

【 0 0 7 0 】

受信部 2 1 1 は、インバータ 2 1 1 A、インバータ 2 1 1 B、およびフリップフロップ 2 1 1 C を有している。トランス T r 1 の 2 次側巻線の一端は、端子 T 6 1 および端子 T 7 6 を介してインバータ 2 1 1 A の入力端に接続される。トランス T r 1 の 2 次側巻線の他端は、端子 T 6 2 および端子 T 7 7 を介してインバータ 2 1 1 B の入力端に接続される。2 次側巻線の両端間の途中点は、端子 T 7 5 および外部端子部 T 8 を介して接地電位に接続される。インバータ 2 1 1 A の出力端は、フリップフロップ 2 1 1 C のセット端子 S に接続される。インバータ 2 1 1 B の出力端は、フリップフロップ 2 1 1 C のリセット端子 R に接続される。フリップフロップ 2 1 1 C の出力端子 Q は、第 1 ドライバ 2 1 A の入力端に接続される。

【 0 0 7 1 】

ここで、チップ化された絶縁トランス T r 1 の積層構成を図 4 に示す。なお、他の絶縁トランス T r 2 ~ T r 7 も同様の構成である。銅アイランド上にシリコン (S i) 基板 (半導体層を有する絶縁基板の一例) が形成される。シリコン基板は、表面側に絶縁層 (シリコン酸化膜等) を有している。なお、シリコン基板は、絶縁性のプリント基板など他の誘電体であってもよい。シリコン基板の表面またはシリコン基板中に 1 次側巻線または 2 次側巻線としての銅コイルが形成されている。この銅コイルを覆うように S i O 2 等による誘電体層が積層されている。誘電体層の表面または誘電体層中に、2 次側巻線または 1 次側巻線としての銅コイルが形成されている。このように、1 次側銅コイルと 2 次側銅コイルは、誘電体層により電氣的に絶縁されている。他の絶縁トランス T r 2 ~ T r 7 は、絶縁トランス T r 1 と並ぶようにシリコン基板上に配置される。チップ化された各絶縁トランスの厚みは薄く、他の I C と同程度の厚みに形成できるので、I P M 2 の厚みを従来のもものよりも薄くできるようになる。なお、1 次側巻線または 2 次側巻線はアルミニウム配線を用いて形成してもよい。また、1 次側巻線と 2 次側巻線とを上下方向に重ね合わせるのではなく、同一平面上の横方向に並べるように形成しても構わない。

【 0 0 7 2 】

説明を図 3 に戻して、端子 T 2 5 に入力されたパルス信号である制御信号 H I N U は、インバータ 2 3 1 に入力されて反転され、インバータ 2 3 2 により再度反転されてパルス発生器 2 3 3 に入力される。また、インバータ 2 3 1 により反転された後の信号はパルス発生器 2 3 4 に入力される。パルス発生器 2 3 3 およびパルス発生器 2 3 4 は、入力される信号の立上りをトリガーとして、制御信号 H I N U より幅の狭いパルス信号を生成して絶縁トランス T r 1 の 1 次側へ出力する。

【 0 0 7 3 】

10

20

30

40

50

絶縁トランスTr 1の1次側巻線に供給されたパルス信号による電流の変化により、絶縁トランスTr 1の2次側巻線に電流が発生し、これがインバータ211A、211Bを介してフリップフロップ211Cに供給される。2次側巻線に流れる電流の向きに応じて、フリップフロップ211Cのセット端子SにHighレベル信号が入力されるか、リセット端子RにHighレベル信号が入力されるかが決まる。

【0074】

制御信号HINUがHighレベルからLowレベルに立ち下がったときは、パルス発生器234に入力される信号はLowレベルからHighレベルへ立ち上がるので、パルス発生器234がパルスを生成して絶縁トランスTr 1の1次側へ出力する。この場合、フリップフロップ211Cのセット端子SにLowレベル信号が、リセット端子RにHighレベル信号が入力されるので、出力端子QからはLowレベルの制御信号HOUが第1ドライバ21Aへ出力される。

10

【0075】

一方、制御信号HINUがLowレベルからHighレベルに立ち上がったときは、パルス発生器233に入力される信号はLowレベルからHighレベルへ立ち上がるので、パルス発生器233がパルスを生成してトランスTr 1の1次側へ出力する。この場合、フリップフロップ211Cのセット端子SにHighレベル信号が、リセット端子RにLowレベル信号が入力されるので、出力端子QからはHighレベルの制御信号HOUが第1ドライバ21Aへ出力される。

【0076】

20

このようにして、パルス信号である制御信号HINUは、送信部23Aを介してトランスTr 1の1次側へ送信され、トランスTr 1により電氣的に絶縁されつつ受信部211へ伝達され、受信部211により制御信号HOUとして上側ドライバIC21に送信される。

【0077】

同様にして、端子T26に入力されたパルス信号である制御信号HINVは、送信部23Bを介してトランスTr 2の1次側へ送信され、トランスTr 2により電氣的に絶縁されつつ受信部212へ伝達され、受信部212により制御信号HOVとして第2ドライバ21Bに送信される。更に同様にして、端子T27に入力されたパルス信号である制御信号HINWは、送信部23Cを介してトランスTr 3の1次側へ送信され、トランスTr 3により電氣的に絶縁されつつ受信部213へ伝達され、受信部213により制御信号HOWとして第3ドライバ21Cに送信される。

30

【0078】

また、同様にして、端子T28に入力されたパルス信号である制御信号LINUは、送信部23Dを介してトランスTr 4の1次側へ送信され、トランスTr 4により電氣的に絶縁されつつ受信部221へ伝達され、受信部221により制御信号LOUとして第1ドライバ22Aに送信される。更に同様にして、端子T29に入力されたパルス信号である制御信号LINVは、送信部23Eを介してトランスTr 5の1次側へ送信され、トランスTr 5により電氣的に絶縁されつつ受信部222へ伝達され、受信部222により制御信号LOVとして第2ドライバ22Bに送信される。更に同様にして、端子T30に入力されたパルス信号である制御信号LINWは、送信部23Fを介してトランスTr 6の1次側へ送信され、トランスTr 6により電氣的に絶縁されつつ受信部223へ伝達され、受信部223により制御信号LOWとして第3ドライバ22Cに送信される。

40

【0079】

次に、送信部224、トランスTr 7、および受信部23Gからなる構成、およびその動作について説明する。送信部224は、インバータ224A、インバータ224B、パルス発生器224C、およびパルス発生器224Dを有している。インバータ224Aの入力端には、フォールト信号FINが入力される。

【0080】

インバータ224Aの出力端は、インバータ224Bの入力端と共にパルス発生器22

50

4 Dの入力端に接続される。インバータ224 Bの出力端は、パルス発生器224 Cの入力端に接続される。パルス発生器224 Cの出力端は、端子T88および端子T73を介して絶縁トランスTr7の1次側巻線の一端に接続される。パルス発生器224 Dの出力端は、端子T89および端子T74を介して絶縁トランスTr7の1次側巻線他端に接続される。

【0081】

受信部23 Gは、インバータ236、インバータ237、およびフリップフロップ235を有している。トランスTr7の2次側巻線の一端は、端子T58、T44を介してインバータ236の入力端に接続される。トランスTr7の2次側巻線他端は、端子T59、T45を介してインバータ237の入力端に接続される。インバータ236の出力端は、フリップフロップ235のセット端子Sに接続される。インバータ237の出力端は、フリップフロップ235のリセット端子Rに接続される。フリップフロップ235の出力端子Qは、端子T31に接続される。端子T31は、外部端子部T20(図2)に接続される。

10

【0082】

即ち、送信部224、トランスTr7、および受信部23 Gからなる構成は、先述した送信部23 A、トランスTr1、および受信部211からなる構成と同様である。従って、フォールト信号FINは、送信部224を介してトランスTr7の1次側へ送信され、トランスTr7により電氣的に絶縁されつつ受信部23 Gへ伝達され、受信部23 Gによりフォールト信号FOとして端子T31および外部端子部T20を介してMCU1(図1)へ送信される。

20

【0083】

<半導体パッケージの構成>

次に、本実施形態に係るIPM2の半導体パッケージとしての構成について図5を用いて詳述する。図5は、IPM2(半導体パッケージ)の実装される側の面から見た平面図である。なお、図5では、便宜上、封止樹脂200を二点鎖線で示している。封止樹脂200は、外形が略矩形形状として形成される。

【0084】

図5に示すIPM2は、封止樹脂200と、リードフレーム300と、上側ドライバIC21と、下側ドライバIC22と、送受信IC23と、絶縁部24と、ブートストラップ用のダイオードDb1~Db3と、第1上側スイッチング素子HQ1と、第2上側スイッチング素子HQ2と、第3上側スイッチング素子HQ3と、第1下側スイッチング素子LQ1と、第2下側スイッチング素子LQ2と、第3下側スイッチング素子LQ3と、ダイオードD1~D6と、ワイヤW1~W13と、を備えている。封止樹脂200(パッケージ)によって、絶縁部24および駆動部(上側ドライバIC21および下側ドライバIC22)が封止され、このときシリコン基板(図4)の少なくとも一部が封止される。

30

【0085】

リードフレーム300は、アイランド部310~319と、リード端子のパッド部321~326と、リード端子330~337と、吊りリード340と、を含んでいる。リードフレーム300は、例えばCuなどの金属から構成される。リードフレーム300は、例えば金属製の板材料に対して打ち抜きなどの切断加工および曲げ加工を施すことによって形成される。

40

【0086】

外部端子部T9と一体であるアイランド部310には、ダイオードDb1が載置される。ダイオードDb1のアノード側と上側ドライバIC21の端子、およびアイランド部310と上側ドライバIC21の端子とは、それぞれワイヤW1によって接続される。なお、ワイヤW1を含むワイヤW1~W13は、例えばAuワイヤなどによって構成される。ワイヤW1~W13は、例えばAlやCuワイヤで構成されていてもよく、複数本を並列に接続したり、平板状のワイヤでも構わない。外部端子部T10と一体であるアイランド部311には、ダイオードDb2が載置される。ダイオードDb2のアノード側と上側ド

50

ライバIC 2 1の端子、およびアイランド部 3 1 1と上側ドライバIC 2 1の端子とは、それぞれワイヤW 2によって接続される。外部端子部 T 1 1と一体であるアイランド部 3 1 2には、ダイオードD b 3が載置される。ダイオードD b 3のアノード側と上側ドライバIC 2 1の端子、およびアイランド部 3 1 2と上側ドライバIC 2 1の端子とは、それぞれワイヤW 3によって接続される。

【 0 0 8 7 】

外部端子部 T 1 4 ~ T 2 0をそれぞれ含むリード端子 3 3 0 ~ 3 3 6は、それぞれ送受信IC 2 3が有する端子 T 2 5 ~ T 3 1にワイヤW 4によって接続される（即ちワイヤW 4は計7本）。平面視で、絶縁部 2 4は、上側ドライバIC 2 1と、下側ドライバIC 2 2とによって挟まれる位置に配置される。送受信IC 2 3が有する端子 T 3 2 ~ T 4 5は、それぞれ絶縁部 2 4が有する端子 T 4 6 ~ T 5 9にワイヤW 5によって接続される（即ちワイヤW 5は計14本）。

10

【 0 0 8 8 】

絶縁部 2 4が有する端子 T 6 1 ~ T 6 6は、それぞれ上側ドライバIC 2 1が有する端子 T 7 6 ~ T 8 1にワイヤW 6によって接続される（即ちワイヤW 6は計6本）。絶縁部 2 4が有する端子 T 6 7 ~ T 7 4はそれぞれ下側ドライバIC 2 2が有する端子 T 8 2 ~ T 8 9にワイヤW 7によって接続される（即ちワイヤW 7は計8本）。

【 0 0 8 9 】

外部端子部 T 1と一体であるアイランド部 3 1 3には、上側の各スイッチング素子H Q 1 ~ H Q 3と、ダイオードD 1 ~ D 3とが載置される。上側ドライバIC 2 1の各端子は、上側の各スイッチング素子H Q 1 ~ H Q 3の各ゲートと各エミッタにワイヤW 8によって接続される。上側の各スイッチング素子H Q 1 ~ H Q 3の各エミッタは、ダイオードD 1 ~ D 3の各アノードにそれぞれワイヤW 9によって接続される。ダイオードD 1 ~ D 3の各エミッタは、外部端子部 T 2 ~ T 4とそれぞれ一体であるパッド部 3 2 1 ~ 3 2 3にワイヤW 10によって接続される。

20

【 0 0 9 0 】

パッド部 3 2 1と一体であるアイランド部 3 1 4には、第1下側スイッチング素子L Q 1とダイオードD 4が載置される。パッド部 3 2 2と一体であるアイランド部 3 1 5には、第2下側スイッチング素子L Q 2とダイオードD 5が載置される。パッド部 3 2 3と一体であるアイランド部 3 1 6には、第3下側スイッチング素子L Q 3とダイオードD 6が載置される。

30

【 0 0 9 1 】

下側ドライバIC 2 2の各端子は、下側の各スイッチング素子L Q 1 ~ L Q 3の各ゲートにワイヤW 11によって接続される。下側の各スイッチング素子L Q 1 ~ L Q 3の各エミッタは、ダイオードD 4 ~ D 6の各アノードにそれぞれワイヤW 12によって接続される。ダイオードD 4 ~ D 6の各エミッタは、外部端子部 T 5 ~ T 7とそれぞれ一体であるパッド部 3 2 4 ~ 3 2 6にワイヤW 13によって接続される。

【 0 0 9 2 】

送受信IC 2 3と絶縁部 2 4が載置されるアイランド部 3 1 7は、リード端子 3 3 6と一体化されている。下側ドライバIC 2 2が載置されるアイランド部 3 1 9と、上側ドライバIC 2 1が載置されるアイランド部 3 1 8は、接続されて一体化されている。アイランド部 3 1 9は、リード端子 3 3 7と一体化される。リード端子 3 3 7は、外部端子 T 2 4を含む。アイランド部 3 1 8は、吊りリード 3 4 0と一体化される。

40

【 0 0 9 3 】

図5では、外部端子部 T 2 1を含むリードフレームについては図示をしていない。このリードフレームは低圧側のグランド端子であり、同様に低電圧側である外部端子部 T 1 4 ~ T 2 0を含む各リードフレームと同じ組として上記不図示のリードフレームはX方向に配列される。

【 0 0 9 4 】

比較的に高電圧が生じる外部端子部 T 9 ~ T 1 1を含む各リードフレームからなる組（

50

第1の組)におけるX方向に隣接するリードフレーム間の各間隔は、外部端子部T14～T21からなる組(第2の組)におけるX方向に隣接するリードフレーム間の各間隔に比して広くしている。また、上記第1の組と上記第2の組との間の間隔は、上記第2の組におけるX方向に隣接するリードフレーム間の各間隔に比して広くしている。また、上記第1の組におけるX方向に隣接するリードフレーム間、および上記第1の組と上記第2の組との間には、封止樹脂200に形成されるY方向に凹んだ溝部210が配置される。なお、封止樹脂200におけるX方向に対向する各辺の略中央部には、X方向に凹んだ溝部220が形成される。溝部220は、例えばIPM2の搬送や取付けに用いられる。

【0095】

比較的が高電圧が生じる外部端子部T1～T7を含む各リードフレームは、上記第1の組および上記第2の組の各リードフレームが配置される封止樹脂200の一边とY方向に対向する一边側に、X方向に配列される。また、外部端子部T8については図5で図示していないが、外部端子部T8を含むリードフレームは、外部端子部T1～T7を含む各リードフレームと同じ組として配置される。また、高圧側のグラウンド端子であるリード端子337は、上記第2の組におけるX方向に隣接するリードフレーム間の各間隔に比して広い間隔にて、上記第2の組と隔てて配置される。

【0096】

<本実施形態によって奏される効果>

本実施形態のIPM2によれば、送受信IC23とフォトカプラを複数用いたものよりも小面積で薄型に形成できる絶縁部24をIPM2(半導体装置)の内部に設けることで、IPM2の内部で制御信号およびフォールト信号の信号絶縁を図っている。これにより、送受信IC23と絶縁部24を設けることによってIPM2のサイズが若干増大したとしても、フォトカプラを削除することによる実装面積削減効果が大きいので、全体として図1に示すようなプリント基板における実装面積を大幅に削減できる。従って、プリント基板3のサイズを小型化でき、インバータシステム10の小型化につなげることができる。また、IPM2のパッケージ構成において、絶縁部24を小さく形成できるので、絶縁部24を上側ドライバIC21と下側ドライバIC22とで挟まれる位置に配置しても、IPM2の長辺内に各ICを並べて配置できるようになり、絶縁部24と上側ドライバIC21、または下側ドライバIC22とをそれぞれ接続するワイヤW6、W7の両方の長さをなるべく短くすることができる。従って、ワイヤの長さをなるべく短くでき、樹脂封止時にワイヤ同士が短絡する虞を低減できるとともに、安価に製造が可能となる。

【0097】

また、絶縁機能をIPM2に内蔵させる効果として、例えば、IPM2に用いる半導体パッケージでは低電圧端子と高電圧端子が一般的に離れているため、フォトカプラのパッケージでは考慮が必要であった端子沿面距離を考慮する必要がない。また、フォトカプラを用いる構成では空気中の放電を防止するために基板における配線パターン間距離を確保する必要があったが、本実施形態では、IPM2のパッケージに使用する封止樹脂で内部絶縁を行い、樹脂の誘電率は空気の誘電率よりも低いいため、省スペース化が可能となる。なお、仮にフォトカプラをIPM2のパッケージ内で樹脂封止すれば、絶縁に関する問題はなくなるが、フォトカプラの厚みの問題や、フォトカプラの占める面積が小さくならないという問題は残ってしまう。

【0098】

<産業機器への適用>

ここで、本発明に係るIPMの適用先の一例として産業機器への適用について説明する。図6は、FA(ファクトリーオートメーション)におけるモータ駆動システムの一例を示す概略ブロック構成図である。図6に示すモータ駆動システム60は、モータ61を駆動するためのシステムである。モータ61は、例えば産業ロボットに搭載されるものである。モータ駆動システム60は、ドライバ部60A、電源部60B、コントローラ部60C、検知部60D、およびインタフェース部60Eを備えている。

【 0 0 9 9 】

ドライバ部 6 0 A は、パワー素子やゲートドライバなどを含み、モータ 6 1 を実質的に駆動する部位である。電源部 6 0 B は、AC / DC コンバータや DC / DC コンバータなどを含み、生成した電力をドライバ部 6 0 A などに供給する。コントローラ部 6 0 C は、MCU などを含み、ドライバ部 6 0 A、電源部 6 0 B などを制御する。検知部 6 0 D は、モータ 6 1 の回転位置・回転速度などを検知するセンサである。インタフェース部 6 0 E は、シリアル通信インタフェースや Bluetooth (登録商標) などで構成される。本発明に係る IPM は、ドライバ部 6 0 A に適用することが可能である。

【 0 1 0 0 】

< 太陽光発電システムへの適用 >

ここでは、本発明に係る IPM の適用先の別の一例として、太陽光発電システムについて述べる。図 7 は、太陽光発電システムの一例を示す概略ブロック構成図である。図 7 に示す太陽光発電システム 7 0 は、太陽電池アレイ 7 0 A、昇圧 DC / DC コンバータ 7 0 B、インバータ 7 0 C、双方向 DC / DC コンバータ 7 0 D、蓄電池 7 0 E、分電盤 7 0 F、および通信ブロック 7 0 G を備えている。

【 0 1 0 1 】

太陽電池アレイ 7 0 A は、複数の太陽電池モジュールが接続されて構成され、太陽光を受けて直流電力を生成する。昇圧 DC / DC コンバータ 7 0 B は、太陽電池アレイ 7 0 A からの直流電圧を昇圧して所定の直流電圧を生成する。インバータ 7 0 C は、昇圧 DC / DC コンバータ 7 0 B からの直流電力を交流電力に変換して分電盤 7 0 F へ出力する。分電盤 7 0 F は、インバータ 7 0 C からの電力のうち必要な電力を負荷 (家庭内の電気機器など) へ供給し、余剰の電力を商用系統へ出力する。商用系統から供給される電力を分電盤 7 0 F を介して負荷へ供給することも可能である。双方向 DC / DC コンバータ 7 0 D は、昇圧 DC / DC コンバータ 7 0 B からの直流電力を所定の直流電力へ変換し、蓄電池 7 0 E に蓄電させる。双方向 DC / DC コンバータ 7 0 D は、蓄電池 7 0 E から放電された電力を DC / DC 変換し、インバータ 7 0 C、分電盤 7 0 F を介して負荷へ供給もする。通信ブロック 7 0 G は、インバータ 7 0 C、双方向 DC / DC コンバータ 7 0 D、および蓄電池 7 0 E などと通信を行う。本発明に係る IPM は、インバータ 7 0 C や昇圧 DC / DC コンバータ 7 0 B 等に適用することが可能である。

【 0 1 0 2 】

< 車両への適用 >

ここで、本実施形態に係る IPM の適用先の一例として車両への適用について説明する。図 8 は、各種の電子機器を搭載した車両の一構成例を示す外観図である。本構成例の車両 X は、バッテリー X 1 0 と、バッテリー X 1 0 から入力電圧の供給を受けて動作する種々の電子機器 X 1 1 ~ X 1 8 と、を搭載している。なお、図 8 におけるバッテリー X 1 0 および電子機器 X 1 1 ~ X 1 8 の搭載位置については、図示の便宜上、実際とは異なる場合がある。

【 0 1 0 3 】

電子機器 X 1 1 は、エンジンに関連する制御 (インジェクション制御、電子スロットル制御、アイドル制御、酸素センサヒータ制御、および、オートクルーズ制御など) を行うエンジンコントロールユニットである。

【 0 1 0 4 】

電子機器 X 1 2 は、H I D [high intensity discharged lamp] や D R L [daytime running lamp] などの点消灯制御を行うランプコントロールユニットである。

【 0 1 0 5 】

電子機器 X 1 3 は、トランスミッションに関連する制御を行うトランスミッションコントロールユニットである。

【 0 1 0 6 】

電子機器 X 1 4 は、車両 X の運動に関連する制御 (A B S [anti-lock brake system] 制御、E P S [electric power steering] 制御、電子サスペンション制御など) を行う

10

20

30

40

50

ボディコントロールユニットである。

【0107】

電子機器X15は、ドアロックや防犯アラームなどの駆動制御を行うセキュリティコントロールユニットである。

【0108】

電子機器X16は、ワイパー、電動ドアミラー、パワーウィンドウ、ダンパー（ショックアブソーバー）、電動サンルーフ、および、電動シートなど、標準装備品やメーカーオプション品として、工場出荷段階で車両Xに組み込まれている電子機器である。

【0109】

電子機器X17は、車載A/V [audio/visual] 機器、カーナビゲーションシステム、および、ETC [electronic toll collection system] など、ユーザオプション品として任意で車両Xに装着される電子機器である。

10

【0110】

電子機器X18は、車載プロア、オイルポンプ、ウォーターポンプ、バッテリー冷却ファンなど、高耐圧系モータを備えた電子機器である。

【0111】

本発明に係るIPMを含むインバータシステムは、電子機器X11～X18のうちモータを使用するものや電源装置を含むもの等のいずれにも組み込むことが可能である。

【0112】

<その他>

20

なお、本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味および範囲内に属する全ての変更が含まれると理解されるべきである。例えば、アイランド部317はリード端子336と別体であっても良く、アイランド部318と319も別体であっても良い。更に、アイランド部317として絶縁性のプリント基板を用いたり、プリント基板の上に送受信IC、絶縁部、上側ドライバIC、下側ドライバICを搭載するようにしても構わない。

【産業上の利用可能性】

30

【0113】

本発明は、例えば産業機器用のモータ駆動、電源装置の電力変換などのインバータシステムに利用することができる。

【符号の説明】

【0114】

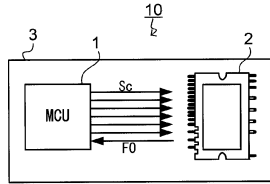
- 1 M C U
- 2 I P M
- 3 プリント基板
- 10 インバータシステム
- 15 モータ
- 21 上側ドライバIC
- 22 下側ドライバIC
- 23 送受信IC
- 24 絶縁部
- 200 封止樹脂
- 210、220 溝部
- 300 リードフレーム
- 310～319 アイランド部
- 321～326 パッド部
- 330～337 リード端子

40

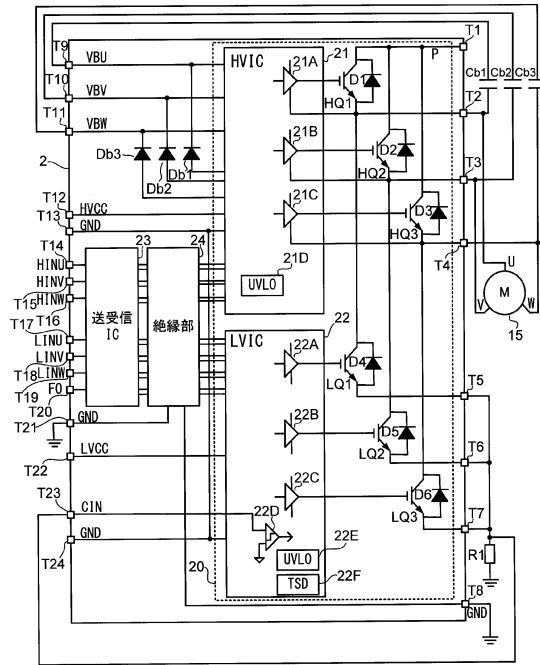
50

3 4 0	吊りリード	
W 1 ~ W 1 3	ワイヤ	
H Q 1	第 1 上側スイッチング素子	
H Q 2	第 2 上側スイッチング素子	
H Q 3	第 3 上側スイッチング素子	
L Q 1	第 1 下側スイッチング素子	
L Q 2	第 2 下側スイッチング素子	
L Q 3	第 3 下側スイッチング素子	
D 1 ~ D 6	ダイオード	
D b 1 ~ D b 3	ダイオード	10
C b 1 ~ C b 3	コンデンサ	
R 1	抵抗	
T 1 ~ T 2 4	外部端子部	
T 2 5 ~ T 7 5	端子	
T r 1 ~ T r 7	絶縁トランス	
2 3 A ~ 2 3 F	送信部	
2 3 G	受信部	
2 1 1 ~ 2 1 3、2 2 1 ~ 2 2 3	受信部	
2 2 4	送信部	
6 0	モータ駆動システム	20
6 0 A	ドライバ部	
6 0 B	電源部	
6 0 C	コントローラ部	
6 0 D	検知部	
6 0 E	インタフェース部	
6 1	モータ	
7 0	太陽光発電システム	
7 0 A	太陽電池アレイ	
7 0 B	昇圧 D C / D C コンバータ	
7 0 C	インバータ	30
7 0 D	双方向 D C / D C コンバータ	
7 0 E	蓄電池	
7 0 F	分電盤	
7 0 G	通信ブロック	
X	車両	
X 1 0	バッテリー	
X 1 1 ~ X 1 8	電子機器	

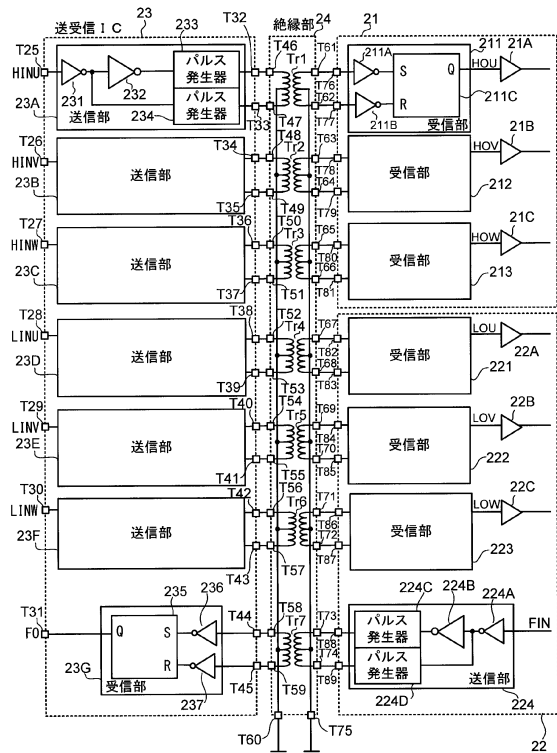
【図1】



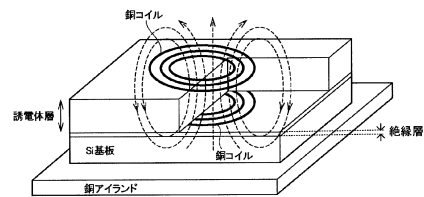
【図2】



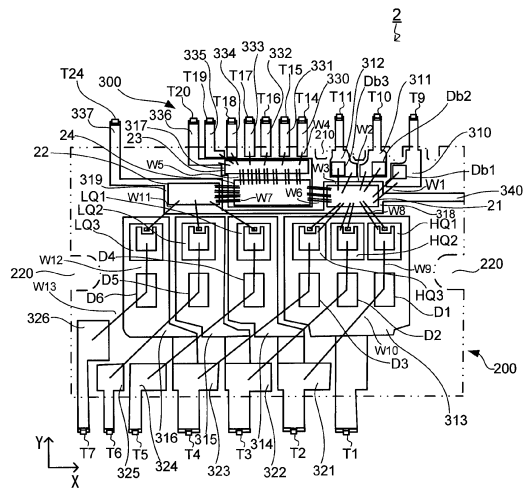
【図3】



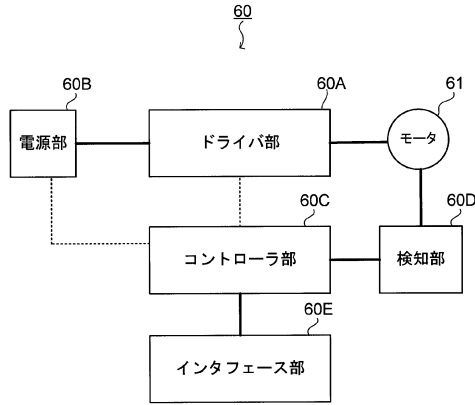
【図4】



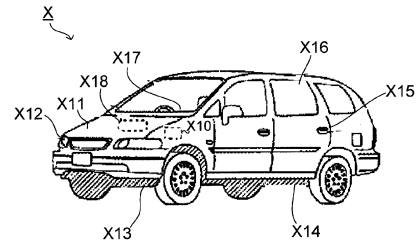
【図5】



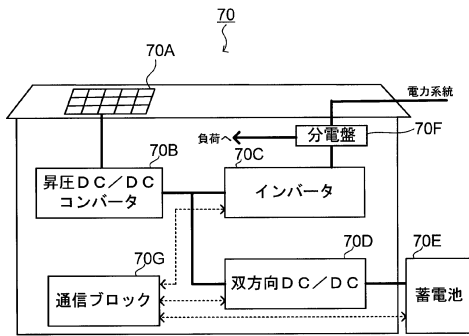
【図6】



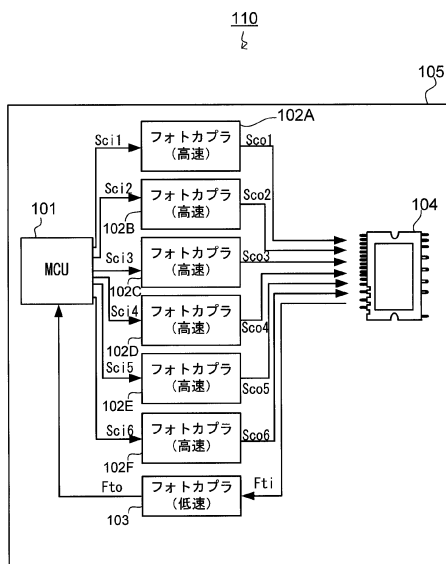
【図8】



【図7】



【図9】



フロントページの続き

- (56)参考文献 特開2009-232637(JP,A)
特開2009-267071(JP,A)
特表2015-515242(JP,A)
特開2006-165409(JP,A)
特開2015-008229(JP,A)
特開2013-055739(JP,A)
特開2014-130909(JP,A)
米国特許出願公開第2014/0184303(US,A1)
中国特許出願公開第103915425(CN,A)
特開2010-263571(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/07
H01L 21/60
H01L 23/52
H01L 25/18
H02M 7/48