

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G11C 7/06 G11C 11/407	(45) 공고일자 1999년04월 15일	(11) 등록번호 특0179793	(24) 등록일자 1998년 11월 28일
(21) 출원번호 특 1995-062051	(65) 공개번호 특 1997-051131	(43) 공개일자 1997년 07월 29일	
(22) 출원일자 1995년 12월 28일			
(73) 특허권자 엘지반도체주식회사	문정환		
(72) 발명자 백대봉	충청북도 청주시 흥덕구 향정동 1번지		
	경기도 안양시 동안구 평안동 초원대림아파트 206동 802호		
	곽성훈		
	서울특별시 광진구 중곡4동 18-131 36통 6반		
(74) 대리인 박장원			

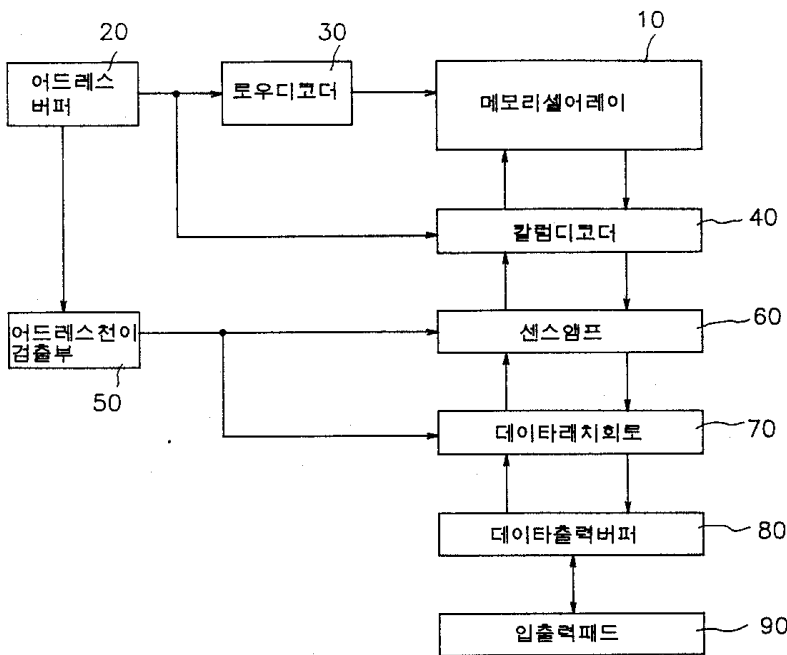
심사관 : 김용주

(54) 반도체 메모리의 센스 앰프 출력 제어 회로

요약

본 발명은 반도체 메모리에서 데이터 출력 버퍼의 동작 시점이 외부에서 인가되는 출력 인에이블 신호에 의존하는 대신 센스 앰프에서 출력되는 신호의 레벨에 의해 조절이 되도록 한 것으로, 센스 인에이블 신호에 따라 메모리 셀에서 리드되는 데이터를 센싱하는 센스 앰프와, 상기 센스 앰프에서 출력되는 데이터 신호와 상기 데이터 신호가 반전된 데이터 바 신호의 갭이 소정의 값 이하일 때에는 동일한 상태의 신호를 출력하다가, 상기 신호의 갭이 소정의 값 이상으로 벌어질 때 서로 다른 상태의 신호를 발생하는 슈미트 트리거 회로와, 래치 인에이블 신호가 입력됨에 따라, 상기 슈미트 트리거 회로의 출력 신호를 각각 반전하여 출력하는 데이터 래치 회로와, 출력 인에이블 신호가 입력됨에 따라, 상기 데이터 래치 회로에서 출력되는 신호가 서로 다른 상태일 때 상기 센스 앰프에서 출력되는 데이터 신호와 동일한 상태의 신호를 출력하는 데이터 출력 버퍼를 포함하여 구성되는 반도체 메모리의 센스 앰프 출력 제어 회로에 관한 것이다.

대표도



명세서

[발명의 명칭]

반도체 메모리의 센스 앰프 출력 제어 회로

[도면의 간단한 설명]

제1도는 일반적인 반도체 메모리를 도시한 블럭도.

제2도는 종래 기술에 의한 센스 앰프의 출력 제어 회로를 나타낸 도면.

제3도는 제2도에서 각 신호의 파형을 도시한 신호 파형도.

제4도는 본 발명에 의한 센스 앰프의 출력 제어 회로를 나타낸 도면.

제5도는 제4도에서 각 신호의 파형을 도시한 신호 파형도.

* 도면의 주요부분에 대한 부호의 설명

100 : 슈미트 트리거 회로 100A : 제1슈미트 트리거

100B : 제2슈미트 트리거 120 : 데이터 래치 회로

120A : 제1래치 120B : 제2래치

140 : 데이터 출력 버퍼

[발명의 상세한 설명]

본 발명은 반도체 메모리의 출력 신호 제어 회로에 관한 것으로, 특히 센스 앰프(Sense Amplifier)의 출력 신호에 의해 출력 버퍼가 자동적으로 제어되도록 한 반도체 메모리의 출력 버퍼 제어 회로에 관한 것이다.

제1도는 일반적인 반도체 메모리를 도시한 블럭도로서 데이터를 저장하기 위한 메모리 셀 어레이(10)와, 입력되는 어드레스를 버퍼링하는 어드레스 버퍼(20)와, 상기 어드레스 버퍼(20)의 출력 신호를 받아 상기 메모리 셀 어레이(10)의 메모리 셀을 선택하는 로우 디코더(Row decoder)(30) 및 칼럼 디코더(40)와, 상기 선택된 메모리 셀에서 출력되는 데이터를 센싱하는 센스 앰프(60)와, 상기 센스 앰프(60)의 출력 신호를 래치하는 데이터 래치 회로(70)와, 상기 데이터 래치 회로(70)의 출력 신호를 버퍼링하는 데이터 출력 버퍼(80)와, 상기 데이터 출력 버퍼(80)의 출력 신호를 외부로 전달하는 입/출력 패드(90)와, 상기 어드레스 버퍼(20)로부터 입력되는 신호의 천이를 검출하여 상기 센스 앰프(60) 및 데이터 래치 회로(70)의 동작을 제어하는 어드레스 천이 검출부(50)로 구성된다.

제2도는 제1도의 회로에서 센스 앰프(60)의 출력 신호를 제어하는 센스 앰프 출력 제어 회로를 별도로 도시한 것으로 센스 앰프(60), 데이터 래치 회로(70), 데이터 출력 버퍼(80)가 도시되어 있다.

상기 데이터 래치 회로(70)에서는 전원과 접지 사이에 피 모스 트랜지스터(71),(72) 및 엔 모스 트랜지스터(73),(74)가 차례로 연결되고, 상기 피 모스 트랜지스터(72)와 엔 모스 트랜지스터(73)의 게이트에는 상기 센스 앰프(60)의 출력 신호(SOUT)가 공통으로 인가된다. 그리고 상기 엔 모스 트랜지스터(74)의 게이트에는 래치 인에이블 신호(LE)가 인가되며, 상기 피 모스 트랜지스터(71)의 게이트에는 인버터(75)에 의해 반전된 래치 인에이블 신호(LE)가 인가된다. 상기 피 모스 트랜지스터(71-74)의 출력 신호는 상기 피 모스 트랜지스터(72)와 엔 모스 트랜지스터(73)의 드레인 접속점에서 출력되며, 그 출력 신호는 인버터(76-77)에 의해 유지되어 데이터 출력 버퍼(80)로 출력된다.

데이터 출력 버퍼(80)는 출력 인에이블 신호(OE)를 반전하는 인버터(81)와, 상기 인버터(81)의 출력 신호와 상기 데이터 래치 회로(70)의 출력 신호를 노아 연산하는 노아 게이트(82)와, 상기 노아 게이트(82)의 출력 신호를 반전하는 인버터(83)와, 상기 출력 인에이블 신호(OE)와 상기 데이터 래치 회로(70)의 출력 신호를 낸드 연산하는 낸드 게이트(84)와, 상기 낸드 게이트(84)의 출력 신호를 반전하는 인버터(85)와, 전원전압(Vcc)과 접지(Vss) 사이에 차례로 연결되며 각각의 게이트에는 상기 인버터(83)(85)의 출력 신호가 각각 인가되는 피 모스 트랜지스터(86) 및 엔 모스 트랜지스터(87)로 구성된다. 데이터 출력 버퍼(80)의 출력 단자는 상기 피 모스 트랜지스터(86)(87)의 드레인 접속점에 연결되며, 이 출력 단자와 접지 사이에 로드 캐패시터(88)가 연결되어 있다. 또한, 상기 데이터 출력 버퍼(80)에는 반도체 메모리의 소켓(socket)에 기인한 인덕턴스(Ls)와, 전원축의 리드 프레임(Lead Frame)과 본딩 와이어(Bonding Wire)에 의해 생기는 인덕턴스(Lv), 그리고 접지축의 리드 프레임과 본딩 와이어에 의해 발생하는 인덕턴스(Lg)가 표시되어 있다.

이와 같이 구성된 종래 기술에 의한 반도체 메모리의 센스 앰프 출력 제어 회로의 동작을 상세히 설명하면 다음과 같다.

먼저, 어드레스 신호가 입력됨에 따라 센스 앰프(60)가 인에이블되어 출력 신호(SOUT)를 출력하게 되면, 이 시점으로부터 소정의 시간(td1)이 경과한 시점에서 래치 인에이블 신호(LE)가 하이가 되어 피 모스 트랜지스터(71)와 엔 모스 트랜지스터(74)가 턴-온된다. 이때 센스 앰프(60)가 하이 상태의 신호(SOUT)를 출력하면, 피 모스 트랜지스터(72)가 턴-오프, 엔 모스 트랜지스터(73)가 턴-온되므로, 상기 데이터 래치 회로(70)는 로우 상태의 신호를 출력한다. 그러나, 상기 센스 앰프(60)의 출력 신호(SOUT)가 로우이면, 피 모스 트랜지스터(72) 및 엔 모스 트랜지스터(73)가 각각 턴-온 및 턴-오프되므로 데이터 래치 회로(70)는 하이 상태의 신호를 출력한다. 즉, 상기 피 모스 트랜지스터(71-74)는 상기 센스 앰프(60)의 출력 신호(SOUT)를 반전하여 출력하게 된다.

이어서, 상기 래치 인에이블 신호(LE)가 하이로 천이된 시점으로부터 다시 소정의 시간(td2)이 경과한 시점에서 출력 인에이블 신호(OE)가 하이가 되면, 데이터 출력 버퍼(80)의 노드(N1),(N2)의 전위는 상기 데이터 래치 회로(70)의 출력 신호에 따라 결정된다. 만약, 데이터 래치 회로(70)의 출력 신호가 로우 상태이면, 이 로우 상태의 출력 신호는 상기 하이 상태의 출력 인에이블 신호(OE)와 함께 데이터 출력 버퍼(80)의 노드(N1)(N2)를 모두 로우가 되게한다. 따라서, 피 모스 트랜지스터(86)가 턴-온, 엔 모스 트랜지스터(87)가 턴-오프되어 출력 단자에서는 하이 상태의 신호가 출력되게 된다. 반면, 데이터 래치 회로

(70)의 출력 신호가 하이 상태이면, 이 하이 상태의 출력 신호는 상기 하이 상태의 출력 인에이블 신호(OE)와 함께 데이터 출력 버퍼(80)의 노드(N1)(N2)의 상태를 모두 하이로 되게한다. 따라서, 피 모스 트랜지스터(86)가 턴-오프, 엔 모스 트랜지스터(87)가 턴-온되어 출력 단자에는 로우 상태의 신호가 출력되게 된다. 그러므로, 센스 앰프(60)가 인에이블된 후 상기 래치 인에이블(LE) 신호와 출력 인에이블(OE) 신호가 차례로 하이 상태가 되면 상기 센스 앰프(60)의 출력 신호가 데이터 출력 버퍼(80)를 통해 그대로 출력된다.

한편, 상기 래치 인에이블 신호(LE)가 하이이고, 출력 인에이블(OE) 신호가 로우이면, 노드(N1),(N2)의 상태는 각각 하이 및 로우가 된다. 따라서, 데이터 출력 버퍼(80)의 모스 트랜지스터(86)(87)가 모두 턴-오프되어 전기적으로 플로팅되므로 출력 단자는 하이 임피던스 상태가 된다. 반면, 상기 래치 인에이블 신호(LE)가 로우이면 모스 트랜지스터(71)(74)가 턴-오프되어, 상기 데이터 래치 회로(70)의 출력 신호는 전기적으로 플로팅된다. 이때, 상기 출력 인에이블 신호(OE)가 하이로 되면 데이터 출력 버퍼(80)의 노드(N1)(N2)는 모두 이전의 상태를 유지하게 되므로 데이터 출력 버퍼(80)는 이전 상태의 데이터를 그대로 출력하게 된다. 그리고, 상기 래치 인에이블 신호(LE)와 출력 인에이블 신호(OE)가 모두 로우 상태가 되면, 노드(N1),(N2)의 상태는 각각 하이 및 로우가 되어 모스 트랜지스터(86)(87)가 모두 턴-오프되므로 데이터 출력 버퍼(80)는 하이 임피던스 상태가 된다.

그런데, 이와같은 센스 앰프의 출력 제어 회로에서는, 래치 인에이블 신호(LE)에 의해 센스 앰프(60)로부터 유효한 데이터가 데이터 래치 회로(70)에 래치된 순간에 출력 인에이블 신호(OE)가 하이로 되어야 동작 속도의 감소를 막을 수 있다. 그러나, 고밀도 메모리에서는 자연 경로가 증가하기 때문에 상기 출력 인에이블 신호(OE)를 정확하게 제어할 수가 없으므로, 각 신호간에 어느 정도의 마진이 부여된다. 즉, 제3도(a)와 같이, 어드레스 신호의 천이가 발생되면 센스 앰프(60)가 (b)와 같이 인에이블 되어 (c)와 같이 출력 신호(SOUT)를 출력한다. 래치 인에이블 신호(LE)는 상기 센스 앰프(60)로부터 유효한 데이터를 래치하기 위해, 제3도(d)와 같이, 상기 센스 앰프(60)로부터 출력 신호(SOUT)가 출력되기 시작한 시점으로부터 소정의 시간(td1)이 경과한 다음 하이로 천이되고, 출력 인에이블 신호(OE)는 (e)와 같이 상기 래치 인에이블(LE)신호가 하이로 된 시점으로부터 다시 소정의 시간(Td2)이 경과된 시점에서 하이로 천이된다. 따라서, 상기 센스 앰프(60)의 출력 신호(SOUT)는 상기 시간(td1+td2)만큼 지연된 다음 데이터 출력 버퍼(80)로부터 출력되므로 동작 속도의 감소(Speed penalty)를 초래하게 되는 단점이 있었다. 한편, 메모리에서 데이터가 8비트 단위로 출력될 경우, 센스 앰프(60)와 데이터 출력 버퍼(80)도 각각 8개씩 구비가 된다. 그런데, 각 센스 앰프(60)로부터 8개의 데이터 출력 버퍼(80)에 입력된 신호(SOUT)는 하나의 출력 인에이블 신호(OE)에 의해 동시에 출력되므로, 제2도(g)에서와 같이 각 데이터 출력 버퍼(80)에서 피크 전류가 증가하게 되고 이로 인해 노이즈의 발생 가능성이 커지게 되는 문제점이 있었다.

따라서, 본 발명의 목적은 데이터 출력 버퍼의 동작 시점이 외부에서 인가되는 출력 인에이블 신호에 의존하는 대신 센스 앰프의 출력 신호에 의해 조절이 되도록 한 반도체 메모리의 센스 앰프 출력 제어 회로를 제공하는데 있다.

상기의 목적을 달성하기 위해, 본 발명은 센스 인에이블 신호에 따라 메모리 셀에서 리드되는 데이터를 센싱하는 센스 앰프와, 상기 센스 앰프에서 출력되는 데이터 신호와 상기 데이터 신호의 반전된 신호의 갭이 소정의 값 이하일 때에는 동일한 상태의 신호를 출력하다가, 상기 신호의 갭이 소정의 값 이상으로 벌어질 때 서로 다른 상태의 신호를 발생하는 슈미트 트리거 회로와, 래치 인에이블 신호가 입력됨에 따라, 상기 슈미트 트리거 회로의 출력 신호를 각각 반전하여 출력하는 데이터 래치 회로와, 출력 인에이블 신호가 입력됨에 따라, 상기 데이터 래치 회로에서 출력되는 신호가 서로 다른 상태일 때 상기 센스 앰프에서 출력되는 데이터 신호와 동일한 상태의 신호를 출력하는 데이터 출력 버퍼를 포함하여 구성된다.

제4도는 본 발명에 의한 센스 앰프 출력 제어 회로를 도시한 것으로, 센스 앰프(60)와, 슈미트 트리거 회로(100)와, 데이터 래치 회로(120)와, 데이터 출력 버퍼(140)로 구성된다.

여기서, 상기 슈미트 트리거 회로(100)는 제1, 제2슈미트 트리거(100A),(100B)로 구성된다. 제1슈미트 트리거(100A)는 피 모스 트랜지스터(101)(102) 및 엔 모스 트랜지스터(103)(104)가 전원 전압(Vcc)과 접지(Vss) 사이에 차례로 연결되고, 상기 모스 트랜지스터(101-104)의 게이트에는 상기 센스 앰프(60)의 출력 신호(SOUT)가 인가되며, 출력 단자가 상기 모스 트랜지스터(102)(103)의 드레인 접속점에 연결된다. 그리고, 피 모스 트랜지스터(105)의 소스가 상기 모스 트랜지스터(101)(102)의 드레인-소스 접속점에 연결되고, 드레인이 접지되며 게이트가 출력 단자에 연결되어 있다. 또한, 엔 모스 트랜지스터(106)의 드레인이 전원전압(Vcc)에 연결되고 소스가 상기 모스 트랜지스터(103)(104)의 소스-드레인 접속점에 연결되며 게이트는 출력 단자에 연결되어 있다. 또한, 제2슈미트 트리거(100B)는 상기 모스 트랜지스터(101-106)와 동일하게 구성된 모스 트랜지스터(107-112)를 구비하고 있는데, 상기 모스 트랜지스터(107-110)의 게이트에는 상기 센스 앰프(60)의 출력 신호(SOUT)가 반전된 데이터 바 신호(SOUTB)가 인가된다.

상기 데이터 래치 회로(120)는 제2도의 데이터 래치(70)와 동일하게 구성되어 노드(N3)의 신호를 반전하여 출력하는 제1래치(120A)와, 역시 제2도의 데이터 래치(70)와 동일하게 구성되어 노드(N4)의 신호를 반전하여 출력하는 제2래치(120B)로 구성되어 있다.

상기 데이터 출력 버퍼(140)는 전원전압(Vcc)과 접지 사이에 직렬로 연결된 피 모스 트랜지스터(141) 및 엔 모스 트랜지스터(142)와, 노드(N5)의 신호와 출력 인에이블 신호(OE)를 낸드 연산하는 낸드 게이트(143)와, 상기 낸드 게이트(143)의 출력 신호와 노드(N6)의 출력 신호를 노아 연산하는 노아 게이트(144)와, 상기 노아 게이트(144)의 출력 신호를 반전하여 상기 피 모스 트랜지스터(141)의 게이트로 인가하는 인버터(145)와, 상기 출력 인에이블 신호(OE)를 반전하는 인버터(146)와, 상기 인버터(146)의 출력 신호와 상기 노드(N5)의 출력 신호를 노아 연산하는 노아 게이트(147)와, 상기 노아 게이트(147)의 출력 신호와 상기 노드(N6)의 출력 신호를 낸드 연산하는 낸드 게이트(148)와, 상기 낸드 게이트(148)의 출력 신호를 반전하여 상기 엔 모스 트랜지스터(142)의 게이트에 인가하는 인버터(149)와, 상기 모스 트랜지스터(141)(142)의 드레인 접속점에 연결된 출력 단자와 접지 사이에 연결되어 있는 로드 캐패시터(150)로 구성되어 있다.

이와같이 구성된 본 발명에 의한 반도체 메모리의 센스 앰프 출력 제어 회로의 작용 및 효과를 첨부된 도

면을 참조하여 상세히 설명하면 다음과 같다.

먼저, 슈미트 트리거(100A)의 동작을 설명하면 다음과 같다. 만약, 트랜지스터(101-104)의 게이트에 인가되는 전압(SOUT)이 로우 상태이면 피 모스 트랜지스터(101, 102)가 턴-온, 엔 모스 트랜지스터(103, 104)가 턴 오프되어 노드(N3)는 하이 상태가 된다. 따라서, 상기 노드(N3)에 각각의 게이트가 연결되어 있는 피 모스 트랜지스터(105)는 턴 오프, 엔 모스 트랜지스터(106)는 턴 온되어 노드(N7)의 레벨이 하이 상태가 된다. 상기 전압(SOUT)이 증가하여 트랜지스터(103, 104)의 문턱 전압을 넘어서게 되면 상기 트랜지스터(103, 104)가 턴-온, 트랜지스터(101, 102)가 턴 오프된다. 그러나, 노드(N7)가 여전히 하이 상태에 있게 되므로 노드(N3)에 나타나는 출력 전압의 레벨은 여전히 하이 상태가 된다. 계속해서, 상기 전압(SOUT)이 상승하여 트랜지스터(104)의 구동 능력이 트랜지스터(106)의 구동 능력보다 더 커지게 되면 상기 트랜지스터(104)의 소스에 인가된 접지 레벨의 전압이 노드(N3)에 전달되게 되어 출력 전압의 레벨이 비로소 로우 상태로 변화하게 된다.

한편, 트랜지스터(101-104)의 게이트에 인가되는 전압(SOUT)이 하이 상태이면 엔 모스 트랜지스터(103, 104)가 턴-온, 트랜지스터(101, 102)가 턴 오프되어 노드(N3)는 로우 상태가 된다. 따라서, 상기 노드(N3)에 각각의 게이트가 연결되어 있는 피 모스 트랜지스터(105)는 턴 온, 엔 모스 트랜지스터(106)는 턴 오프되어 노드(N8)의 레벨이 로우 상태가 된다. 상기 전압(SOUT)의 레벨이 감소하여 트랜지스터(101, 102)의 문턱 전압 이하로 감소하게 되면 상기 트랜지스터(101, 102)가 턴-온, 트랜지스터(103, 104)가 턴 오프된다. 그러나, 노드(N8)가 여전히 로우 상태에 있게 되므로 노드(N3)에 나타나는 출력 전압의 레벨은 계속해서 로우 상태가 된다. 상기 전압(SOUT)이 계속 하강하여 트랜지스터(101)의 구동 능력이 트랜지스터(105)의 구동 능력보다 더 커지게 되면 상기 트랜지스터(101)의 소스에 인가된 전원 전압이 노드(N3)에 전달되게 되어 출력 전압의 레벨이 비로소 하이 상태로 변화하게 된다.

일반적인 인버터에서는 입력 전압이 로우에서 하이로 변화되면 소정의 전압(V1)에서 출력 전압이 하이에서 로우로 변화되고, 입력 전압이 하이에서 로우로 변화되면 소정의 전압(V1)에서 출력 전압이 로우에서 하이로 변화된다. 그러나, 상기 슈미트 트리거(100A)에서는, 일반적인 인버터에서와는 달리 입력 전압이 로우에서 하이로 변화되더라도 입력 전압의 레벨이 V1 보다 더 높은 레벨(V1+dV)에서 출력 전압이 하이에서 로우로 변화된다. 반대로 입력 전압이 하이에서 로우로 변화되더라도 입력 전압의 레벨이 V1 보다 더 낮은 레벨(V1-dV)에서 출력 전압이 로우에서 하이 상태로 변화되게 된다. 따라서, 슈미트 트리거(100A)는 일반적인 인버터에 비해 ($\Delta V = -dV + dV$)의 폭을 가지는 히스테리시스 특성을 가지게 된다. 즉, 입력 전압이 상기 레벨(V1±dV) 사이에 있는 동안, 즉 입력 전압이 레벨이 불안정한 동안에는 출력 전압의 상태 변화가 일어나지 않다가, 입력 전압이 상기 레벨(V1±dV) 이상으로 증가 또는 감소하여 입력 전압의 레벨이 안정화 되었을 때 출력 전압의 변화가 발생된다. 여기서 상기 ΔV 의 값은 상기 피 모스 트랜지스터(101, 105) 간의 구동 능력과 엔 모스 트랜지스터(104, 106) 간의 구동 능력을 조절함에 의해 적절히 주어질 수 있다.

상기와 같은 특성을 슈미트 트리거를 포함한 본 발명에서는 제5도(a)와 같이 어드레스 신호의 천이가 발생되어, (b)와 같이 센스 인에이블 신호가 하이로 천이되면 래치 인에이블 신호(LE)와 출력 인에이블 신호(OE)가 지연 시간없이 동시에 하이로 천이된다. 센스 앰프(60)가 인에이블되면 센스 앰프(60)는 전원전압(Vcc)의 레벨을 유지하던 출력 신호(SOUT), (SOUTB)가 1/2Vcc의 레벨로 이퀄라이즈된다. 상기 센스 앰프(60)의 출력 신호(SOUT)(SOUTB)가 하이 레벨과 1/2Vcc의 레벨을 유지할 때까지, 슈미트 트리거(100A)(100B)는 모두 로우 상태의 신호를 출력한다.

데이터 래치 회로(120)에서는 상기 노드(N3), (N4)로 부터 로우 상태의 신호가 입력됨에 따라, 턴-온된 피 모스 트랜지스터(121, 122), (128, 129)에 의해 노드(N5), (N6)가 모두 하이 상태가 된다. 데이터 출력 버퍼(140)는 노드(N5)(N6)로부터 출력되는 신호가 같은 상태, 즉 모두 하이이거나 모두 로우이면 하이 임피던스 상태로 된다. 그러므로, 하이 상태인 노드(N5), (N6)의 출력 신호에 의해 상기 모스 트랜지스터(141)(142)의 게이트에는 각각 하이 및 로우 상태의 신호가 인가됨으로 데이터 출력 버퍼(140)가 하이 임피던스 상태로 된다.

그러나, 이퀄라이즈 상태가 끝난 후 상기 센스 앰프(60)의 두 출력 신호(SOUT), (SOUTB)는 제5도(e)와 같이 서로 벌어지기 시작한다. 만약, 센스 앰프(60)의 일 출력 신호(SOUT)가 하이 레벨로, 다른 출력 신호(SOUTB)가 로우 레벨로 변화하기 시작한다면, 상기 두 출력 신호(SOUT)(SOUTB)간의 갭(gap)이 ΔV 이상으로 벌어지기 전까지는 상기 슈미트 트리거 회로(100)의 출력 신호는 전술한 히스테리시스 특성에 의해 변화되지 않는다. 그런데, 상기 두 출력 신호(SOUT)(SOUTB)간의 갭이 ΔV 이상으로 벌어지게 되면 슈미트 트리거(100)가 인버터의 역할을 하게되어, 하이 상태로 변화하는 신호(SOUT)를 입력받는 슈미트 트리거(100A)는 로우 상태를, 로우 상태로 변화하는 신호(SOUTB)를 입력받는 슈미트 트리거(100B)는 하이 상태를 각각 출력하게 되어, 노드(N3)의 레벨이 로우, 노드(N4)의 레벨이 하이 상태로 된다.

데이터 래치 회로(120)에서는, 각각이 인버터의 역할을 하는 제1래치(120A)가 하이 상태의 신호를, 제2래치(120B)가 로우 상태를 출력하게 된다. 이어서, 데이터 출력 버퍼(140)에서는 하이 및 로우 상태인 상기 데이터 래치 회로(120)의 출력 신호가 낸드 게이트(143)(148)에 각각 입력됨으로써 피 모스 트랜지스터(141)가 턴 온, 엔 모스 트랜지스터(142)가 턴 오프된다. 따라서, 출력 버퍼(140)는 하이 상태의 신호를 출력하게 된다.

반면, 센스 앰프(60)의 일 출력 신호(SOUT)가 로우 레벨로, 다른 출력 신호(SOUTB)가 하이 레벨로 변화하기 시작한다면, 상기에서 설명한 바와 같은 방법으로 상기 두 출력 신호(SOUT)(SOUTB)간의 갭이 ΔV 이상으로 벌어지면 로우 상태로 변화하는 신호(SOUT)를 입력받는 슈미트 트리거(100A)는 하이 상태를, 하이 상태로 변화하는 신호(SOUTB)를 입력받는 슈미트 트리거(100B)는 로우 상태를 각각 출력하게 된다. 그리고 데이터 래치 회로(120)에서는, 제1래치(120A)가 로우 상태의 신호를, 제2래치(120B)가 하이 상태의 신호를 출력하게 된다. 데이터 출력 버퍼(140)에서는 상기 로우 및 하이 상태인 상기 래치부(120)의 출력 신호가 낸드 게이트(143)(148)에 각각 입력됨으로써 피 모스 트랜지스터(141)가 턴 오프, 엔 모스 트랜지스터(142)가 턴 온된다. 따라서, 데이터 출력 버퍼(140)는 로우 상태의 신호를 출력하게 된다.

이와같이, 본 발명에서는 센스 인에이블 신호와 동시에 래치 인에이블 신호(LE) 및 출력 인에이블 신호

(0E)를 하이로 인가하면, 센스 앰프(60)의 출력 신호가 안정화되어 출력 신호(SOUT)(SOUTB)간의 갭이 일정한 값(ΔV) 이상으로 벌어지는 순간 데이터 출력 버퍼(140)가 동작한다. 따라서, 본 발명은 제2도(e),(f)와 같이, 유효한 데이터를 얻기위해 래치 인에이블 신호(LE) 및 출력 인에이블 신호(0E)를 위한 소정의 지연 시간(Td1),(Td2)을 둘 필요가 없으므로 동작 속도가 빨라지도록 하는 효과가 있다.

또한, 센스 앰프(60)와 데이터 출력 버퍼(140)가 각각 8개로 구성되어 있다면, 8개의 데이터 출력 버퍼(140)는 출력 인에이블 신호(0E)에 의해 동시에 동작되는 것이 아니라, 자신의 두 출력 신호의 갭이 ΔV 만큼 먼저 벌어지는 센스 앰프(60)에 연결된 데이터 출력 버퍼(140)가 먼저 동작하게 된다. 그러므로, 제5도(g)에 도시된 바와 같이 상기 8개의 데이터 출력 버퍼(150)는 자신과 연결된 센스 앰프(60)의 출력 신호에 따라 각각 동작 시간이 결정된다. 따라서, 본 발명에서는 데이터 버퍼(140)에서 발생하는 피크 전류가 각각의 동작 시간이 서로 다른 데이터 버퍼(140)에 분산되게 되므로, 제4도(h)와 같이 줄어들게 되고, 따라서 노이즈의 발생 가능성을 줄일 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

센스 인에이블 신호에 따라 메모리 셀에서 리드되는 데이터를 센싱하는 센스 앰프와; 상기 센스 앰프에서 출력되는 데이터 신호와 상기 데이터 신호가 반전된 데이터 바 신호의 갭이 소정의 값 이하일 때에는 동일한 상태의 신호를 출력하다가, 상기 신호의 갭이 소정의 값 이상으로 벌어질 때 서로 다른 상태의 신호를 발생하는 슈미트 트리거 회로와; 래치 인에이블 신호가 입력됨에 따라, 상기 슈미트 트리거 회로의 출력 신호를 각각 반전하여 출력하는 데이터 래치 회로와; 출력 인에이블 신호가 입력됨에 따라, 상기 데이터 래치 회로에서 출력되는 신호가 서로 다른 상태일 때 상기 센스 앰프에서 출력되는 데이터 신호와 동일한 상태의 신호를 출력하는 데이터 출력 버퍼를 포함하는 반도체 메모리의 센스 앰프 출력 제어 회로.

청구항 2

제1항에 있어서, 상기 슈미트 트리거 회로는 상기 센스 앰프에서 출력되는 데이터 신호에 대해 소정 값의 히스테리시스 특성을 가지고, 상기 데이터 신호를 반전하여 출력하는 제1슈미트 트리거와; 상기 센스 앰프에서 출력되는 데이터 바 신호에 대해 소정 값의 히스테리시스 특성을 가지고, 상기 데이터 바 신호를 반전하여 출력하는 제2슈미트 트리거를 포함하는 반도체 메모리의 센스 앰프 출력 제어 회로.

청구항 3

제2항에 있어서, 상기 제1슈미트 트리거는 전원 전압과 접지 사이에 차례로 연결되고, 각각의 게이트에는 상기 센스 앰프에서 출력되는 데이터 신호가 인가됨으로써 인버터를 형성하는 제1, 제2피 모스 트랜지스터 및 제1, 제2엔 모스 트랜지스터와; 드레인이 접지되며 소스는 상기 제1, 제2피 모스 트랜지스터의 드레인-소스 접속점에 연결되고 게이트는 상기 인버터의 출력단자에 연결되어, 상기 센스 앰프에서 출력되는 데이터 신호가 하이에서 로우로 변화될 때 상기 인버터의 출력 신호가 로우에서 하이로 변화되는 전압을 소정의 값만큼 더 낮추는 히스테리시스 특성을 부여하는 제3피 모스 트랜지스터와; 드레인이 전원 전압에 연결되며 소스는 상기 제1, 제2엔 모스 트랜지스터의 소스-드레인 접속점에 연결되고 게이트는 상기 인버터의 출력 단자에 연결되어, 상기 센스 앰프에서 출력되는 데이터 신호가 로우에서 하이로 변화될 때 상기 인버터의 출력 신호가 하이에서 로우로 변화되는 전압을 소정의 값만큼 더 높이는 히스테리시스 특성을 부여하는 제3엔 모스 트랜지스터를 포함하는 반도체 메모리의 센스 앰프 출력 제어 회로.

청구항 4

제3항에 있어서, 상기 센스 앰프에서 출력되는 데이터 신호가 하이에서 로우로 변화될 때 상기 인버터의 출력 신호가 로우에서 하이로 변화되는 전압은 상기 제1피 모스 트랜지스터와 제3피 모스 트랜지스터의 구동 능력에 의해 결정됨을 특징으로 하는 반도체 메모리의 센스 앰프 출력 제어 회로.

청구항 5

제3항에 있어서, 상기 센스 앰프에서 출력되는 데이터 신호가 로우에서 하이로 변화될 때 상기 인버터의 출력 신호가 하이에서 로우로 변화되는 전압은 상기 제2엔 모스 트랜지스터와 제3엔 모스 트랜지스터의 구동 능력에 의해 결정됨을 특징으로 하는 반도체 메모리의 센스 앰프 출력 제어 회로.

청구항 6

제2항에 있어서, 상기 제2슈미트 트리거는 상기 제1슈미트 트리거와 동일하게 구성되어, 상기 센스 앰프에서 출력되는 데이터 바 신호가 하이에서 로우로 변화될 때 출력 신호가 로우에서 하이로 변화되는 전압을 소정의 값만큼 더 낮추는 히스테리시스 특성을 가지며, 상기 데이터 바 신호가 로우에서 하이로 변화될 때 상기 출력 신호가 하이에서 로우로 변화되는 전압을 소정의 값만큼 더 높이는 히스테리시스 특성을 가지는 것을 특징으로 하는 반도체 메모리의 센스 앰프 출력 제어 회로.

청구항 7

제1항에 있어서, 상기 래치 인에이블 신호와 출력 인에이블 신호는 상기 센스 인에이블 신호와 동일한 시점에서 인에이블됨을 특징으로 하는 반도체 메모리의 센스 앰프 출력 제어 회로.

청구항 8

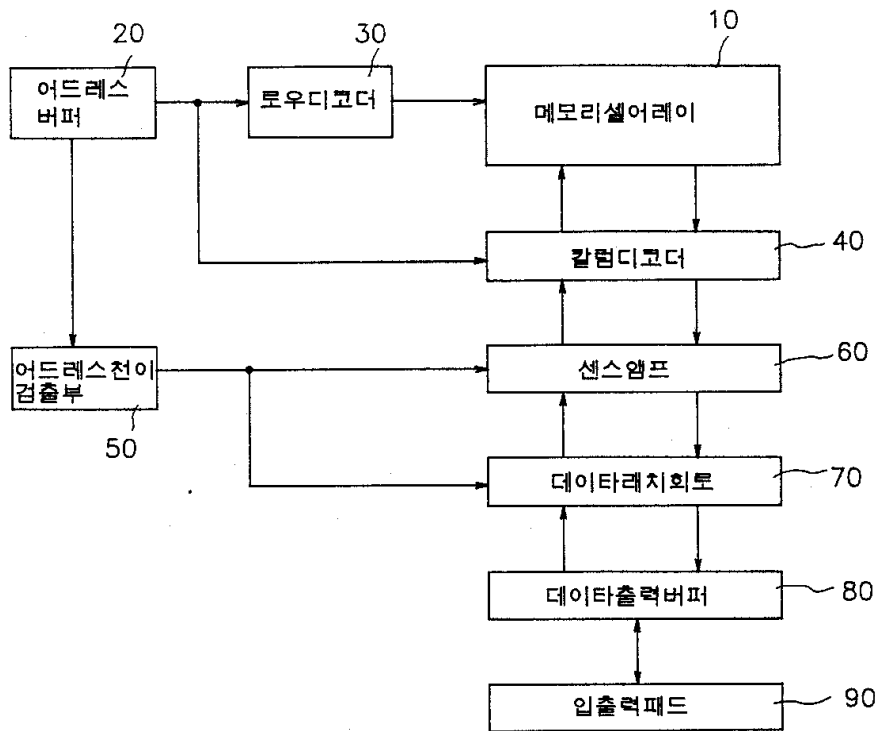
제1항에 있어서, 상기 데이터 래치 회로는 래치 인에이블 신호가 입력됨에 따라, 상기 슈미트 트리거 회로의 출력 신호를 각각 반전하여 데이터 출력 버퍼로 출력하는 제1, 제2래치를 포함하는 반도체 메모리의 센스 앰프 출력 제어 회로.

청구항 9

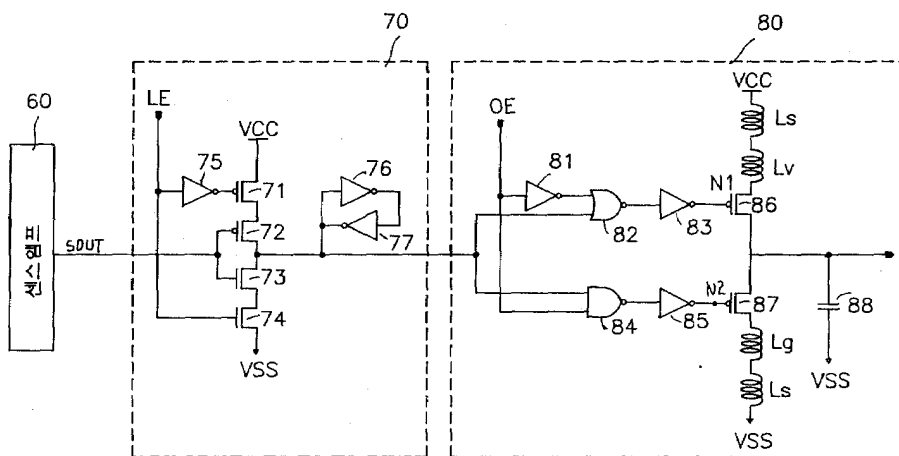
제8항에 있어서, 상기 데이터 출력 버퍼는 상기 출력 인에이블 신호와 제1래치의 출력 신호를 낸드 연산하는 제1낸드 게이트와; 상기 제1낸드 게이트의 출력 신호와 상기 제2래치의 출력 신호를 노아 연산하는 제1노아 게이트와; 상기 제1노아 게이트의 출력 신호를 반전하는 제1인버터와; 소스가 전원 전압에 연결되고 드레인이 출력단자와 연결되며 게이트에는 상기 제1인버터의 출력 신호가 인가되는 피 모스 트랜지스터와; 반전된 출력 인에이블 신호와 상기 제1래치의 출력 신호를 노아 연산하는 제2노아 게이트와; 상기 제2노아 게이트의 출력 신호와 상기 제2래치의 출력 신호를 낸드 연산하는 제2낸드 게이트와; 상기 제2낸드 게이트의 출력 신호를 반전하는 제2인버터와; 소스가 접지되고 드레인이 출력 단자와 연결되며 게이트에는 상기 제2인버터의 출력 신호가 인가되는 엔 모스 트랜지스터를 포함하는 반도체 메모리의 센스 앰프 출력 제어 회로.

도면

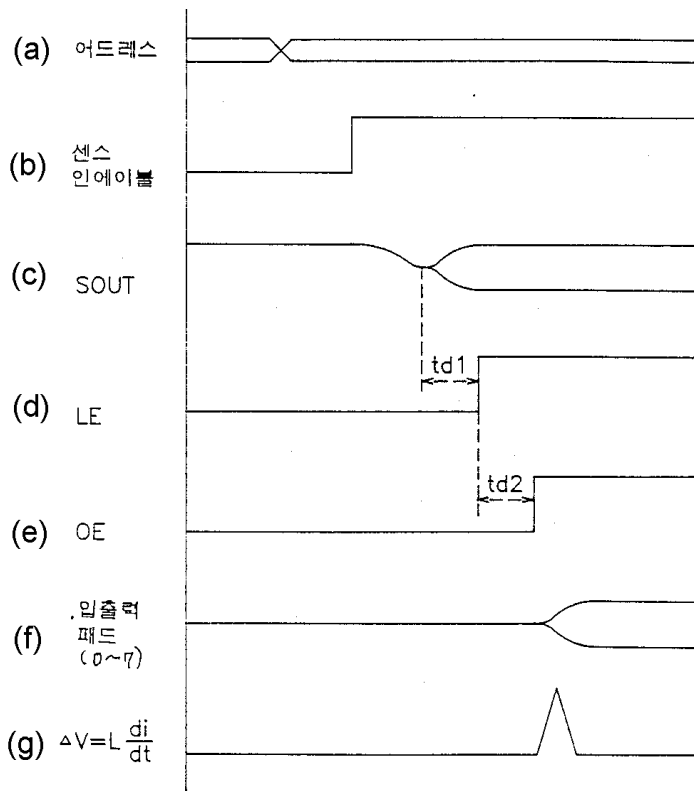
도면1



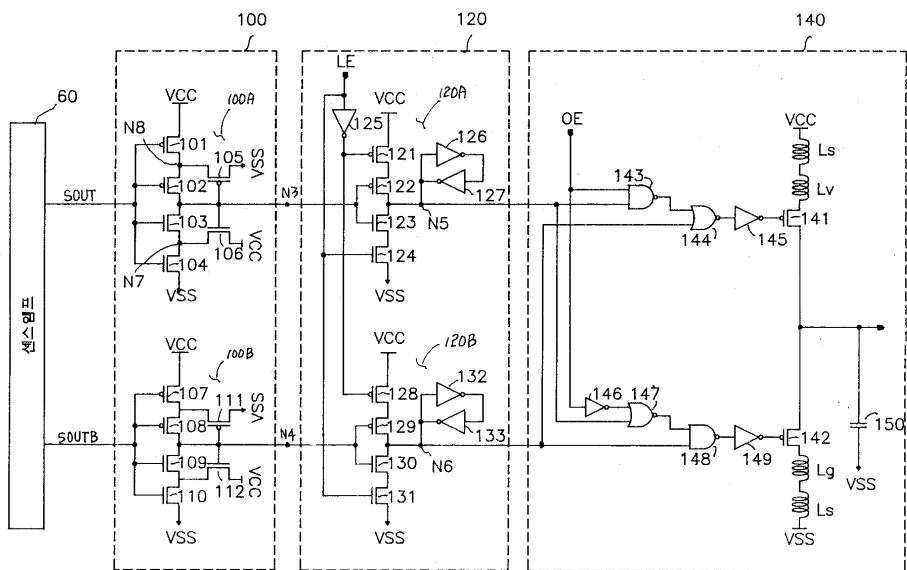
도면2



도면3



도면4



도면5

