

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-4411

(P2009-4411A)

(43) 公開日 平成21年1月8日(2009.1.8)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 K	4 M 1 0 4
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 3 0 1 R	
HO 1 L 29/423 (2006.01)	HO 1 L 29/58 G	
HO 1 L 29/49 (2006.01)	HO 1 L 29/78 6 5 3 C	
	HO 1 L 29/78 6 5 2 N	
審査請求 未請求 請求項の数 13 O L (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2007-161049 (P2007-161049)
 (22) 出願日 平成19年6月19日 (2007.6.19)

(71) 出願人 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2-1番地
 (74) 代理人 100085501
 弁理士 佐野 静夫
 (74) 代理人 100134555
 弁理士 林田 英樹
 (72) 発明者 高石 昌
 京都市右京区西院溝崎町2-1番地 ローム株式会社内
 Fターム(参考) 4M104 AA01 BB01 BB02 BB04 BB05
 BB06 BB08 BB14 BB16 BB18
 BB30 BB36 CC03 CC05 DD43
 DD55 FF01 FF06 FF13 GG09
 HH20

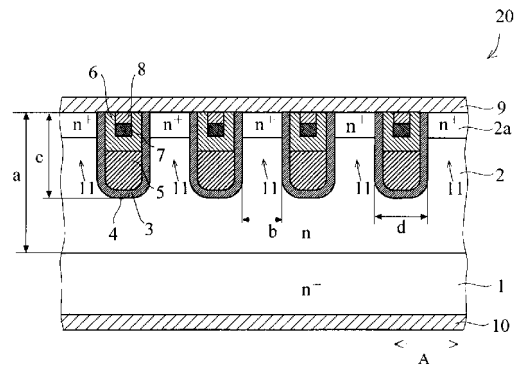
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】スイッチング速度を高速化することが可能な半導体装置を提供する。

【解決手段】この半導体装置20は、互いに所定の間隔(b)を隔てて配列された複数のトレンチ3を有するn型エピタキシャル層2と、複数のトレンチ3の各々を埋め込むように、トレンチ3の内面上にシリコン酸化膜4を介して形成された埋め込み電極5と、埋め込み電極5の上方に、シリコン酸化膜6を介して配設されることにより、埋め込み電極5と容量結合されたメタル層7とを備えている。また、半導体装置20は、互いに隣り合うトレンチ3間の領域がチャンネル(電流通路)11となるように構成されており、この領域をトレンチ3の周辺に形成された空乏層で塞ぐことによって、チャンネル11を流れる電流が遮断される一方、トレンチ3の周辺の空乏層を消滅させることによって、チャンネル11を介して電流が流れるように構成されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

互いに所定の間隔を隔てて配列された複数のトレンチを有する一導電型の半導体層と、前記複数のトレンチの各々に埋め込まれた複数の埋め込み電極と、前記複数のトレンチの少なくとも 1 つの内部に形成され、前記埋め込み電極の上方に第 1 絶縁膜を介して配設されることにより、前記埋め込み電極と容量結合された導電体層とを備えることを特徴とする、半導体装置。

【請求項 2】

前記半導体層は、隣り合う前記トレンチ間の各領域が電流通路となるように構成されているとともに、前記複数のトレンチの周辺に形成された空乏層によって、隣り合う前記トレンチ間の各領域が塞がれることにより、前記電流通路が遮断される一方、前記トレンチの周辺に形成された空乏層の少なくとも一部が消滅することにより前記電流通路が開くように構成されていることを特徴とする、請求項 1 に記載の半導体装置。

10

【請求項 3】

前記導電体層が、前記複数のトレンチの各々の内部に形成されており、前記埋め込み電極とそれぞれ容量結合されていることを特徴とする、請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記導電体層の上面には、第 2 絶縁膜が形成されており、前記第 2 絶縁膜は、その上面が前記半導体層の上面と同一面となるように前記トレンチ内に形成されていることを特徴とする、請求項 1 ~ 3 のいずれかに記載の半導体装置。

20

【請求項 5】

前記複数の埋め込み電極のうちの所定の埋め込み電極は、第 3 絶縁膜を介して前記トレンチの内面上に形成されており、前記第 1 絶縁膜の厚みは、前記第 3 絶縁膜の厚み以上であることを特徴とする、請求項 1 ~ 4 のいずれかに記載の半導体装置。

【請求項 6】

前記トレンチの配列方向における前記導電体層の幅は、前記埋め込み電極の幅よりも小さいことを特徴とする、請求項 1 ~ 5 のいずれかに記載の半導体装置。

【請求項 7】

前記導電体層は、金属材料から構成されていることを特徴とする、請求項 1 ~ 6 のいずれかに記載の半導体装置。

30

【請求項 8】

前記導電体層は、W、Ti、および、TiN より選択された、少なくとも 1 つの金属材料から構成されていることを特徴とする、請求項 7 に記載の半導体装置。

【請求項 9】

前記複数のトレンチは、それぞれ、前記半導体層の上面と平行で、かつ、前記トレンチの配列方向と直交する方向に、互いに平行に延びるように細長状に形成されていることを特徴とする、請求項 1 ~ 8 のいずれかに記載の半導体装置。

【請求項 10】

前記複数のトレンチの各々の周辺に形成される全ての空乏層で前記隣り合うトレンチ間の各領域が塞がれることにより前記電流通路が遮断される一方、前記複数のトレンチの各々の周辺に形成された全ての空乏層が消滅することにより前記電流通路が開くように構成されていることを特徴とする、請求項 2 ~ 9 のいずれか 1 項に記載の半導体装置。

40

【請求項 11】

前記複数の埋め込み電極は、互いに別個に電圧が印加される第 1 埋め込み電極および第 2 埋め込み電極の 2 種類に分けられており、

前記複数のトレンチのうちの全てのトレンチの周辺に形成される空乏層で前記隣り合うトレンチ間の各領域が塞がれることにより、前記電流通路が遮断される一方、前記複数のトレンチのうちの前記第 1 埋め込み電極が埋め込まれたトレンチの周辺に形成された空乏

50

層が消滅することにより、前記電流通路が開くように構成されていることを特徴とする、請求項 2 ~ 9 のいずれか 1 項に記載の半導体装置。

【請求項 1 2】

前記第 2 埋め込み電極は、前記トレンチの内部において、前記半導体層に対してショットキー接触していることを特徴とする、請求項 1 1 に記載の半導体装置。

【請求項 1 3】

前記半導体層の前記隣り合うトレンチ間の各領域に形成され、前記トレンチに対して所定の間隔を隔てて配置された逆導電型の拡散領域をさらに備え、

前記トレンチおよび前記拡散領域の各々の周辺に形成される空乏層で、前記隣り合うトレンチ間の各領域が塞がれることにより、前記電流通路が遮断される一方、前記トレンチの周辺に形成された空乏層が消滅することにより、前記電流通路が開くように構成されていることを特徴とする、請求項 2 ~ 9 のいずれか 1 項に記載の半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、スイッチング機能を有する半導体装置に関する。

【背景技術】

【0002】

従来、スイッチング機能を有する半導体装置として、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) が知られている (たとえば、特許文献 1 参照)。この特許文献 1 には、一導電型の半導体層に形成されたトレンチにゲート電極が埋め込まれたトレンチゲート型の MOSFET (半導体装置) が開示されている。

20

【0003】

図 2 2 は、上記特許文献 1 に開示された従来の MOSFET (半導体装置) の構造を示した断面図である。図 2 2 を参照して、従来の MOSFET では、 n^+ 型の半導体基板 1 0 1 の上面上に、エピタキシャル層 1 0 2 が形成されている。このエピタキシャル層 1 0 2 には、半導体基板 1 0 1 側から順に、 n^- 型不純物領域 (ドレイン領域) 1 0 2 a、 p 型不純物領域 1 0 2 b および n^+ 型不純物領域 (ソース領域) 1 0 2 c が形成されている。

30

【0004】

また、エピタキシャル層 1 0 2 には、 n^+ 型不純物領域 1 0 2 c および p 型不純物領域 1 0 2 b を貫通して n^- 型不純物領域 1 0 2 a の途中の深さにまで達するトレンチ 1 0 3 が形成されている。このトレンチ 1 0 3 の内部には、ゲート絶縁膜 1 0 4 を介して、ゲート電極 1 0 5 が形成されている。また、エピタキシャル層 1 0 2 の上面上の所定領域には、トレンチ 1 0 3 の開口を塞ぐ層間絶縁膜 1 0 6 が形成されている。

【0005】

また、エピタキシャル層 1 0 2 の上面上には、層間絶縁膜 1 0 6 を覆うように、ソース電極 1 0 7 が形成されている。また、半導体基板 1 0 1 の裏面 (下面) 上には、ドレイン電極 1 0 8 が形成されている。なお、ゲート電極 1 0 5 と、ソース電極 1 0 7 およびドレイン領域 1 0 2 a との間には、それぞれ、キャパシタ (コンデンサ) が寄生的に形成されている。

40

【0006】

上記のように構成された従来の MOSFET では、ゲート電極 1 0 5 に対する印加電圧を変化させることによりオン/オフの制御が行われる。具体的には、ゲート電極 1 0 5 に対して所定の正電位を印加すると、 p 型不純物領域 1 0 2 b の少数キャリア (電子) がトレンチ 1 0 3 側に引き寄せられることによって、 n^- 型不純物領域 (ドレイン領域) 1 0 2 a と n^+ 型不純物領域 (ソース領域) 1 0 2 c とを接続するような反転層 1 0 9 が形成される。これにより、反転層 1 0 9 を介して、ソース電極 1 0 7 とドレイン電極 1 0 8 との間に電流を流すことができる。その結果、MOSFET がオン状態となる。すなわち、

50

従来のMOSFETでは、 n^- 型不純物領域（ドレイン領域）102aと n^+ 型不純物領域（ソース領域）102cとを接続するように形成される反転層109をチャンネルとして機能させている。

【0007】

その一方、ゲート電極105に対する所定の正電位の印加を解除すると、反転層（チャンネル）109が消滅するので、ソース電極107とドレイン電極108との間における電流の流れを遮断することができる。その結果、MOSFETがオフ状態となる。

【0008】

【特許文献1】特開2001-7149号公報

【発明の開示】

10

【発明が解決しようとする課題】

【0009】

ここで、ゲート電極105と、ソース電極107およびドレイン領域102aとの間にそれぞれキャパシタ（コンデンサ）が形成されている場合には、ゲート電極105に対する印加電圧を制御することによりMOSFET（半導体装置）のオン/オフ制御を行う際に、同時に、形成されたキャパシタ（コンデンサ）の充放電が行われる。このため、キャパシタ（コンデンサ）の充放電に要する時間の分、オン/オフの切り替え速度（スイッチング速度）が遅くなる。このオン/オフの切り替え速度（スイッチング速度）を速くするためには、キャパシタ（コンデンサ）の充放電に要する時間を短くする必要がある。すなわち、キャパシタ（コンデンサ）の静電容量（入力容量）を小さくする必要がある。

20

【0010】

しかしながら、図22に示した従来のMOSFETでは、ゲート電極105とソース電極107との間、および、ゲート電極105とドレイン領域102aとの間に形成されるキャパシタ（コンデンサ）は、寄生的に形成されるキャパシタ（コンデンサ）であるため、その静電容量を小さくすることが困難であるという不都合がある。このため、スイッチング速度を高速化することが困難であるという問題点がある。

【0011】

本発明は、上記のような課題を解決するためになされたものであり、本発明の目的は、スイッチング速度を高速化することが可能な半導体装置を提供することである。

【課題を解決するための手段】

30

【0012】

上記の目的を達成するために、この発明の一の局面による半導体装置は、互いに所定の間隔を隔てて配列された複数のトレンチを有する一導電型の半導体層と、複数のトレンチの各々に埋め込まれた複数の埋め込み電極と、複数のトレンチの少なくとも1つの内部に形成され、埋め込み電極の上方に第1絶縁膜を介して配設されることにより、埋め込み電極と容量結合された導電体層とを備えている。なお、本発明の半導体層は、半導体基板を含む。

【0013】

この一の局面による半導体装置では、上記のように、埋め込み電極の上方に第1絶縁膜を介して形成され、埋め込み電極と容量結合された導電体層をトレンチ内部に備えることにより、トレンチ内部に埋め込み電極と直列に接続されたキャパシタ（コンデンサ）を形成することができるので、トレンチ内部の埋め込み電極の合計静電容量（入力容量）を小さくすることができる。これにより、埋め込み電極に対する印加電圧を制御することによって、オフ状態からオン状態への切り替え、または、その逆の切り替えを行う際に、オン/オフの切り替え速度を速くすることができる。すなわち、スイッチング速度を高速化することができる。

40

【0014】

上記一の局面による半導体装置において、好ましくは、半導体層は、隣り合うトレンチ間の各領域が電流通路となるように構成されているとともに、複数のトレンチの周辺に形成された空乏層によって、隣り合うトレンチ間の各領域が塞がれることにより、電流通路

50

が遮断される一方、トレンチの周辺に形成された空乏層の少なくとも一部が消滅することにより電流通路が開くように構成されている。このような構成を上記一の局面による半導体装置に適用すれば、スイッチング速度を高速化することが可能であるとともに、オン抵抗を大幅に低減することが可能な新しい動作原理に基づく半導体装置を得ることができる。すなわち、トレンチの内面上に絶縁膜を介して埋め込み電極を形成すれば、その埋め込み電極に対する印加電圧に応じてトレンチの周辺に形成される空乏層の形成状態が変化するので、埋め込み電極に対する印加電圧を制御することによって、オフ状態（チャンネルを流れる電流が遮断される状態）からオン状態（チャンネルを介して電流が流れる状態）への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。すなわち、半導体装置にスイッチング機能を持たせることができる。そして、上記した構成では、オン時において、隣り合うトレンチ間の各領域の空乏層が形成されていない領域の全てをチャンネル（電流通路）として機能させることができるので、非常に薄い反転層をチャンネル（電流通路）として機能させる従来の半導体スイッチ装置（MOSFET）と比べて、チャンネルを流れる電流に対する抵抗を大幅に低減することが可能となる。これにより、スイッチング速度を高速化させながら、従来の半導体スイッチ装置（MOSFET）と比べて、オン抵抗を大幅に低減することができる。

10

20

30

40

50

【0015】

上記一の局面による半導体装置において、好ましくは、導電体層が、複数のトレンチの各々の内部に形成されており、埋め込み電極とそれぞれ容量結合されている。このように構成すれば、埋め込み電極の各々に対して、その合計静電容量（入力容量）を小さくすることができるので、容易に、スイッチング速度を高速化することができる。

【0016】

上記一の局面による半導体装置において、導電体層の上面上に、第2絶縁膜を形成するとともに、第2絶縁膜を、その上面が半導体層の上面と同一面となるようにトレンチ内に形成してもよい。

【0017】

上記一の局面による半導体装置において、好ましくは、複数の埋め込み電極のうちの所定の埋め込み電極は、第3絶縁膜を介してトレンチの内面上に形成されており、第1絶縁膜の厚みは、第3絶縁膜の厚み以上である。このように構成にすれば、第1絶縁膜における絶縁破壊を抑制することができるので、トレンチ内に第1絶縁膜を介して導電体層を形成したとしても、第1絶縁膜の絶縁破壊に起因して、半導体装置の耐压特性が低下するという不都合が生じるのを抑制することができる。

【0018】

上記一の局面による半導体装置において、好ましくは、トレンチの配列方向における導電体層の幅は、埋め込み電極の幅よりも小さい。このように構成すれば、導電体層の平面積を小さくすることができるので、埋め込み電極と導電体層との間の静電容量を小さくすることができる。このため、容易に、トレンチ内部の埋め込み電極の合計静電容量（入力容量）を小さくすることができる。

【0019】

上記一の局面による半導体装置において、好ましくは、導電体層は、金属材料から構成されている。このように構成すれば、容易に、トレンチ内部に導電体層を形成することができるので、容易に、トレンチ内部に埋め込み電極と直列に接続されたキャパシタ（コンデンサ）を形成することができる。

【0020】

上記一の局面による半導体装置において、好ましくは、導電体層は、W、Ti、および、TiNより選択された、少なくとも1つの金属材料から構成されている。このように構成すれば、より容易に、トレンチ内部に導電体層を形成することができるので、より容易に、トレンチ内部に埋め込み電極と直列に接続されたキャパシタ（コンデンサ）を形成することができる。

【0021】

上記一の局面による半導体装置において、複数のトレンチを、それぞれ、半導体層の上面と平行で、かつ、トレンチの配列方向と直交する方向に、互いに平行に延びるように細長状に形成してもよい。

【0022】

上記隣り合うトレンチ間の各領域が電流通路となるように構成された半導体装置において、複数のトレンチの各々の周辺に形成される全ての空乏層で隣り合うトレンチ間の各領域が塞がれることにより電流通路が遮断される一方、複数のトレンチの各々の周辺に形成された全ての空乏層が消滅することにより電流通路が開くように構成されていてもよい。

【0023】

上記隣り合うトレンチ間の各領域が電流通路となるように構成された半導体装置において、複数の埋め込み電極は、互いに別個に電圧が印加される第1埋め込み電極および第2埋め込み電極の2種類に分けられており、複数のトレンチのうちの全てのトレンチの周辺に形成される空乏層で隣り合うトレンチ間の各領域が塞がれることにより、電流通路が遮断される一方、複数のトレンチのうちの第1埋め込み電極が埋め込まれたトレンチの周辺に形成された空乏層が消滅することにより、電流通路が開くように構成されていてもよい。

10

【0024】

この場合、第2埋め込み電極は、トレンチの内部において、半導体層に対してショットキー接触していてもよい。

【0025】

上記隣り合うトレンチ間の各領域が電流通路となるように構成された半導体装置において、半導体層の隣り合うトレンチ間の各領域に形成され、トレンチに対して所定の間隔を隔てて配置された逆導電型の拡散領域をさらに備え、トレンチおよび拡散領域の各々の周辺に形成される空乏層で、隣り合うトレンチ間の各領域が塞がれることにより、電流通路が遮断される一方、トレンチの周辺に形成された空乏層が消滅することにより、電流通路が開くように構成されていてもよい。

20

【発明の効果】

【0026】

以上のように、本発明よれば、スイッチング速度を高速化することが可能な半導体装置を容易に得ることができる。

30

【発明を実施するための最良の形態】

【0027】

以下、本発明を具体化した実施形態を、図面を参照して詳細に説明する。

【0028】

(第1の実施形態)

図1は、本発明の第1の実施形態に係る半導体装置の構造を示した断面図である。まず、図1を参照して、本発明の第1の実施形態に係る半導体装置20の構造について説明する。なお、第1の実施形態に係る半導体装置20は、ノーマリオフ型のスイッチ装置として機能するように構成されている。

【0029】

第1の実施形態に係る半導体装置20では、 n^+ 型シリコン基板1の上面上に、約 $1\mu\text{m}$ ~約 $10\mu\text{m}$ の厚み(a)を有する n 型シリコンからなる n 型エピタキシャル層2が形成されている。 n^+ 型シリコン基板1には、後述するドレイン電極10との間で良好なオーミック接触を得るために、 n 型不純物が高濃度で導入されている。また、 n 型エピタキシャル層2には、 n 型不純物が n^+ 型シリコン基板1よりも低い濃度(たとえば、約 $5 \times 10^{15} \text{cm}^{-3}$ ~約 $1.0 \times 10^{18} \text{cm}^{-3}$)で導入されている。なお、 n 型エピタキシャル層2は、本発明の「一導電型の半導体層」の一例である。

40

【0030】

また、 n 型エピタキシャル層2は、その厚み方向に掘られた複数のトレンチ3を有している。この複数のトレンチ3は、 n 型エピタキシャル層2の所定領域がその上面(主表面

50

側からエッチングされることによって形成されている。すなわち、複数のトレンチ3の各々の開口端は、n型エピタキシャル層2の上面側に位置している。

【0031】

また、複数のトレンチ3は、その各々がn型エピタキシャル層2の上面に対して平行な所定方向に沿って延びるように細長状に形成されている。また、複数のトレンチ3は、n型エピタキシャル層2の上面に対して平行で、かつ、トレンチ3が延びる方向と直交する方向(A方向)に互いに約 $0.05\mu\text{m}$ ~約 $0.3\mu\text{m}$ の間隔(b)を隔てて配列されている。さらに、複数のトレンチ3の各々の溝深さ(c)は、n型エピタキシャル層2の厚み(a)よりも小さくなるように、約 $0.5\mu\text{m}$ ~約 $5\mu\text{m}$ に設定されている。また、複数のトレンチ3のA方向の幅(d)は、約 $0.1\mu\text{m}$ ~約 $1\mu\text{m}$ に設定されている。

10

【0032】

また、複数のトレンチ3の各々の内面上には、n型エピタキシャル層2を構成するn型シリコンを熱酸化処理することによって得られるシリコン酸化膜4が、約 10nm ~約 100nm の厚みで形成されている。なお、シリコン酸化膜4は、本発明の「第3絶縁膜」の一例である。

【0033】

また、複数のトレンチ3の各々の内面上には、シリコン酸化膜4を介して、p型ポリシリコンからなる埋め込み電極(ゲート電極)5がそれぞれ形成されている。この複数の埋め込み電極(ゲート電極)5の各々は、対応するトレンチ3の途中の深さまで埋め込まれている。

20

【0034】

第1の実施形態では、上記のような複数の埋め込み電極(ゲート電極)5を設けることによって、複数の埋め込み電極(ゲート電極)5に対する印加電圧を制御すれば、複数のトレンチ3の各々の周辺に空乏層を形成したり、その形成された空乏層を消滅させたりすることが可能となる。そして、第1の実施形態では、互いに隣り合うトレンチ3間の間隔(b)は、複数のトレンチ3の各々の周辺に空乏層を形成した時に、隣り合うトレンチ3の各々に形成された空乏層の一部が互いに重なり合うように設定されている。すなわち、複数のトレンチ3の各々の周辺に空乏層を形成した場合には、隣り合うトレンチ3の各々の周辺に形成された空乏層が互いに連結される。このため、第1の実施形態では、複数のトレンチ3の各々の周辺に空乏層を形成すれば、互いに隣り合うトレンチ3間の各領域を空乏層によって塞ぐことが可能となる。

30

【0035】

また、第1の実施形態では、複数のトレンチ3の各々における埋め込み電極(ゲート電極)5の上方に、W(タングステン)から構成されるメタル層7がシリコン酸化膜6を介して形成されている。このメタル層7は、A方向の幅が、埋め込み電極(ゲート電極)5のA方向の幅よりも小さくなるように形成されているとともに、埋め込み電極(ゲート電極)5と対向するようにトレンチ3の内部に配設されている。一方、n型エピタキシャル層2の上面上の所定領域には、図示しないゲートパッド電極が形成されており、複数のトレンチ3の各々の内部に設けられたメタル層7は、図示しない配線層を介して、ゲートパッド電極(図示せず)とそれぞれ電氣的に接続されている。すなわち、メタル層7は、埋め込み電極(ゲート電極)5と容量結合されている。これにより、複数のトレンチ3の各々の内部には、メタル層7と埋め込み電極(ゲート電極)5とにより、シリコン酸化膜6を誘電体層とするキャパシタ(コンデンサ)が埋め込み電極(ゲート電極)5と直列に形成されている。

40

【0036】

また、第1の実施形態では、上記のように、埋め込み電極(ゲート電極)5と容量結合されたメタル層7を複数のトレンチ3の各々の内部に設けることによって、ゲート入力容量を大幅に低減することが可能となる。すなわち、埋め込み電極(ゲート電極)5とメタル層7とが容量結合されることにより、埋め込み電極(ゲート電極)5にキャパシタ(コンデンサ)が直列に接続された状態では、埋め込み電極(ゲート電極)5の合計静電容量

50

(ゲート入力容量) C は下記 (1) 式で表される。

【0037】

【数1】

$$C = \frac{1}{\frac{1}{C_{GM}} + \frac{1}{C_G}} = \frac{C_{GM} \times C_G}{C_{GM} + C_G} \quad [\text{pF}] \quad (1)$$

ここで、 C_{GM} は、埋め込み電極 (ゲート電極) 5 とメタル層 7 によって形成されるキャパシタ (コンデンサ) の静電容量を、 C_G は、埋め込み電極 (ゲート電極) 5 との間に寄生的に形成されるキャパシタ (コンデンサ) の静電容量 (ただし、 C_{GM} を除く) をそれぞれ示している。

10

【0038】

具体的な数値を用いて示すと、たとえば、 C_G が、2000 pF で、 C_{GM} が、100 pF の場合には、上記 (1) 式より、埋め込み電極 (ゲート電極) 5 の合計静電容量 (ゲート入力容量) C は、約 95 pF となる。このように、メタル層 7 を埋め込み電極 (ゲート電極) 5 と容量結合させることによって、ゲート入力容量を大幅に低減させることが可能となる。なお、上記 (1) 式より、埋め込み電極 (ゲート電極) 5 とメタル層 7 とによって形成されたキャパシタ (コンデンサ) の静電容量 C_{GM} が小さいほど、埋め込み電極 (ゲート電極) 5 の合計静電容量 C が小さくなる。

20

【0039】

また、第 1 の実施形態では、シリコン酸化膜 6 は、シリコン酸化膜 4 の厚み以上の厚みに形成されている。なお、シリコン酸化膜 6 は、本発明の「第 1 絶縁膜」の一例であり、メタル層 7 は、本発明の「導電体層」の一例である。

【0040】

また、複数のトレンチ 3 の各々におけるメタル層 7 の上方の部分には、 SiO_2 からなる層間絶縁膜 8 が形成されている。この層間絶縁膜 8 の各々の上面は、n 型エピタキシャル層 2 の上面 (隣り合うトレンチ 3 間の各領域の上端部の上面) に対して同一面となっている。なお、層間絶縁膜 8 は、本発明の「第 2 絶縁膜」の一例である。

30

【0041】

また、n 型エピタキシャル層 2 の上面側の部分 (隣り合うトレンチ 3 間の各領域の上端部) には、n 型エピタキシャル層 2 の上面に低濃度領域が露出しないように、n 型不純物が高濃度でイオン注入された高濃度領域 2 a が形成されている。この n 型エピタキシャル層 2 の高濃度領域 2 a の不純物濃度は、後述するソース電極 9 との間で良好なオーミック接触を得ることが可能なように設定されており、n 型エピタキシャル層 2 の他の部分の不純物濃度よりも高くなっている。

【0042】

また、n 型エピタキシャル層 2 の上面上には、複数のトレンチ 3 の各々の開口端を覆うように、A1 層からなるソース電極 9 が形成されている。このソース電極 9 は、n 型エピタキシャル層 2 の高濃度領域 (隣り合うトレンチ 3 間の各領域の上端部) 2 a に対してオーミック接触している。また、n⁺型シリコン基板 1 の裏面 (下面) 上には、複数の金属層が積層された多層構造体からなるドレイン電極 10 が形成されている。このドレイン電極 10 は、n⁺型シリコン基板 1 に対してオーミック接触している。

40

【0043】

上記した構成では、ソース電極 9 とドレイン電極 10 との間に電圧を印加した場合に、ソース電極 9 とドレイン電極 10 との間を流れる電流 (n 型エピタキシャル層 2 の厚み方向に流れる電流) は、n 型エピタキシャル層 2 の隣り合うトレンチ 3 間の各領域を通過することになる。すなわち、上記した構成では、n 型エピタキシャル層 2 の隣り合うトレンチ 3 間の各領域がチャンネル (電流通路) 11 として機能することになる。

【0044】

50

図 2 および図 3 は、本発明の第 1 の実施形態に係る半導体装置の動作を説明するための断面図である。なお、図 2 には、スイッチ装置として機能する半導体装置がオフ状態となっている場合を示しており、図 3 には、スイッチ装置として機能する半導体装置がオン状態となっている場合を図示している。次に、図 2 および図 3 を参照して、第 1 の実施形態に係るスイッチ装置として機能する半導体装置 20 の動作について説明する。

【0045】

なお、以下の説明では、ソース電極 9 に負電位が印加され、ドレイン電極 10 に正電位が印加されているとする。すなわち、スイッチ装置として機能する半導体装置 20 がオン状態の場合には、ドレイン電極 10 からソース電極 9 (図 3 の矢印方向) に電流が流れる。

10

【0046】

まず、スイッチ装置として機能する半導体装置 20 がオフ状態の場合には、図 2 に示すように、埋め込み電極 (ゲート電極) 5 が埋め込まれたトレンチ 3 の周辺に存在する多数キャリアが減少するように、埋め込み電極 (ゲート電極) 5 に対する印加電圧が制御されている。ここで、メタル層 7 と埋め込み電極 (ゲート電極) 5 とは、容量結合されているため、埋め込み電極 (ゲート電極) 5 に対する印加電圧の制御は、メタル層 7 に対する印加電圧を制御することにより行われる。これにより、トレンチ 3 の周辺には、空乏層 12 が形成されている。

【0047】

この際、隣り合うトレンチ 3 間の領域において、隣り合うトレンチ 3 の各々の周辺に形成された空乏層 12 の一部が互いに重なる。すなわち、隣り合うトレンチ 3 間の領域において、隣り合うトレンチ 3 の各々の周辺に形成された空乏層 12 が互いに連結された状態となる。これにより、チャンネル 11 が空乏層 12 によって塞がれた状態となるので、チャンネル 11 を流れる電流が遮断される。したがって、スイッチ装置として機能する半導体装置 20 がオフ状態となる。

20

【0048】

次に、スイッチ装置として機能する半導体装置 20 をオフ状態からオン状態に切り替える場合には、図 3 に示すように、埋め込み電極 (ゲート電極) 5 (メタル層 7) に対して所定の正電位 (所定電圧) を印加することによって、トレンチ 3 の周辺に形成された空乏層 12 (図 2 参照) を消滅させる。これにより、チャンネル 11 を介して電流を流すことができるので、スイッチ装置として機能する半導体装置 20 をオン状態にすることが可能となる。

30

【0049】

また、スイッチ装置として機能する半導体装置 20 をオン状態からオフ状態に切り替える場合には、埋め込み電極 (ゲート電極) 5 (メタル層 7) に対する所定の正電位 (所定電圧) の印加を解除する。これにより、図 2 に示した状態に戻るため、スイッチ装置として機能する半導体装置 20 をオフ状態にすることが可能となる。

【0050】

第 1 の実施形態では、上記のように、埋め込み電極 (ゲート電極) 5 と容量結合されたメタル層 7 を複数のトレンチ 3 の各々の内部に形成することによって、複数のトレンチ 3 の各々の内部に埋め込み電極 (ゲート電極) 5 と直列に接続されたキャパシタ (コンデンサ) を形成することができるので、複数のトレンチ 3 の各々の内部における埋め込み電極 (ゲート電極) 5 の合計静電容量 (ゲート入力容量) を小さくすることができる。これにより、埋め込み電極 (ゲート電極) 5 に対する印加電圧を制御することによって、オフ状態からオン状態への切り替え、または、その逆の切り替えを行う際に、オン/オフの切り替え速度を速くすることができる。すなわち、スイッチング速度を高速化することができる。また、埋め込み電極 (ゲート電極) 5 の合計静電容量 (ゲート入力容量) を小さくすることができるので、埋め込み電極 (ゲート電極) 5 の閾値電圧を高くすることができる。

40

【0051】

50

また、第1の実施形態では、複数のトレンチ3の各々の周辺に形成される全ての空乏層12でチャンネル（隣り合うトレンチ3間の各領域）11を塞ぐことにより、チャンネル（隣り合うトレンチ3間の各領域）11を流れる電流が遮断される一方、複数のトレンチ3の各々の周辺に形成された全ての空乏層12を消滅させることにより、チャンネル（隣り合うトレンチ3間の各領域）11を介して電流が流れるように構成することによって、トレンチ3の周辺に形成される空乏層12の形成状態は埋め込み電極（ゲート電極）5に対する印加電圧に応じて変化するので、埋め込み電極（ゲート電極）5に対する印加電圧を制御することにより、オフ状態（チャンネル11を流れる電流が遮断される状態）からオン状態（チャンネル11を介して電流が流れる状態）への切り替えを行うことができるとともに、その逆の切り替えも行うことができる。すなわち、半導体装置20にスイッチング機能を持たせることができる。そして、上記した構成では、オン時において、隣り合うトレンチ3間の各領域の空乏層12が消滅した部分の全てをチャンネル（電流通路）11として機能させることができるので、非常に薄い反転層をチャンネル（電流通路）として機能させる従来の半導体スイッチ装置（MOSFET）と比べて、チャンネル11を流れる電流に対する抵抗を大幅に低減することが可能となる。これにより、スイッチング速度を高速化させながら、従来の半導体スイッチ装置（MOSFET）と比べて、オン抵抗を大幅に低減することができる。

10

20

30

40

50

【0052】

また、第1の実施形態では、メタル層7の上面上に層間絶縁膜8を形成するとともに、層間絶縁膜8を、その上面がn型エピタキシャル層2の上面と同一面となるように各トレンチ3内に形成することによって、互いに隣り合うトレンチ3に形成された層間絶縁膜8において、一方のトレンチ3に形成された層間絶縁膜8と隣り合う他方のトレンチ3に形成された層間絶縁膜8とが接触するのを抑制することができる。このため、互いに隣り合うトレンチ3間の間隔（b）を、複数のトレンチ3の各々の周辺に空乏層12を形成した時に、隣り合うトレンチ3の各々に形成された空乏層12の一部が互いに重なり合うように容易に設定することができる。

【0053】

また、第1の実施形態では、シリコン酸化膜6の厚みを、シリコン酸化膜4の厚み以上に構成することによって、シリコン酸化膜6における絶縁破壊を抑制することができるので、シリコン酸化膜6の絶縁破壊に起因して、半導体装置20の耐压特性が低下するという不都合が生じるのを抑制することができる。

【0054】

また、第1の実施形態では、トレンチ3の配列方向（A方向）におけるメタル層7の幅を、埋め込み電極（ゲート電極）5のA方向の幅よりも小さくなるように構成することによって、メタル層7の平面積を小さくすることができるので、埋め込み電極（ゲート電極）5とメタル層7との間の静電容量を小さくすることができる。このため、容易に、埋め込み電極（ゲート電極）の合計静電容量（ゲート入力容量）を小さくすることができる。

【0055】

また、第1の実施形態では、メタル層7をW（タングステン）から構成することによって、容易に、メタル層7をトレンチ3の内部に形成することができるので、容易に、トレンチ3の内部に埋め込み電極（ゲート電極）5と直列に接続されたキャパシタ（コンデンサ）を形成することができる。

【0056】

図4～図13は、図1に示した本発明の第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。次に、図1、および、図4～図13を参照して、本発明の第1の実施形態に係る半導体装置20の製造方法について説明する。

【0057】

まず、n型不純物が高濃度で導入されたn⁺型シリコン基板1の上面上に、エピタキシャル成長法などによって、約1μm～約10μmの厚み（a）（図1参照）を有するとともに、n⁺型シリコン基板1よりも低い濃度（たとえば、約5×10¹⁵cm⁻³～約1.0

$\times 10^{18} \text{ cm}^{-3}$) で n 型不純物が導入された n 型シリコンからなる n 型エピタキシャル層 2 を成長させる。次に、図 4 に示すように、フォトリソグラフィ技術およびエッチング技術を用いて、n 型エピタキシャル層 2 の所定領域に複数のトレンチ 3 を形成する。この際、複数のトレンチ 3 は、その各々が n 型エピタキシャル層 2 の上面に対して平行な所定方向に沿って延びるように細長状に形成する。また、複数のトレンチ 3 は、図 1 に示したように、n 型エピタキシャル層 2 の上面に対して平行で、かつ、トレンチ 3 が延びる方向と直交する方向 (A 方向) に互いに約 $0.05 \mu\text{m}$ ~ 約 $0.3 \mu\text{m}$ の間隔 (b) を隔てて配列する。さらに、複数のトレンチ 3 は、その各々の溝深さ (c) を、n 型エピタキシャル層 2 の厚み (a) よりも小さくなるように、約 $0.5 \mu\text{m}$ ~ 約 $5 \mu\text{m}$ に形成するとともに、複数のトレンチ 3 の A 方向の幅 (d) を、約 $0.1 \mu\text{m}$ ~ 約 $1 \mu\text{m}$ に形成する。

10

【0058】

次に、エッチングによって n 型エピタキシャル層 2 に加わった欠陥を除去する。具体的には、犠牲酸化を行うとともに、その犠牲酸化により形成された表面酸化物層 (SiO_2 層: 図示せず) をエッチングにより除去する。

【0059】

続いて、 n^+ 型シリコン基板 1 を熱酸化処理することにより、図 5 に示すように、表面酸化物 (SiO_2) 層 4 a を成長させる。これにより、 SiO_2 からなるシリコン酸化膜 4 (4 a) が、トレンチ 3 の内壁 (底面および側面) を覆うように形成される。この際、シリコン酸化膜 4 (4 a) は、約 10 nm ~ 約 100 nm の厚みに成長させる。

20

【0060】

次に、図 6 に示すように、CVD 法などを用いて、不純物の導入により導電化されたポリシリコン層 5 a を全面に形成する。そして、図 7 に示すように、エッチバックにより、ポリシリコン層 5 a の所定領域を除去する。これにより、各々のトレンチ 3 内におけるポリシリコン層 5 a の上面 (エッチバック面) が、n 型エピタキシャル層 2 の上面よりも下方に形成され、トレンチ 3 内に、ポリシリコンからなる埋め込み電極 (ゲート電極) 5 が形成される。

【0061】

その後、図 8 に示すように、 SiO_2 層 6 a を全面に形成する。そして、図 9 に示すように、蒸着法などによって、全面に W (タングステン) から構成されるメタル層 7 a を形成する。

30

【0062】

続いて、図 10 に示すように、メタルエッチバックによりメタル層 7 a の所定領域を除去することによって、トレンチ 3 の内部にメタル層 7 を形成する。次に、図 11 に示すように、 SiO_2 層 8 a を全面に形成する。そして、エッチバックにより、n 型エピタキシャル層 2 の上面が露出するまで、 SiO_2 層 8 a、 SiO_2 層 6 a および表面酸化物層 4 a を除去する。これにより、図 12 に示すように、埋め込み電極 (ゲート電極) 5 の上面上に、その上面が n 型エピタキシャル層 2 の上面と実質的に同一面となる層間絶縁膜 8 が形成されるとともに、n 型エピタキシャル層 2 の上面が平坦化される。また、埋め込み電極 (ゲート電極) 5 の上方にシリコン酸化膜 6 を介してメタル層 7 が形成される。

40

【0063】

次に、図 13 に示すように、n 型エピタキシャル層 2 の上面に低濃度領域が露出しないように、n 型不純物が高濃度でイオン注入された高濃度領域 2 a を形成する。そして、図 1 に示したように、n 型エピタキシャル層 2 の上面上に、複数のトレンチ 3 の各々の開口端を覆うように、A1 層からなるソース電極 9 を形成する。最後に、 n^+ 型シリコン基板 1 の裏面 (下面) 上に、複数の金属層が積層された多層構造体からなるドレイン電極 10 を形成する。このようにして、図 1 に示した本発明の第 1 の実施形態に係る半導体装置 20 が形成される。

【0064】

(第 2 の実施形態)

図 14 は、本発明の第 2 の実施形態に係る半導体装置の構造を示した断面図である。次

50

に、図14を参照して、本発明の第2の実施形態に係る半導体装置30の構造について説明する。

【0065】

この第2の実施形態に係る半導体装置30では、複数のトレンチ3の各々の内面上に、シリコン酸化膜4を介してp型ポリシリコンからなる埋め込み電極5がそれぞれ形成されている。そして、複数の埋め込み電極5は、互いに別個に電圧が印加される2種類の埋め込み電極5aおよび5bに分けられている。一方の埋め込み電極5aは、所定の制御信号（オン/オフの切り替えを行うための信号）に対応する電圧が印加されるように構成されている。また、他方の埋め込み電極5bは、ソース電極9に電氣的に接続されている。すなわち、他方の埋め込み電極5bは、ソース電極9と同電位となるように構成されている。また、埋め込み電極5aおよび5bは、A方向に1つずつ交互に配置されている。したがって、2つの埋め込み電極5a（5b）の間に1つの埋め込み電極5b（5a）が配置されていることになる。なお、埋め込み電極5aおよび5bは、それぞれ、本発明の「第1埋め込み電極」および「第2埋め込み電極」の一例である。

10

【0066】

また、埋め込み電極5aが埋め込まれたトレンチ3（以下、トレンチ3aと言う）では、埋め込み電極5aの上方に、W（タングステン）から構成されるメタル層7がシリコン酸化膜6を介して形成されている。このメタル層7は、埋め込み電極5aと容量結合されている。また、トレンチ3aにおけるメタル層7の上方の部分には、シリコン酸化膜からなる層間絶縁膜8（8a）が形成されている。一方、埋め込み電極5bが埋め込まれたトレンチ3（以下、トレンチ3bと言う）では、埋め込み電極5bの上方の部分に、メタル層7が形成されずにSiO₂からなる層間絶縁膜8（8b）が形成されている。なお、第2の実施形態に係る半導体装置30のその他の構造は、上記した第1の実施形態に係る半導体装置20の構造と同様である。

20

【0067】

図15は、本発明の第2の実施形態に係る半導体装置の動作を説明するための断面図である。次に、図14および図15を参照して、本発明の第2の実施形態に係る半導体装置30の動作について説明する。なお、以下の動作説明では、ソース電極9およびドレイン電極10の各々に負電位および正電位が印加されているとする。

【0068】

まず、オフ状態の場合には、図14に示すように、埋め込み電極5bがソース電極9に電氣的に接続されているため、埋め込み電極5bに対して負電位が印加されることになる。したがって、埋め込み電極5bが埋め込まれたトレンチ3（3b）の周辺には、多数キャリアが減少した状態となっている。すなわち、トレンチ3bの周辺には、オン状態およびオフ状態にかかわらず、空乏層12（12b）が形成されている。また、オフ状態の場合には、埋め込み電極5aが埋め込まれたトレンチ3（3a）の周辺に存在する多数キャリアが減少するように、埋め込み電極5aに対する印加電圧が制御されている。これにより、トレンチ3aの周辺にも、トレンチ3bの周辺に形成された空乏層12（12b）と同様の空乏層12（12a）が形成されている。

30

【0069】

この際、トレンチ3aとトレンチ3bとの間の領域では、トレンチ3aおよび3bの各々の周辺に形成された空乏層12aおよび12bの一部が互いに重なる。すなわち、トレンチ3aとトレンチ3bとの間の領域では、空乏層12aおよび12bが互いに連結された状態となる。これにより、チャンネル（電流通路）31が空乏層12aおよび12bによって遮断された状態となるので、チャンネル（電流通路）31を介して流れる電流を遮断することができる。したがって、半導体装置30がオフ状態となる。

40

【0070】

そして、オフ状態からオン状態に切り替える場合には、図15に示すように、埋め込み電極5aに対して所定の正電位を印加することによって、トレンチ3aの周辺に形成された空乏層12a（図14参照）を消滅させる。すなわち、チャンネル（電流通路）31の埋

50

め込み電極 5 a 側 (トレンチ 3 a 側) の部分を介して図 1 5 中の矢印方向に電流を流すことができるので、半導体装置 3 0 をオン状態にすることが可能となる。

【0071】

また、半導体装置 3 0 をオン状態からオフ状態に切り替える場合には、埋め込み電極 5 a に対する所定の正電位の印加を解除する。これにより、図 1 4 に示した状態に戻るので、半導体装置 3 0 をオフ状態にすることが可能となる。

【0072】

この第 2 の実施形態の効果は、上記第 1 の実施形態の効果と同様である。

【0073】

(第 3 の実施形態)

図 1 6 は、本発明の第 3 の実施形態に係る半導体装置の構造を示した断面図である。次に、図 1 6 を参照して、本発明の第 3 の実施形態に係る半導体装置 4 0 の構造について説明する。

【0074】

第 3 の実施形態に係る半導体装置 4 0 では、所定の制御信号が印加される埋め込み電極 5 (5 a) が埋め込まれたトレンチ 3 (3 a) と、ソース電極 4 1 の一部 (以下、埋め込み部 4 1 a という) が埋め込まれたトレンチ 3 (3 c) とが設けられている。このトレンチ 3 a および 3 c は、互いに所定の間隔を隔てて 1 つずつ交互に配列されている。また、ソース電極 4 1 の埋め込み部 4 1 a は、トレンチ 3 c の内部において、エピタキシャル層 2 に対してショットキー接触している。なお、ソース電極 4 1 の埋め込み部 4 1 a は、本発明の「第 2 埋め込み電極」の一例である。

【0075】

そして、第 3 の実施形態では、ソース電極 4 1 とドレイン電極 1 0 との間に電圧が印加された場合、ソース電極 4 1 とドレイン電極 1 0 との間を流れる電流は、トレンチ 3 a とトレンチ 3 c との間の各領域を通過することになる。すなわち、第 3 の実施形態では、トレンチ 3 a とトレンチ 3 c との間の各領域がチャネル (電流通路) 4 2 として機能することになる。

【0076】

なお、トレンチ 3 a の内部には、上記第 2 の実施形態と同様、埋め込み電極 5 a の上方に、W (タンゲステン) から構成されるメタル層 7 が形成されている。

【0077】

この第 3 の実施形態に係る半導体装置 4 0 のその他の構造は、上記第 1 の実施形態に係る半導体装置 2 0 の構造と同様である。

【0078】

図 1 7 は、本発明の第 3 の実施形態に係る半導体装置の動作を説明するための断面図である。次に、図 1 6 および図 1 7 を参照して、本発明の第 3 の実施形態に係る半導体装置 4 0 の動作について説明する。

【0079】

なお、以下の動作説明では、ソース電極 4 1 およびドレイン電極 1 0 の各々に負電位および正電位が印加されているとする。すなわち、ソース電極 4 1 の埋め込み部 4 1 a が埋め込まれたトレンチ 3 c の周辺には、オン状態およびオフ状態にかかわらず、空乏層 1 2 (1 2 c) が形成されている。

【0080】

まず、オフ状態の場合には、図 1 6 に示すように、トレンチ 3 a の周辺に空乏層 1 2 (1 2 a) が形成されるように、埋め込み電極 5 a に対して負電位が印加されている。これにより、チャネル (電流通路) 4 2 が空乏層 1 2 a および 1 2 c によって塞がれた状態となるので、チャネル (電流通路) 4 2 を介して流れる電流を遮断することができる。

【0081】

そして、オフ状態からオン状態に切り替える場合には、図 1 7 に示すように、埋め込み電極 5 a に対して正電位を印加することによって、図 1 6 に示した空乏層 1 2 a を消滅さ

10

20

30

40

50

せる。これにより、チャンネル（電流通路）42の埋め込み電極5a側（トレンチ3a側）の部分を介して図17中の矢印方向に電流を流すことができる。

【0082】

また、半導体装置40をオン状態からオフ状態に切り替える場合には、埋め込み電極5aに対する所定の正電位の印加を解除する。これにより、図16に示した状態に戻るので、半導体装置40をオフ状態にすることが可能となる。

【0083】

この第3の実施形態の効果は、上記第1の実施形態の効果と同様である。

【0084】

（第4の実施形態）

図18は、本発明の第4の実施形態に係る半導体装置の構造を示した断面図である。次に、図18を参照して、本発明の第4の実施形態に係る半導体装置50の構造について説明する。

【0085】

第4の実施形態に係る半導体装置50では、所定の制御信号が印加される埋め込み電極5（5a）が埋め込まれたトレンチ3（3a）に加えて、p型不純物が高濃度で導入されたp⁺型拡散領域51がさらに設けられている。このp⁺型拡散領域51は、隣り合うトレンチ3（3a）間の各領域に、トレンチ3（3a）に対して所定の間隔を隔てて1つずつ配置されている。また、p⁺型拡散領域51は、ソース電極9に対してオーミック接触している。なお、p⁺型拡散領域51は、本発明の「逆導電型の拡散領域」の一例である。

【0086】

そして、第4の実施形態では、ソース電極9とドレイン電極10との間に電圧が印加された場合、ソース電極9とドレイン電極10との間を流れる電流は、トレンチ3（3a）とp⁺型拡散領域51との間の各領域を通過することになる。すなわち、第4の実施形態では、トレンチ3（3a）とp⁺型拡散領域51との間の各領域がチャンネル（電流通路）52として機能することになる。

【0087】

なお、トレンチ3（3a）の内部には、上記第2および第3の実施形態と同様、埋め込み電極5aの上方に、W（タングステン）から構成されるメタル層7が形成されている。

【0088】

この第4の実施形態に係る半導体装置50のその他の構造は、上記第1の実施形態に係る半導体装置20の構造と同様である。

【0089】

図19は、本発明の第4の実施形態に係る半導体装置の動作を説明するための断面図である。次に、図18および図19を参照して、本発明の第4の実施形態に係る半導体装置50の動作について説明する。

【0090】

なお、以下の動作説明では、ソース電極9およびドレイン電極10の各々に負電位および正電位が印加されているとする。すなわち、p⁺型拡散領域51の周辺には、オン状態およびオフ状態にかかわらず、空乏層12（12d）が形成されている。

【0091】

まず、オフ状態の場合には、図18に示すように、トレンチ3aの周辺に空乏層12（12a）が形成されるように、埋め込み電極5aに対して負電位が印加されている。これにより、チャンネル（電流通路）52が空乏層12aおよび12dによって塞がれた状態となるので、チャンネル（電流通路）52を介して流れる電流を遮断することができる。

【0092】

そして、オフ状態からオン状態に切り替える場合には、図19に示すように、埋め込み電極5aに対して正電位を印加することによって、図18に示した空乏層12aを消滅させる。これにより、チャンネル（電流通路）52の埋め込み電極5a側（トレンチ3a側）の部分を介して図19の矢印方向に電流を流すことができる。

10

20

30

40

50

【0093】

また、半導体装置50をオン状態からオフ状態に切り替える場合には、埋め込み電極5aに対する所定の正電位の印加を解除する。これにより、図18に示した状態に戻るので、半導体装置50をオフ状態にすることが可能となる。

【0094】

この第4の実施形態の効果は、上記第1の実施形態の効果と同様である。

【0095】

(第5の実施形態)

図20は、本発明の第5の実施形態に係る半導体装置の構造を示した断面図である。次に、図20を参照して、この第5の実施形態に係る半導体装置60では、トレンチ3の内部に埋め込み電極(ゲート電極)5が埋め込まれたトレンチゲート型のMOSFETに構成されている。すなわち、この第5の実施形態に係る半導体装置60では、隣り合うトレンチ3間の各領域において、高濃度領域(ソース領域)2aとn型エピタキシャル層2の低濃度領域(ドレイン領域)2cとの間にp型不純物領域2bが形成されている。

10

【0096】

第5の実施形態では、メタル層7に所定の正電位を印加すると、メタル層7と埋め込み電極(ゲート電極)5とが容量結合されているため、埋め込み電極(ゲート電極)5に対して所定の正電位が印加される。このため、p型不純物領域2bの少数キャリア(電子)がトレンチ3側に引き寄せられるので、p型不純物領域2bのトレンチ3の周辺に、低濃度領域(ドレイン領域)2cと高濃度領域(ソース領域)2aとを接続するような反転層13が形成される。この反転層13を介して、ソース電極9とドレイン電極10との間に電流を流すことが可能となるので、半導体装置60がオン状態となる。その一方、メタル層7に対する所定の正電位の印加を解除すると、埋め込み電極(ゲート電極)5に対する所定の正電位の印加が解除されるので、反転層13が消滅する。これにより、ソース電極9とドレイン電極10との間における電流の流れを遮断することが可能となるので、半導体装置60がオフ状態となる。

20

【0097】

なお、第5の実施形態に係る半導体装置60の他の構成は、上記第1の実施形態に係る半導体装置20と同様である。

【0098】

第5の実施形態では、上記のように、埋め込み電極(ゲート電極)5と容量結合されたメタル層7を複数のトレンチ3の各々の内部に形成することによって、複数のトレンチ3の各々の内部に埋め込み電極(ゲート電極)5と直列に接続されたキャパシタ(コンデンサ)を形成することができるので、複数のトレンチ3の各々の内部における埋め込み電極(ゲート電極)5の合計静電容量(ゲート入力容量)を小さくすることができる。これにより、埋め込み電極(ゲート電極)5に対する印加電圧を制御することによって、オフ状態からオン状態への切り替え、または、その逆の切り替えを行う際に、オン/オフの切り替え速度を速くすることができる。すなわち、スイッチング速度を高速化することができる。

30

【0099】

また、第5の実施形態では、メタル層7の上面上に層間絶縁膜8を形成するとともに、層間絶縁膜8を、その上面がn型エピタキシャル層2の上面と同一面となるように各トレンチ3内に形成することによって、互いに隣り合うトレンチ3に形成された層間絶縁膜8において、一方のトレンチ3に形成された層間絶縁膜8と隣り合う他方のトレンチ3に形成された層間絶縁膜8とが接触するのを抑制することができる。このため、互いに隣り合うトレンチ3間の間隔(b)を、容易に短くすることができるので、互いに隣り合うトレンチ3間の間隔(b)を短くすることによって、単位面積あたりのトレンチ密度を大きくすることができる。その結果、反転層13の合計面積を大きくすることができるので、スイッチング速度を高速化させながら、オン抵抗を低減することができる。

40

【0100】

50

なお、今回開示された実施形態は、すべての点で例示であって制限的なものでないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内での全ての変更が含まれる。

【0101】

たとえば、上記第1～第5の実施形態では、シリコン基板上に形成されたエピタキシャル層にトレンチなどを形成した例を示したが、本発明はこれに限らず、シリコン基板（半導体基板）上にエピタキシャル層を形成することなく、直接シリコン基板（半導体基板）にトレンチなどを形成するようにしてもよい。また、シリコン基板上に形成されたエピタキシャル層にトレンチなどを形成した後、シリコン基板を研磨等で除去するようにしてもよい。

10

【0102】

また、上記第1～第5の実施形態では、 n^+ 型シリコン基板上に、 n 型エピタキシャル層を形成した構成を示したが、本発明はこれに限らず、 p^+ 型シリコン基板上に、 p 型エピタキシャル層を形成した構成にしてもよい。すなわち、導電型を全て逆にした構成にしてもよい。

【0103】

また、上記第1～第5の実施形態では、トレンチの内部にメタル層を1層形成した例を示したが、本発明はこれに限らず、図21に示すように、トレンチ3の内部にシリコン酸化膜6を介して形成されるメタル層7を2層設けてもよい。また、メタル層7を2層以上設けるようにしてもよい。

20

【0104】

また、上記第1～第5の実施形態では、メタル層の幅を埋め込み電極の幅よりも小さくなるように構成した例を示したが、本発明はこれに限らず、メタル層の幅と埋め込み電極の幅とが同じ大きさになるように構成してもよい。

【0105】

また、上記第1～第5の実施形態では、メタル層をW（タングステン）から構成した例を示したが、本発明はこれに限らず、W（タングステン）以外の導電性材料から構成してもよい。たとえば、メタル層を、Ti（チタン）から構成してもよいし、TiとTiNとの積層構造材料から構成してもよい。また、メタル層に換えて、導電性を有するポリシリコンなどの導電体層をトレンチ内部に形成してもよい。

30

【0106】

また、上記第1～第5の実施形態では、埋め込み電極を p 型ポリシリコンから構成した例を示したが、本発明はこれに限らず、 p 型ポリシリコン以外に、金属などを用いることもできる。たとえば、埋め込み電極に用いる金属材料としては、たとえば、アルミニウム（Al）、銅（Cu）、タングステン（W）、チタン（Ti）、ニッケル（Ni）、モリブデン（Mo）、コバルト（Co）、銀（Ag）、白金（Pt）および鉛（Pb）などがあげられる。また、これらの金属材料は、1種または2種以上組み合わせる用いることができる。さらに、ポリシリコンおよび金属材料の双方を含んでもよい。

【0107】

また、上記第1～第5の実施形態では、埋め込み電極の上面に形成された層間絶縁膜を、その上面がエピタキシャル層の上面と同一面となるように形成した例を示したが、本発明はこれに限らず、埋め込み電極の上面に形成された層間絶縁膜を、その上面がエピタキシャル層の上面から突出するように形成してもよいし、その上面がエピタキシャル層の上面よりも下方（トレンチ内部側）に位置するように形成してもよい。

40

【0108】

また、上記第1～第5実施形態では、トレンチの溝深さが n 型エピタキシャル層の厚みよりも小さくなるように構成したが、本発明はこれに限らず、トレンチが n 型エピタキシャル層を貫通して n^+ 型シリコン基板にまで達するように構成してもよい。すなわち、トレンチの溝深さを、約12 μ m程度に構成してもよい。

50

【 0 1 0 9 】

また、上記第 1 および第 5 の実施形態では、複数のトレンチの各々の内部にメタル層を形成した例を示したが、本発明はこれに限らず、複数のトレンチの全てにメタル層が形成されていなくてもよい。

【 図面の簡単な説明 】

【 0 1 1 0 】

【 図 1 】 本発明の第 1 の実施形態に係る半導体装置の構造を示した断面図である。

【 図 2 】 本発明の第 1 の実施形態に係る半導体装置の動作を説明するための断面図である。

【 図 3 】 本発明の第 1 の実施形態に係る半導体装置の動作を説明するための断面図である 10

【 図 4 】 図 1 に示した本発明の第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【 図 5 】 図 1 に示した本発明の第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【 図 6 】 図 1 に示した本発明の第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【 図 7 】 図 1 に示した本発明の第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【 図 8 】 図 1 に示した本発明の第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。 20

【 図 9 】 図 1 に示した本発明の第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【 図 1 0 】 図 1 に示した本発明の第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【 図 1 1 】 図 1 に示した本発明の第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【 図 1 2 】 図 1 に示した本発明の第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【 図 1 3 】 図 1 に示した本発明の第 1 の実施形態に係る半導体装置の製造方法を説明するための断面図である。 30

【 図 1 4 】 本発明の第 2 の実施形態に係る半導体装置の構造を示した断面図である。

【 図 1 5 】 本発明の第 2 の実施形態に係る半導体装置の動作を説明するための断面図である。

【 図 1 6 】 本発明の第 3 の実施形態に係る半導体装置の構造を示した断面図である。

【 図 1 7 】 本発明の第 3 の実施形態に係る半導体装置の動作を説明するための断面図である。

【 図 1 8 】 本発明の第 4 の実施形態に係る半導体装置の構造を示した断面図である。

【 図 1 9 】 本発明の第 4 の実施形態に係る半導体装置の動作を説明するための断面図である。 40

【 図 2 0 】 本発明の第 5 の実施形態に係る半導体装置の構造を示した断面図である。

【 図 2 1 】 本発明の変形例による半導体装置の構造の一部を示した断面図である。

【 図 2 2 】 特許文献 1 に開示された従来のも M O S F E T (半導体装置) の構造を示した断面図である。

【 符号の説明 】

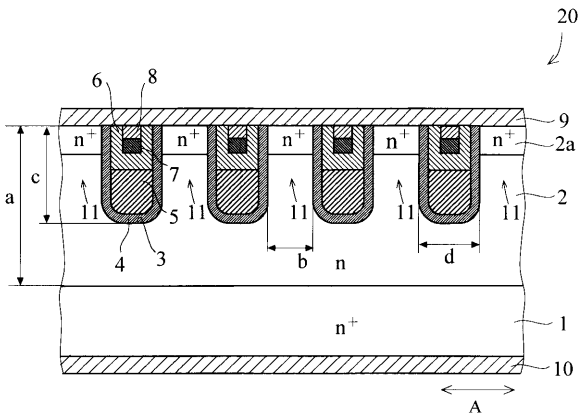
【 0 1 1 1 】

- 1 n⁺型シリコン基板 (一導電型の半導体層)
- 2 n型エピタキシャル層 (一導電型の半導体層)

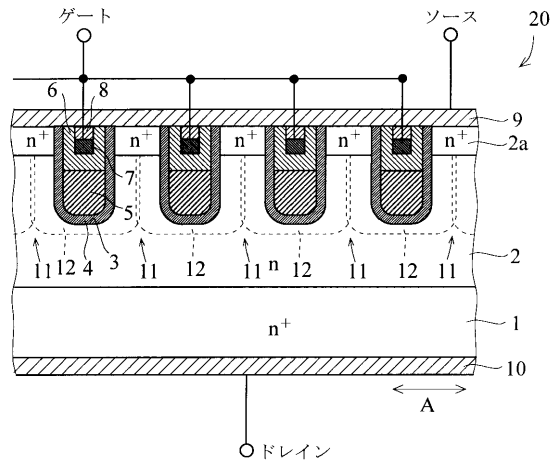
3、3 a、3 b、3 c トレンチ 50

- 4 シリコン酸化膜 (第3絶縁膜)
- 5 埋め込み電極
- 5 a 埋め込み電極 (第1埋め込み電極)
- 5 b 埋め込み電極 (第2埋め込み電極)
- 6 シリコン酸化膜 (第1絶縁膜)
- 7 メタル層 (導電体層)
- 8、8 a、8 b 層間絶縁膜 (第2絶縁膜)
- 9、4 1 ソース電極
- 1 0 ドレイン電極
- 1 1、3 1、4 2、5 2 チャンネル (電流通路)
- 1 2、1 2 a、1 2 b、1 2 c、1 2 d 空乏層
- 1 3 反転層
- 2 0、3 0、4 0、5 0、6 0 半導体装置
- 4 1 a 埋め込み部 (第2埋め込み電極)
- 5 1 p⁺型拡散領域 (逆導電型の拡散領域)

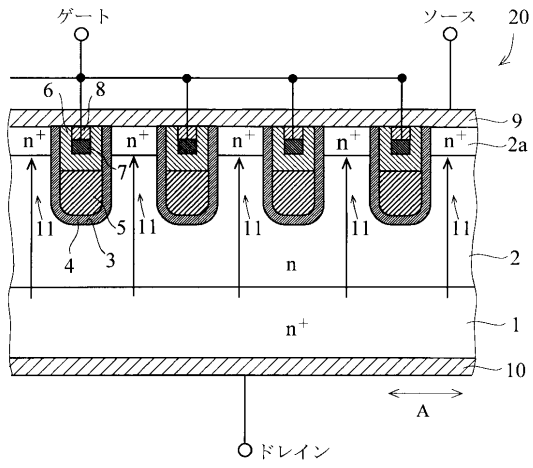
【図1】



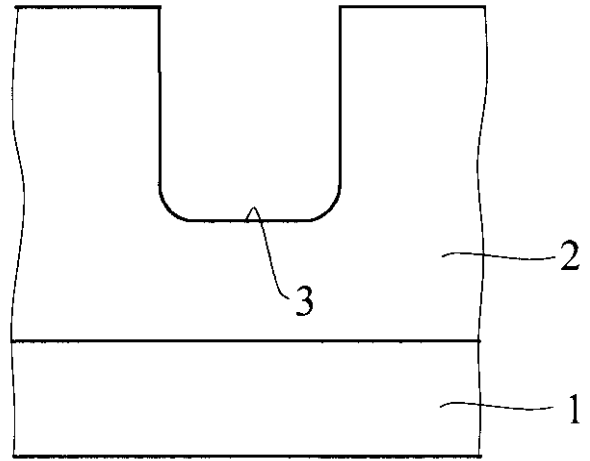
【図2】



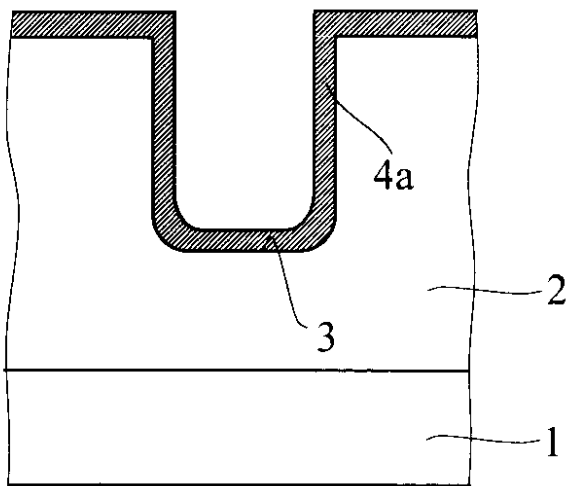
【図3】



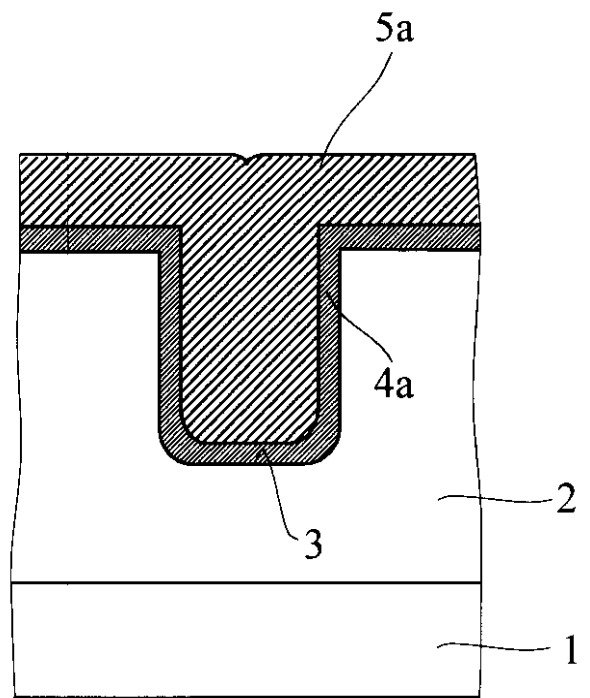
【図4】



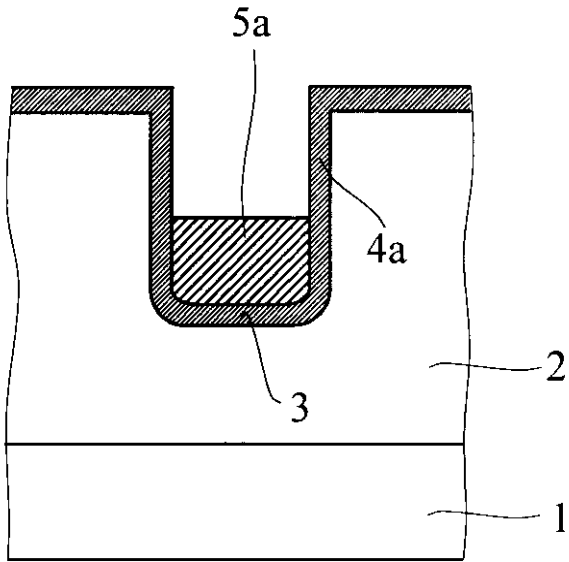
【図5】



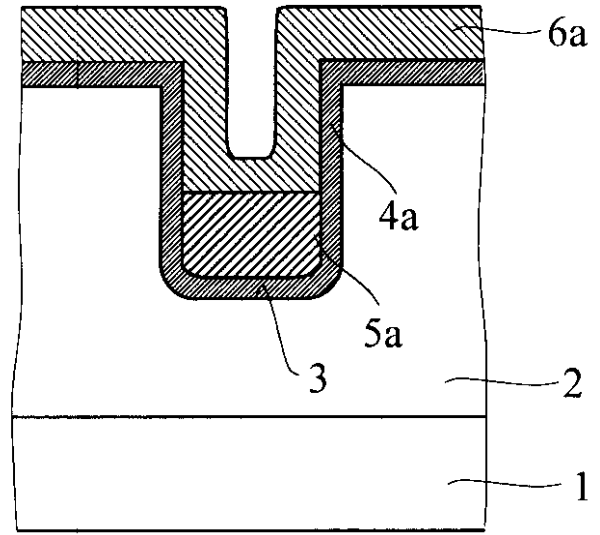
【図6】



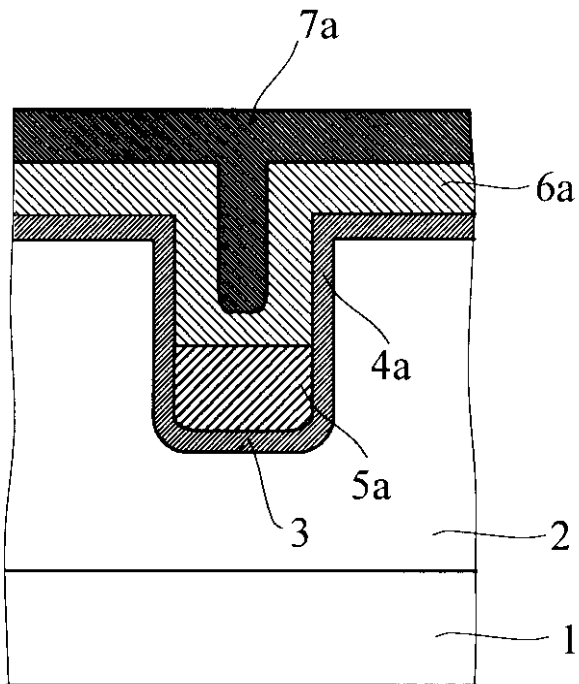
【図 7】



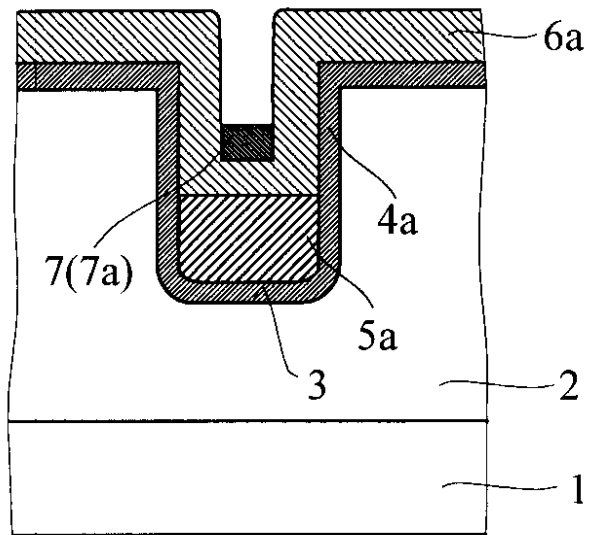
【図 8】



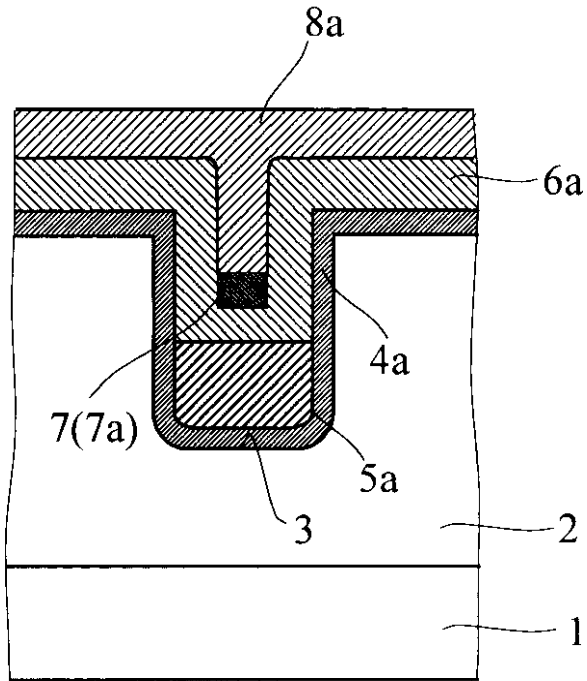
【図 9】



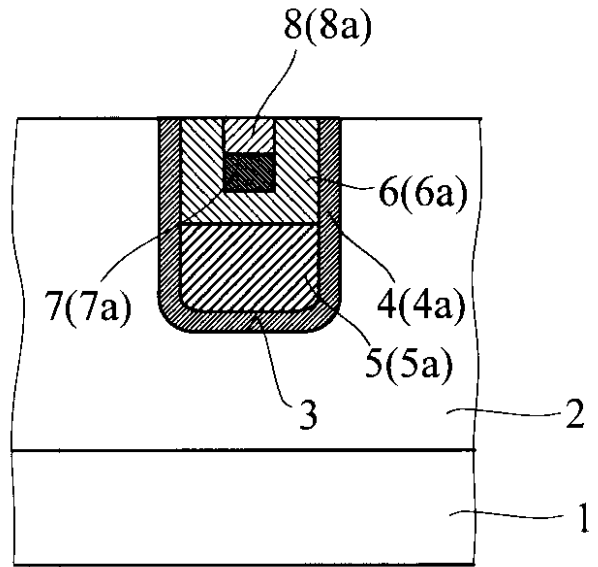
【図 10】



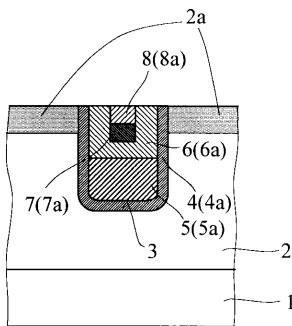
【図 1 1】



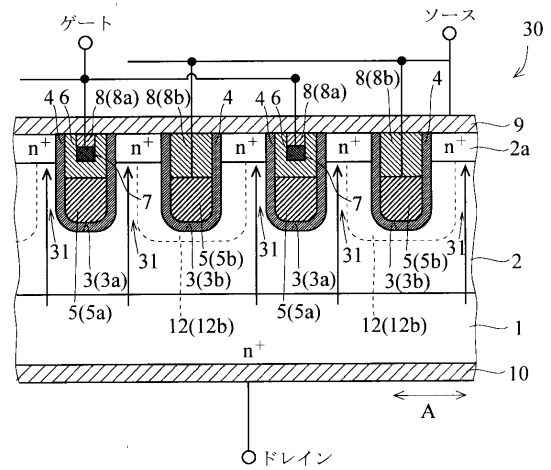
【図 1 2】



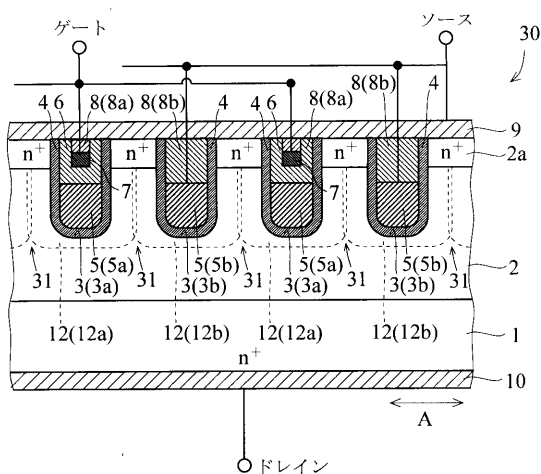
【図 1 3】



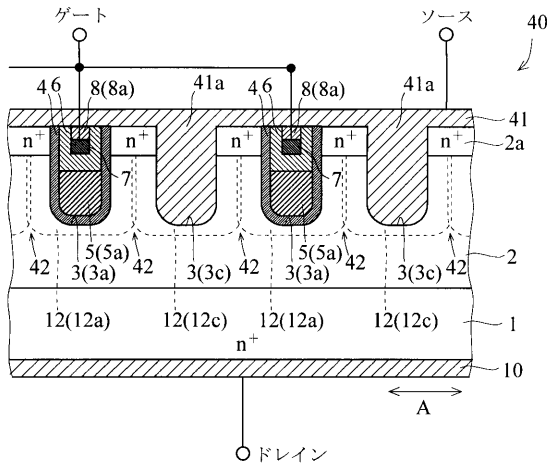
【図 1 5】



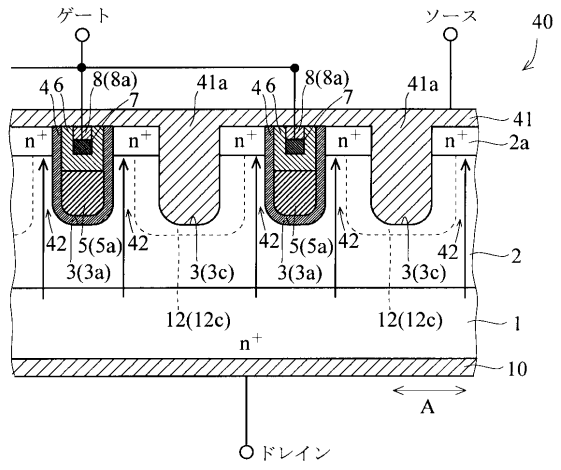
【図 1 4】



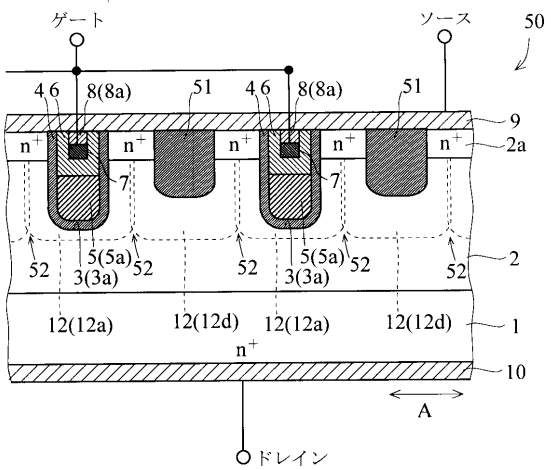
【図 16】



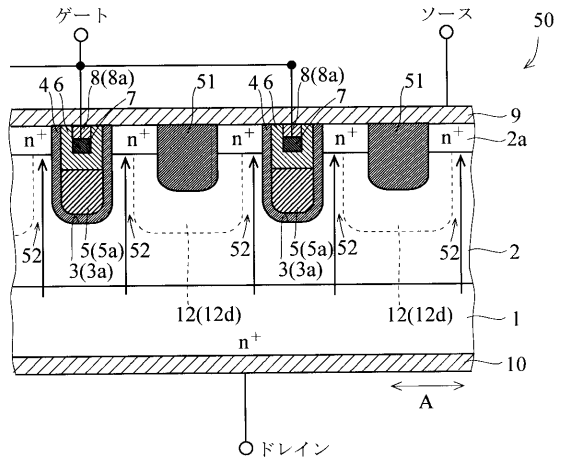
【図 17】



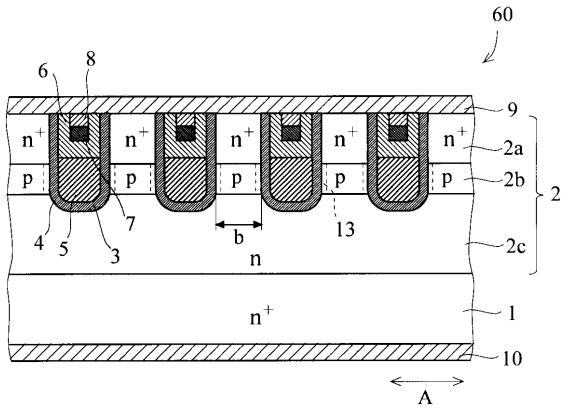
【図 18】



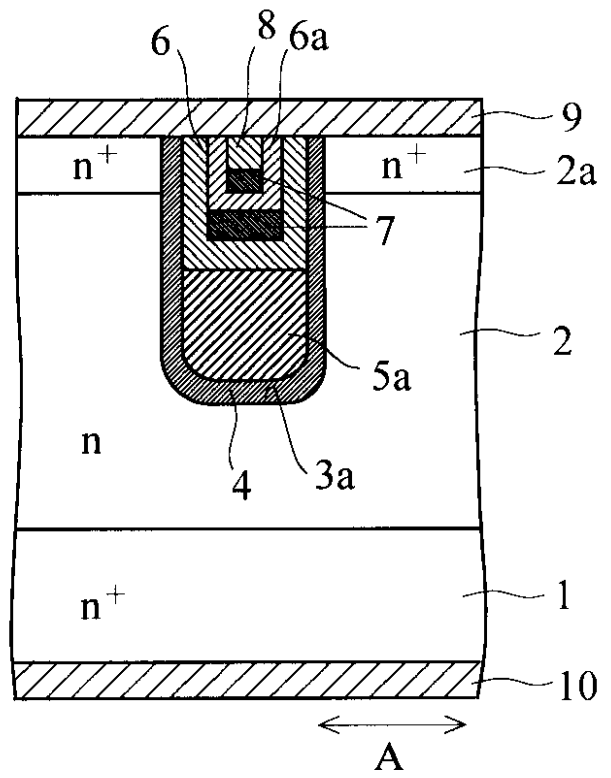
【図 19】



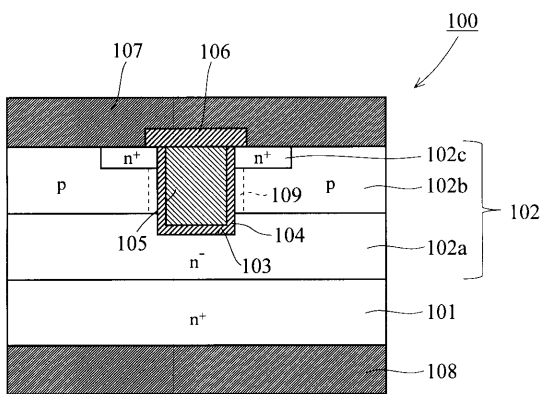
【 図 2 0 】



【 図 2 1 】



【 図 2 2 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/78 6 5 2 Q

H 0 1 L 29/78 6 5 2 D

H 0 1 L 29/78 6 5 2 M