



(21)申請案號：098142500 (22)申請日：中華民國 98 (2009) 年 12 月 11 日

(51)Int. Cl. : G11C29/26 (2006.01) G11C8/16 (2006.01)

(30)優先權：2008/12/18 美國 12/317,000

(71)申請人：英特爾公司(美國) INTEL CORPORATION (US)
美國

(72)發明人：葛斯肯斯 比比奇 GEUSKENS, BIBICHE (US)；帕特瓦利 阿托爾 PATWARY, ATATUR (US)；唐可 艾利力 K DONKOH, ERIC KWESI (GH)；凱拉 穆罕默德 KHELLAH, MUHAMMAD (CA)；卡尼克 唐艾 KARNIK, TANAY (US)

(74)代理人：憚軼群；陳文郎

申請實體審查：有 申請專利範圍項數：20 項 圖式數：7 共 20 頁

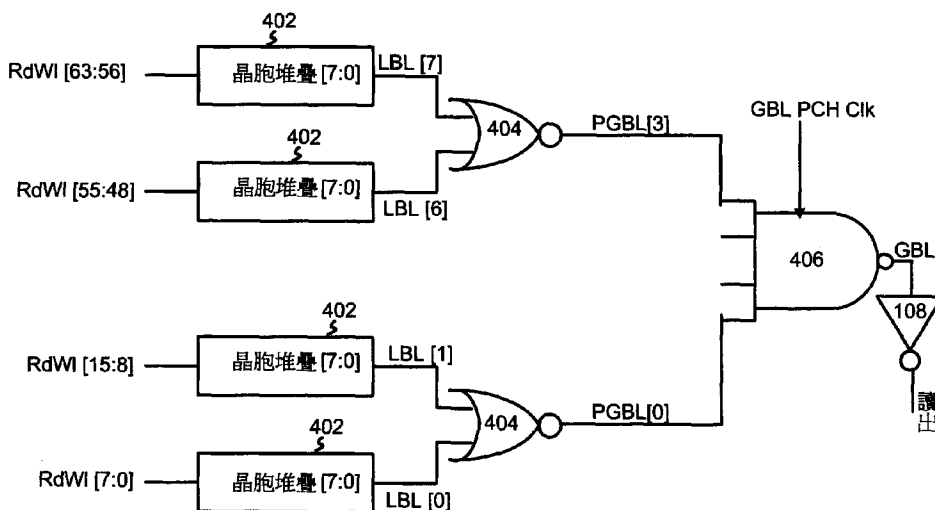
(54)名稱

具有 P 型估算的暫存器檔案電路

REGISTER FILE CIRCUITS WITH P-TYPE EVALUATION

(57)摘要

本文提供一種新的暫存器列(RF)實施態樣。針對其估算節點中之一或更多者並不使用一預充電高準位節點，而使用估算之前放電(低準位)之一估算(或評估)節點並於一放電狀態進入估算。某些實施例中，利用該類“常低準位”之估算節點，若邏輯如此指定，則其使用上拉堆疊裝置，而非下拉裝置來於一評估階段期間對該評估節點充電。



108：輸出驅動反相器

402：群組

404：NOR 閘

406：動態 NAND 閘



(21)申請案號：098142500 (22)申請日：中華民國 98 (2009) 年 12 月 11 日

(51)Int. Cl. : G11C29/26 (2006.01) G11C8/16 (2006.01)

(30)優先權：2008/12/18 美國 12/317,000

(71)申請人：英特爾公司(美國) INTEL CORPORATION (US)
美國

(72)發明人：葛斯肯斯 比比奇 GEUSKENS, BIBICHE (US)；帕特瓦利 阿托爾 PATWARY, ATATUR (US)；唐可 艾利力 K DONKOH, ERIC KWESI (GH)；凱拉 穆罕默德 KHELLAH, MUHAMMAD (CA)；卡尼克 唐艾 KARNIK, TANAY (US)

(74)代理人：憚軼群；陳文郎

申請實體審查：有 申請專利範圍項數：20 項 圖式數：7 共 20 頁

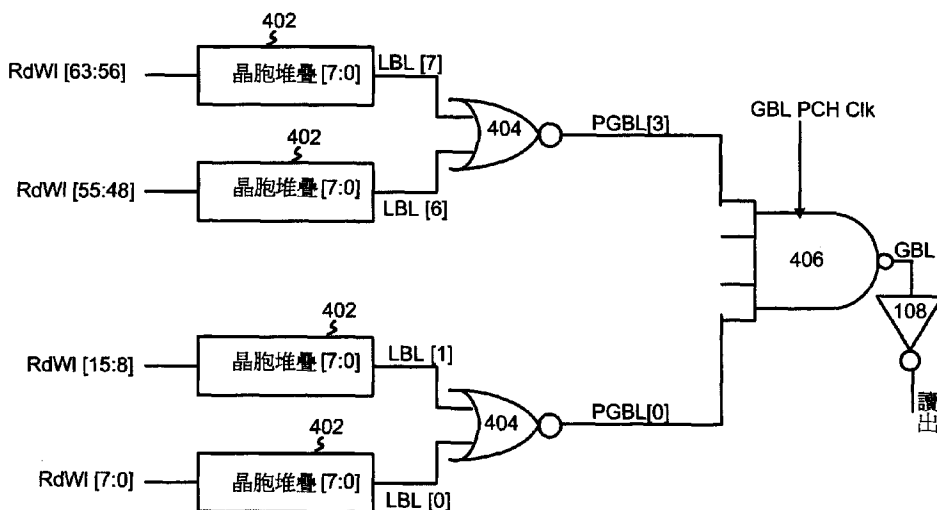
(54)名稱

具有 P 型估算的暫存器檔案電路

REGISTER FILE CIRCUITS WITH P-TYPE EVALUATION

(57)摘要

本文提供一種新的暫存器列(RF)實施態樣。針對其估算節點中之一或更多者並不使用一預充電高準位節點，而使用估算之前放電(低準位)之一估算(或評估)節點並於一放電狀態進入估算。某些實施例中，利用該類“常低準位”之估算節點，若邏輯如此指定，則其使用上拉堆疊裝置，而非下拉裝置來於一評估階段期間對該評估節點充電。



108：輸出驅動反相器

402：群組

404：NOR 閘

406：動態 NAND 閘

六、發明說明：

【發明所屬之技術領域】

本發明係有關於具有P型估算的暫存器列電路。

【先前技術】

發明背景

動態暫存器列(RF)通常使用於，例如，微處理器中，以儲存並讀取資料陣列。對於重視流通量之區域其特別有用。典型使用例如，以一寬的動態多工器或NOR電路來動態選擇與估算以完成從一RF讀取資料，而因此，漏電流以及動態功率於一RF電路之總功率耗損中扮演著非常重要的角色。因此，會期待某些改善方法。

【發明內容】

依據本發明之一實施例，係特地提出一種晶片，其包含有：一暫存器列電路，具有進入一估算階段時放電之多個估算節點。

圖式簡單說明

本發明之實施例經由範例，而非經由限制來加以繪示，該等伴隨圖式之圖形中相同參考數字參照為相同元件。

第1圖是一習知RF直行的圖形。

第2圖是一針對第1圖之該直行的一習知晶胞堆疊群組之圖形。

第3圖是一針對第1圖之該直行的一習知動態NOR閘之圖形。

第4圖是一根據某些實施例，包含具有放電估算節點之

位元線的一RF直行之圖形。

第5圖是一根據某些實施例並針對第4圖之該RF直行，包含具有一放電估算節點之位元線的一晶胞堆疊群組之圖形。

第6圖是一根據某些實施例並針對第4圖之該直行的一動態NAND閘之圖形。

第7圖是一根據某些實施例，具有包含至少一暫存器列電路之一處理器的一電腦系統之圖形。

【實施方式】

較佳實施例之詳細說明

參照第1圖，顯示一習知RF直行(此方案中，為一64位元直行)。(為了簡化以及易於了解，顯示一單一64位元RF直行，但於許多應用中，會有許多該類直行，例如，於一RF陣列組態中之32個直行，形成32、64位元暫存器、或RF字元)。該描繪RF分為八個群組102，其中每一群組具有八個晶胞堆疊，因此針對該64位元直行組成64個晶胞堆疊。

每一晶胞堆疊設置一讀取字線(RdW1)以便該字線受宣告時來評估(或“讀取”)該晶胞堆疊。每一字線(RdW1)由一解碼器驅動器來驅動，典型由一NAND閘接著一反相器來組成以達到該所需之主動高準位輸入線(在此未顯示該兩裝置)。因此，由於該類組態，一次(例如，每個讀取週期)宣告一字線。每一晶胞堆疊群組102共享一共同局部位元線(LBL)來從該群組之該等共享晶胞堆疊中評估一選擇的晶胞堆疊。該等局部位元線可預充電至一高準位並根據儲存

於該待讀取晶胞中之邏輯值，該位元線可根據估算而位於高準位或放電至低準位。

有四個閘104(本文為NAND閘)將該等八條局部位元線組合成四條預先整體位元線(PGBL)。此安排中，每一閘104接收兩條局部位元線並輸出一預先整體位元線以評估其兩條局部位元線。於是，該等四條PGBL線代表該直行之該等64個晶胞堆疊。其每一個饋送一動態NOR閘106，其依次具有饋送一輸出驅動反相器108之一整體位元線(GBL)輸出。該動態NOR閘106會以一GBL預充電時鐘信號(GBL PCH Clk)來計時(預充電/估算)，該信號相對該LBL預充電時鐘可加以延遲來用以響應該局部位元線估算而給該PGBL輸入一設定機會。從動態NOR閘106輸出之該整體位元線(GBL)會反相並透過反相驅動器108來驅動來作為一輸出(讀出)，其輸出針對該直行中之該選擇晶胞讀取的數值。

第2圖顯示一晶胞堆疊群組102之習知電路。該電路具有八個晶胞堆疊，每一堆疊由一記憶體晶胞201、一N型晶胞電晶體(N_C)、以及耦合至該局部位元線之一N型堆疊電晶體(N_S)組成(其為針對該動態閘之一估算或狀態節點)。如圖所示，該電路亦具有一P型預充電電晶體(P_{Clk})以及由一P型電晶體與一反相器組成之一保持器電路202。該等RdWl信號耦合至該等堆疊電晶體(N_S)之閘極，其放置於該局部位元線(LBL)與一相關聯晶胞電晶體(N_C)之間。一預充電階段期間，所有該等位元線(RdWl)信號遭受解宣告(低準位)，因而關閉該等堆疊電晶體(N_S)，而該預充電電晶體(P_{Clk})經由

一局部位元線時鐘(LBL PCH Clk)受宣告，來將該局部位元線(LBL)充電至高準位。於一隨後出現之估算階段期間，該預充電電晶體關閉而若該等晶胞堆疊其中之一被讀取，則其字線(RdWl)受宣告(高準位)。透過其晶胞電晶體(N_C)此將該局部位元線耦合至其相關聯記憶體晶胞。因此，根據其記憶體晶胞儲存之狀態，該晶胞電晶體導通，因而透過該堆疊電晶體而“下拉”該局部位元線，或者該局部位元線保持高準位。如眾所皆知，若其假設評估為高準位，亦即，若該選擇之記憶體晶胞將一低準位施用於其相關聯晶胞電晶體(N_C)時，則該保持器電路202用來將該LBL保持高準位。

第3圖顯示一針對第1圖之該RF直行的習知動態NOR電路106。如圖所示，其具有四個下拉堆疊電晶體NS、一預充電電晶體 P_{Clk} 、以及保持器電路202，所有元件皆耦合至一評估節點，其作為該整體位元線(GBL)。該等堆疊電晶體之每一個接收該等預充電整體位元線(PGBL)信號的其中之一，而若其PGBL信號受宣告(高準位)，則該閘評估，亦即， P_{Clk} 關閉後，其用來下拉該GBL節點。

參照第4圖至第6圖，本文揭示為一新的RF實施態樣。針對其其中之一或更多估算節點並不使用一預充電高準位結點，而使用估算之前放電(低準位)之一估算(或評估)節點並於一放電狀態進入估算。某些實施例中，若該邏輯如此指定，則具有該類“常低準位”之估算節點，其使用上拉堆疊裝置，而非下拉裝置來於一評估階段期間對該評估節點充電。

參照第4圖，其顯示根據某些實施例具有放電預估算之一RF直行(此範例中為64位元)。其具有附有評估前放電之LBL線的晶胞堆疊群組402。該等LBL線餽送NOR閘404。該等NOR閘提供依次餽送一動態NAND閘406之四條PGBL線。該描繪實施例中，動態NAND閘406輸出附有估算前放電(低準位)之該等LBL線的一整體位元線(GBL)。(並非所有實施例皆需如此配置，例如，習知實施態樣中，該GBL可預充電，或其甚至可以靜態或部分靜態邏輯來執行。)該GBL線餽送反相輸出驅動器108，其於輸出提供該讀出信號。

相對第1圖至第3圖之習知電路，由於信號極性之改變，例如，該等RdWl驅動器(未顯示)應為有效低準位，而因此該應用之驅動器可簡化為一NAND閘而忽略該通常包括之反相器。

第5圖顯示一根據某些實施例用以執行第4圖之該電路402的電路。其估算節點(LBL)於一預估算階段中由放電電晶體(N_{Clk})放電至低準位，而之後若選定該等上拉堆疊電晶體(P_s)其中之一，則由其充電(高準位)(亦即，若其RdWl輸入宣告為低準位)，並且其記憶體晶胞儲存一低準位，因而將其晶胞電晶體(P_c)導通。所以，此實施例中，PMOS裝置用來於該讀取操作(估算階段)期間對該動態(估算)節點充電。同時，NMOS裝置用來於估算前對該等估算節點，LBL與GBL放電(而非預充電)。

第6圖顯示一根據某些實施例適合動態NAND閘406之

NAND閘。針對該記憶體堆疊群組402之該等LBL估算節點，其GBL估算節點於一估算階段前放電。估算期間，根據一選定記憶體堆疊之狀態，其保持低準位或透過一P型堆疊裝置(P_S)上拉。(應注意根據設計考量與組態配置，該等堆疊晶胞群組與動態閘(在此為NAND閘)兩者之堆疊電晶體(P_S)的大小與操作特性可相同或相異。)

有關使用常低準位、上拉估算節點有若干優點。例如，可降低需對位址輸入信號解碼之階層數量，例如，可使用一NAND閘而非一AND閘。此可從該全部讀出延遲中有效節省1階層延遲，並由於使用該PMOS堆疊裝置而補償增加之延遲，該PMOS堆疊裝置一般較NMOS裝置慢。

此外，相較該NMOS設計，該上拉堆疊中使用PMOS裝置可使該晶胞堆疊具有額外的區域最佳化，針對類似的晶胞堆疊大小可改善陣列區域密度。

再者，模擬結果已指出使用常低準位估算節點(例如，使用一PMOS式堆疊電路架構)可減少漏電源(例如，約25%)，雖然需付出該相同布局區域中讀出延遲上降級的代價，但可改善雜訊抗擾性。

參照第7圖，其顯示一電腦平台(例如，諸如一行動個人電腦、PDA、行動電話、等等之計算系統)的一部分之範例。該代表部份包含一或更多處理器702、介面控制功能性704、記憶體706、無線網路界面708、以及一天線709。該(等)處理器702透過該介面控制功能性704耦合至該記憶體706與無線網路界面708。根據本文說明之實施例，該處理器包

括具有常低準位、上拉估算節點之一暫存器列703。該控制功能性可包含一或更多電路區塊來執行各種不同的介面控制功能(例如，記憶體控制、圖形控制、I/O介面控制、等等)。該等電路可於一或更多分開的晶片上執行以及/或者可部分或整體地於該(等)處理器702中執行。

該記憶體706包含一或更多記憶體區塊來將額外的隨機存取記憶體提供至該(等)處理器702。其可以包括但不侷限於動態隨機存取記憶體、靜態隨機存取記憶體、快取記憶體、等等之任何適當的記憶體來執行。該無線網路介面708耦合至該天線709來將該(等)處理器702無線耦合至諸如一無線區域網路或一蜂巢式網路的一無線網路(未顯示)。

該電腦平台可執行各種不同的計算裝置或具有計算能力之其他設備。該類裝置包括但不侷限於膝上型電腦、筆記型電腦、個人數位助理裝置(PDA)、行動電話、音頻與/或視頻媒體播放器、等等。其可組成一或更多完整的計算系統，或者，其可組成一計算系統中使用的一或更多構件。

上述說明中，已提出許多特定的細節。然而，應了解本發明之實施例在不具有該等特定細節的情況下亦可加以實作。其它實例中，為了不模糊化對本說明之了解便不再顯示著名的電路、架構與技術。有鑑於此，參照為“某一實施例”、“一實施例”、“範例實施例”、“各種不同實施例”、等等，表示說明之本發明的該(等)實施例可包括特定特徵、架構、或特性，但並不需每一實施例皆包括該等特定特徵、架構、或特性。此外，某些實施例可具有其他實施例說明

之某些特徵、全部特徵、或不具有任何特徵。

上述說明與下列申請專利範圍中，以下術語應視為下列所述：可使用該等術語“耦合”與“連接”、以及其衍生詞。應了解該等術語彼此間並不意欲視為同義詞。而是，於特定實施例中，“連接”可用於表示兩個或更多元件直接以實體或電氣方式彼此接觸。“耦合”可用來表示兩個或更多元件彼此協力操作或互動，但其可以或不需直接以實體或電氣方式彼此接觸。

該等術語“P型電晶體”或“PMOS電晶體”參照為一P型金氧半導體場效電晶體。同樣地，“N型電晶體”或“NMOS電晶體”參照為一N型金氧半導體場效電晶體。應體認除非於其他地方明確指出或由其使用之本質所指定，否則無論何時皆使用該等術語：“MOS電晶體”、“NMOS電晶體”、或“PMOS電晶體”，其以一種示範方式來使用。其含有包括具有不同VT、材料類型、絕緣體厚度、閘體組態、等等之裝置的各種不同類型MOS裝置。此外，除非特別參照為MOS等等，否則該術語電晶體可包括其他適當的電晶體類型，例如，接面場效電晶體、雙極性接面電晶體、金屬半導體FET、以及各種不同類型的三維度電晶體、MOS或其他今日已知或尚未開發之元件。

本發明並不侷限於上述實施例，但在該等後附申請專利範圍之精神與範疇下之修改與變化型態後仍可加以實作。例如，應體認本發明可應用於使用所有類型的半導體積體電路(“IC”)晶片中。該等IC晶片之範例包括但不侷限於

處理器、控制器、晶片組構件、可程式化邏輯陣列(PLA)、記憶體晶片、網路晶片、等等。

應體認某些該等圖式中，信號導線以線段表示。某些線段較粗表示更多的組成信號路徑，具有數字符號表示組成信號路徑之數量，以及/或者於一端點或更多端點具有箭頭表示主要的資料流方向。然而，此不應視為一種限制方式。而是，可使用該類外加細節結合一或更多示範實施例來促進對一電路更易於了解。任何表示之信號線，不論是否具有額外資訊，皆可實際包含於多個方向運行之之一或更多信號，並且可以任何適當的信號類型方案，例如，以不同的成對、光纖線段來執行之數位或類比線段、以及/或者單一端線段來加以執行。

應體認雖然本發明不侷限於相同的示範尺寸/模型/數值/範圍，但可給定相同尺寸/模型/數值/範圍。隨著製造技術(例如，攝影平版術)日趨成熟，可期待製造較小尺寸之裝置。此外，為了簡化舉例說明與討論、以及不對本發明產生混淆，圖形中可顯示或不顯示連接至IC晶片與其他構件之著名的電源/接地連接。再者，元件安排可顯示於方塊圖型式中以避免對本發明產生混淆，並且亦有鑑於事實上有關該類方塊圖安排之實施態樣的特性係密切根據執行本發明之平台，亦即，該類特性應於業界熟於此技者所知之範圍中。在此提出特定細節(例如，電路)來加以說明本發明之示範實施例，很明顯地對業界熟於此技者而言，不論是否具有該等特定細節之變化型態，本發明皆可加以實作。因

此該說明應視為舉例解說而非限制。

【圖式簡單說明】

第1圖是一習知RF直行的圖形。

第2圖是一針對第1圖之該直行的一習知晶胞堆疊群組之圖形。

第3圖是一針對第1圖之該直行的一習知動態NOR閘之圖形。

第4圖是一根據某些實施例，包含具有放電估算節點之位元線的一RF直行之圖形。

第5圖是一根據某些實施例並針對第4圖之該RF直行，包含具有一放電估算節點之位元線的一晶胞堆疊群組之圖形。

第6圖是一根據某些實施例並針對第4圖之該直行的一動態NAND閘之圖形。

第7圖是一根據某些實施例，具有包含至少一暫存器列電路之一處理器的一電腦系統之圖形。

【主要元件符號說明】

102、402...群組	406...動態NAND閘
104...NAND閘	702...處理器
106...動態NOR閘	703...暫存器列
108...輸出驅動反相器	704...介面控制功能性
201...記憶體晶胞	706...記憶體
202...保持器電路	708...無線網路介面
404...NOR閘	709...天線

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98142500

※申請日：98.12.11

※IPC 分類：

G11C 29/26

(2006.01)

一、發明名稱：(中文/英文)

G11C 8/16

(2006.01)

具有P型估算的暫存器列電路

REGISTER FILE CIRCUITS WITH P-TYPE EVALUATION

二、中文發明摘要：

本文提供一種新的暫存器列(RF)實施態樣。針對其估算節點中之一或更多者並不使用一預充電高準位節點，而使用估算之前放電(低準位)之一估算(或評估)節點並於一放電狀態進入估算。某些實施例中，利用該類“常低準位”之估算節點，若邏輯如此指定，則其使用上拉堆疊裝置，而非下拉裝置來於一評估階段期間對該評估節點充電。

三、英文發明摘要：

Provided herein is a new RF implementation. Instead of using a pre-charged High node for one or more of its evaluation nodes, it employs an evaluation (or evaluate) node that is discharged (Low) prior to evaluation and enters evaluation in a discharged state. In some embodiments, with such “normally Low” evaluation nodes, it uses pull-up stack devices, rather than pull-down devices, to charge the evaluate node during an evaluate phase if the logic so dictates.

七、申請專利範圍：

1. 一種晶片，包含有：

一暫存器列電路，具有進入一估算階段時放電之多個估算節點。

2. 如申請專利範圍第1項之晶片，其中該電路包含耦合至該等估算節點之記憶體晶胞堆疊。

3. 如申請專利範圍第2項之晶片，其中該等記憶體晶胞堆疊包含P型電晶體。

4. 如申請專利範圍第3項之晶片，其中該暫存器列電路包含一或更多個晶胞堆疊群組，每一群組包括耦合至開始一估算階段時放電之一共同局部位元線的多個晶胞堆疊。

5. 如申請專利範圍第4項之晶片，其中該暫存器列電路具有用以評估該等局部位元線之整體位元線，該等整體位元線進入一估算階段時放電。

6. 如申請專利範圍第5項之晶片，其中該暫存器列電路具有用以評估該等整體位元線之一動態NAND閘。

7. 如申請專利範圍第1項之晶片，其包含耦合至每一估算節點並於每一估算階段之前將其放電之一N型電晶體。

8. 一種方法，包含下列步驟：

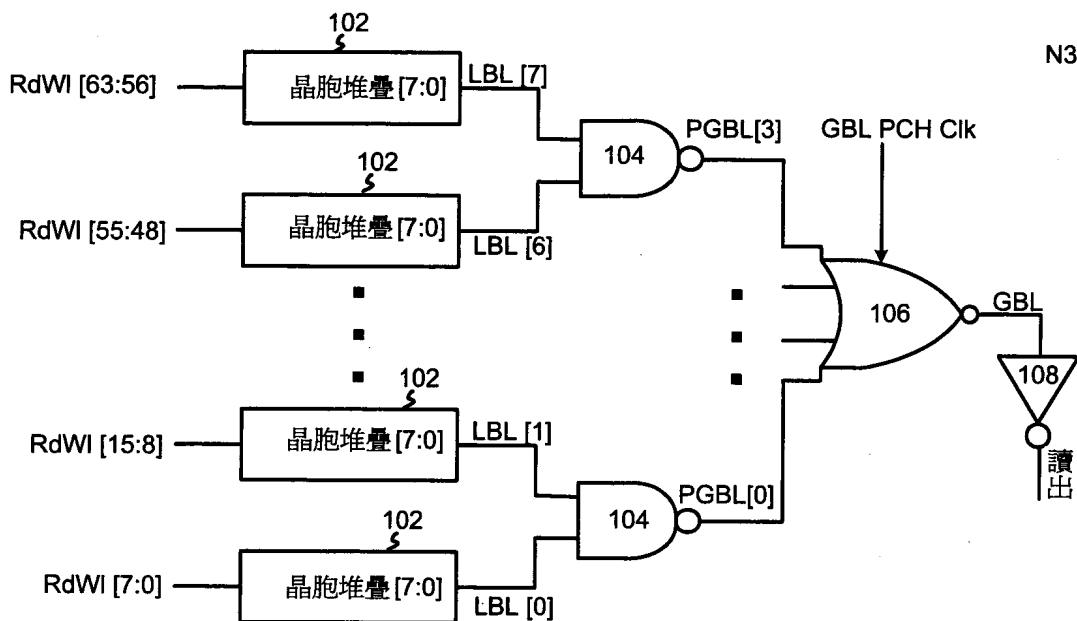
讀取一暫存器中之一記憶體晶胞，該讀取步驟包括將一估算節點放電以及評估該放電之估算節點。

9. 如申請專利範圍第8項之方法，其中放電步驟包括於一些估算階段間透過一N型電晶體將該估算節點放電。

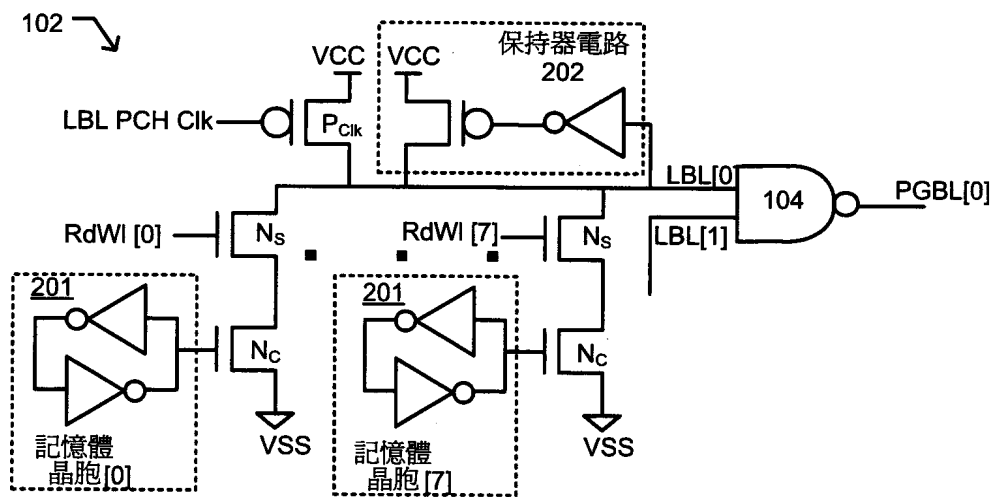
10. 如申請專利範圍第8項之方法，其包含若該記憶體晶胞使耦合至該估算節點之一P型電晶體導通，則於該估算階段期間將該估算節點充電至一高準位。
11. 如申請專利範圍第10項之方法，其中該估算節點是一個直行中之多個局部位元線的其中之一。
12. 如申請專利範圍第11項之方法，其中讀取步驟包括評估根據該等局部位元線評估之一整體位元線。
13. 如申請專利範圍第12項之方法，其中該整體位元線進入一估算階段時遭放電。
14. 一種電腦系統，包含有：
 - (a) 包含具有進入一估算階段時放電之多個估算節點之一暫存器列電路之一處理器；
 - (b) 一天線；以及
 - (c) 耦合至該處理器與該天線並且通訊上將該處理器鏈接至一無線網路之一無線介面。
15. 如申請專利範圍第14項之系統，其中該暫存器列電路包含耦合至該等估算節點之記憶體晶胞堆疊。
16. 如申請專利範圍第15項之系統，其中該等記憶體晶胞堆疊包含P型電晶體。
17. 如申請專利範圍第16項之系統，其中該暫存器列電路包含一或更多個晶胞堆疊群組，每一群組包括耦合至開始一估算階段時放電之一共同局部位元線的多個晶胞堆疊。
18. 如申請專利範圍第17項之系統，其中該暫存器列電路具

有用以評估該等局部位元線之整體位元線，該等整體位元線進入一估算階段時放電。

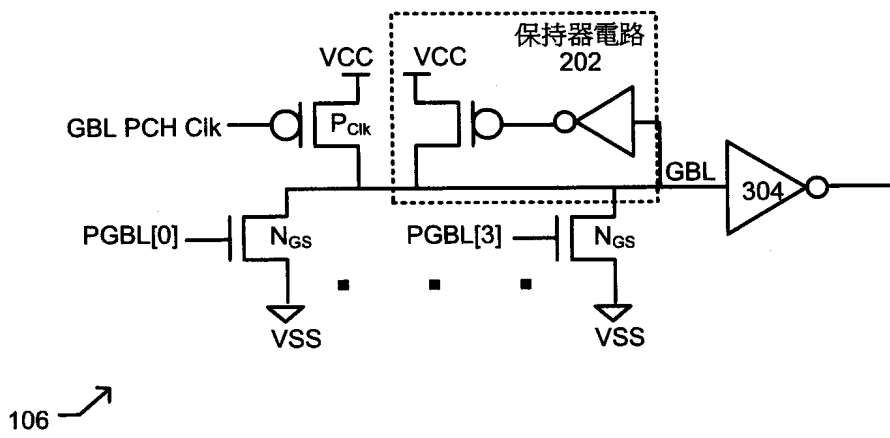
19. 如申請專利範圍第18項之系統，其中該暫存器列電路具有用以評估該等整體位元線之一動態NAND閘。
20. 如申請專利範圍第15項之系統，其包含耦合至每一估算節點並於每一估算階段之前將其放電之一N型電晶體。



第 1 圖

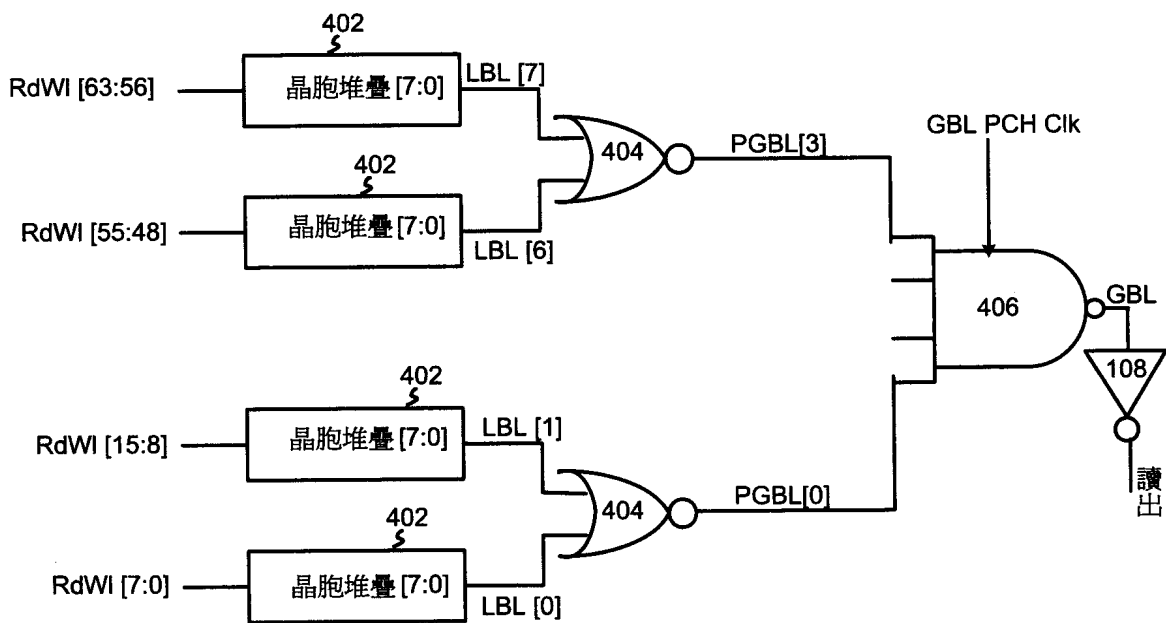


第 2 圖

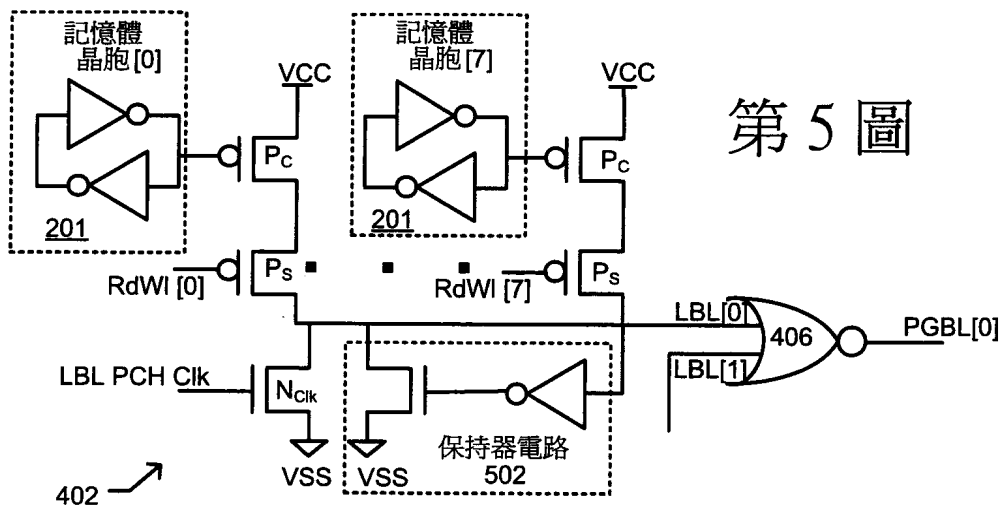


106 ↗

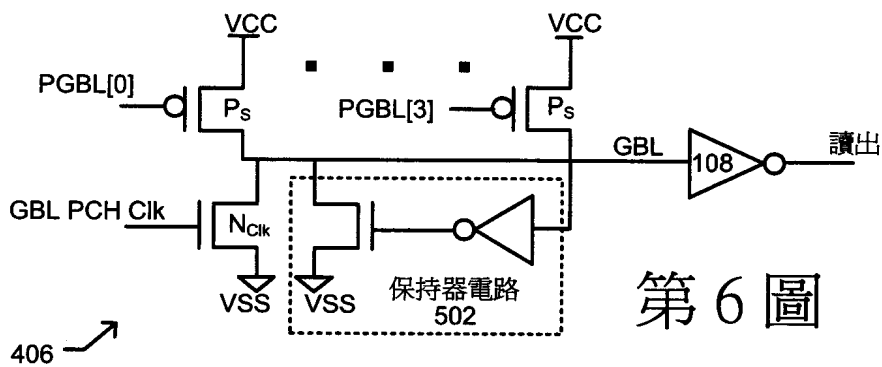
第 3 圖



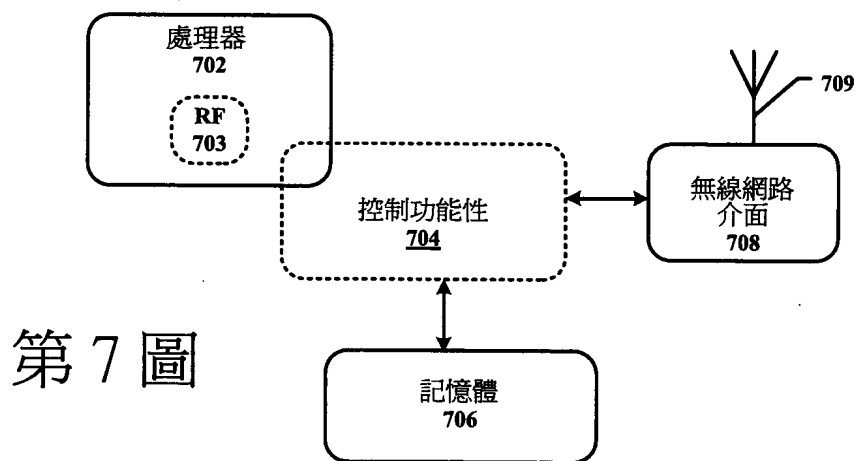
第 4 圖



第 5 圖



第 6 圖



第 7 圖

四、指定代表圖：

(一)本案指定代表圖為：第 (4) 圖。

(二)本代表圖之元件符號簡單說明：

108...輸出驅動反相器

402...群組

404...NOR閘

406...動態NAND閘

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：