

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5285079号  
(P5285079)

(45) 発行日 平成25年9月11日(2013.9.11)

(24) 登録日 平成25年6月7日(2013.6.7)

(51) Int.Cl.		F I	
<b>B 2 3 K</b>	<b>35/26</b>	<b>(2006.01)</b>	B 2 3 K 35/26 3 1 0 A
<b>C 2 2 C</b>	<b>13/02</b>	<b>(2006.01)</b>	C 2 2 C 13/02
<b>H 0 5 K</b>	<b>3/34</b>	<b>(2006.01)</b>	H 0 5 K 3/34 5 1 2 C
<b>H 0 1 L</b>	<b>21/52</b>	<b>(2006.01)</b>	H 0 1 L 21/52 B

請求項の数 4 (全 19 頁)

(21) 出願番号	特願2010-534729 (P2010-534729)	(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(86) (22) 出願日	平成21年4月13日 (2009.4.13)	(74) 代理人	110001195 特許業務法人深見特許事務所
(86) 国際出願番号	PCT/JP2009/057438	(72) 発明者	前田 晃 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
(87) 国際公開番号	W02010/047139	(72) 発明者	大津 健嗣 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
(87) 国際公開日	平成22年4月29日 (2010.4.29)	(72) 発明者	山田 朗 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
審査請求日	平成23年3月30日 (2011.3.30)		
(31) 優先権主張番号	特願2008-274545 (P2008-274545)		
(32) 優先日	平成20年10月24日 (2008.10.24)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 はんだ合金および半導体装置

(57) 【特許請求の範囲】

【請求項1】

S bを5質量%以上15質量%以下、C uを3質量%以上8質量%以下、N iを0.01質量%以上0.15質量%以下、I nを0.5質量%以上5質量%以下含み、残部がS nおよび不可避的不純物を含む、はんだ合金(3)。

【請求項2】

P、G e、G aおよびB iよりなる群から選ばれる1種以上を合計で0.01質量%以上1質量%以下含有する、請求の範囲第1項に記載のはんだ合金(3)。

【請求項3】

半導体素子(2)と、  
請求の範囲第1項に記載のはんだ合金(3)を介して前記半導体素子(2)に接合された金属電極(4)とを備えた、半導体装置(1)。

【請求項4】

前記半導体素子(2)と前記はんだ合金(3)との間および前記金属電極(4)と前記はんだ合金(3)との間の少なくともいずれかに、C u - N i - S nからなる化合物相(7a)と、C u - S nからなる化合物相(7b)と、S bを含有する含有相(7c)とを有する合金層(7)をさらに備えた、請求の範囲第3項に記載の半導体装置(1)。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、はんだ合金および半導体装置に関し、特に半導体素子と電子回路の電極とを接合するのに適した、鉛を含有しない（鉛フリー）はんだ合金およびそのはんだ合金を用いた半導体装置に関する。

【背景技術】

【0002】

近年、半導体装置に対する信頼性の要求はますます高まり、特に熱膨張係数差の大きい半導体素子と回路基板との接合部に対する耐ヒートサイクル特性向上が求められている。従来半導体素子はシリコン（Si）やガリウム砒素（GaAs）を基板としたものが多く使われ、その動作温度は100～125である。これらを電子回路の電極に接合するはんだ材料としては、半導体素子と回路基板との熱膨張の差に起因する繰り返し熱応力に対する耐クラック性、組み立てる際の多段階はんだ接合に対応するための高融点、さらにデバイスの汚染耐性の点などから、Siデバイスでは95Pb-5Sn（質量%）、ガリウム砒素デバイスでは80Au-20Sn（質量%）などが使われてきた。しかしながら、環境負荷低減の観点から有害な鉛（Pb）を大量に含有する95Pb-5Snは問題があり、また貴金属高騰や埋蔵量の点から80Au-20Snは代替材が強く望まれていた。

10

【0003】

一方省エネルギーの観点から次世代デバイスとしてシリコンカーバイド（SiC）や窒化ガリウム（GaN）を基板としたデバイスの開発が盛んになされている。これらは、ロス低減の観点からその動作温度が175以上とされており、将来的には300になるとも言われている。

20

【0004】

上記要求に対して、融点が高く、しかも耐熱性に優れた高温はんだ合金が必要である。このような高温はんだ合金は、たとえば特開2004-298931号に開示されている。この公報には、Sbが10～40質量%、Cuが0.5～10質量%、残部がSnからなる高温鉛フリーはんだ合金およびこのはんだ合金により接合された電子部品が開示されている。また機械的強度改善元素として、Ni、Co、Fe、Mo、Cr、Mn、Ag、Biを含有するはんだ合金が開示されている。さらに酸化抑制元素として、P、Ge、Gaを含有するはんだ合金が開示されている。

【0005】

また、200の高温下でも十分なはんだ接合強度が得られる手法が、たとえば、特開2007-67158号公報に開示されている。この公報の半導体装置では、室温から200においてCu-Sn化合物（たとえばCu<sub>6</sub>Sn<sub>5</sub>）の相を含有するSn系はんだ箔によりNi系めっきが施された被接続材が接続されることで、Cu-Sn化合物を主体とする化合物層が形成される。この化合物層がNi系めっきとSn系はんだとのバリア層となり接続界面反応による化合物の成長が抑制される。また実施例では、SnまたはSn-3Ag（質量%）に3質量%以上のCuが含有されたはんだ箔が、Ni系めっきと接触されて、加熱、熔融されて接合されている。

30

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2004-298931号公報

【特許文献2】特開2007-67158号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献1に示されるはんだ合金は、はんだ材が硬いため、はんだ材で応力緩和しないのでヒートサイクルによって半導体素子が割れてしまう問題がある。

【0008】

また特許文献2に示される半導体装置は、はんだ材が軟らかいため、はんだ材が割れや

40

50

すいのはんだ材内部の耐クラック性が低いという問題がある。

【0009】

本発明は、上記課題に鑑みてなされたものであり、その目的は、はんだ材の硬さを制御することで、半導体素子の割れを抑制し、さらにはんだ材の耐クラック性を向上させる高信頼なはんだ合金および半導体装置を提供することである。

【課題を解決するための手段】

【0010】

本発明のはんだ合金は、Sbを5質量%以上15質量%以下、Cuを3質量%以上8質量%以下、Niを0.01質量%以上0.15質量%以下、Inを0.5質量%以上5質量%以下含んでいる。残部がSnおよび不可避免的不純物を含んでいる。

10

【発明の効果】

【0011】

本発明のはんだ合金では、Inが0.5質量%以上5質量%以下の範囲で加えられることにより、耐クラック性向上のために添加されたSbにより硬くなりすぎたはんだ材の内部に軟らかいIn富裕相が分散される。これにより延性が強化されてはんだ材が適度に軟らかくされ、はんだ材の硬さが制御される。これにより、半導体素子の割れが抑制される。また、はんだ材の耐クラック性が向上する。

【図面の簡単な説明】

【0012】

【図1】本発明の実施の形態におけるはんだ合金を用いた半導体装置の概略断面図である。

20

【図2】本発明の実施の形態におけるメタライズ層が拡散で消滅したシリコンチップとはんだ層との接合部を拡大した概略断面図である。

【図3】本発明の実施の形態における半導体装置のはんだ接合部に生じたクラックの発生状態を示した概略断面図である。

【図4】本発明の実施の形態における半導体装置のシリコンチップに生じたクラック発生状態を示した概略断面図である。

【図5】Sb含有量と引張強度および伸びとの関係を示した図である。

【図6】Cu量と残Ni厚の平均との関係を示した図である。

【図7】Cu量とポイド率の平均との関係を示した図である。

30

【図8】In量とポイド率の平均との関係を示した図である。

【図9】ヒートサイクル処理後の断面観察によるシリコンチップのメタライズ層とはんだ層との接合界面の電子顕微鏡および特性X線を用いた定性分析の結果を基に模擬された概略断面図であって、比較例34に対応した図(A)と、実施例8に対応した図(B)である。

【図10】ヒートサイクル処理後の断面観察によるはんだ層とNiめっき層との接合界面の電子顕微鏡および特性X線を用いた定性分析の結果を基に模擬された概略断面図であって、比較例34に対応した図(A)と、実施例8に対応した図(B)である。

【発明を実施するための形態】

【0013】

40

以下、本発明の実施の形態について図に基づいて説明する。

最初に本実施の形態のはんだ合金およびそのはんだ合金を用いた半導体装置の構成について説明する。

【0014】

図1は、平面視における半導体装置1の対角線に沿う概略断面図である。図1を参照して、本実施の形態の半導体装置1は、半導体素子であるたとえばシリコンチップ2と、はんだ合金であるはんだ層3と、金属電極である回路基板4と、オーミック層5と、メタライズ層6と、合金層7と、Ni(ニッケル)めっき層9とを主に有している。

【0015】

この半導体装置1では、シリコンチップ2が、はんだ層3を介して回路基板4と接合さ

50

れている。シリコンチップ 2 とはんだ層 3 との間には、オーミック層 5、メタライズ層 6 および合金層 7 が形成されている。オーミック層 5 は、シリコンチップ 2 の半導体と金属との接合をオーミック接合とするためのものであり、シリコンチップ 2 と接するように形成されている。メタライズ層 6 は、オーミック層 5 とはんだ層 3 の良好な接合を得るためのものであり、オーミック層 5 と接するように形成されている。合金層 7 は、シリコンチップ 2 をはんだ層 3 で回路基板 4 に接合する際にはんだ層 3 とメタライズ層 6 との間に生じる層である。

【 0 0 1 6 】

オーミック層 5 としては、たとえば 100 nm 厚程度の Ti (チタン) が用いられる。またメタライズ層 6 としては、たとえば 500 nm 厚程度の Ni が用いられている。合金層 7 としては、シリコンチップ 2 側からたとえば Ni - Sn (スズ) - Cu (銅) 相が形成され、次いで Cu - Sn 相と Sn - Sb (アンチモン) 相との混合相が形成されている。はんだ層 3 は、Sb を 5 質量%以上 15 質量%以下、Cu を 3 質量%以上 8 質量%以下、Ni を 0.01 質量%以上 0.15 質量%以下、In を 0.5 質量%以上 5 質量%以下含み、残部が Sn および不可避免的不純物を含む鉛フリーはんだ合金よりなっている。

【 0 0 1 7 】

回路基板 4 とはんだ層 3 との間には、Ni めっき層 9 および合金層 7 が形成されている。Ni めっき層 9 は、回路基板 4 の表面に電解 Ni めっきにより形成された層であり、たとえば 5 μm 程度の厚みを有している。合金層 7 は、シリコンチップ 2 をはんだ層 3 で回路基板 4 に接合する際にはんだ層 3 と Ni めっき層 9 との間に生じる層である。この合金層 7 としては、回路基板 4 側から、たとえば Ni - Sn - Cu 相が形成され、次いで Cu - Sn 相と Sn - Sb 相との混合相が形成されている。

【 0 0 1 8 】

次に、この半導体装置 1 の製造方法について説明する。

たとえば厚さ 0.25 mm で 7 mm 角のシリコンチップ 2 の表面にオーミック層 5 とメタライズ層 6 とが順に積層して形成される。また、たとえば厚さ 1 mm で 10 mm 角の銅ブロックよりなる回路基板 4 の表面には、電解 Ni めっきにより Ni めっき層 9 が形成される。

【 0 0 1 9 】

次に、シリコンチップ 2 と回路基板 4 とがはんだ層 3 により接合される。このはんだ接合に際しては、まず回路基板 4 の Ni めっき層 9 が形成された表面上に、はんだ層 3 となるはんだペレットが載置される。このはんだペレットは、たとえば Sn - 10 Sb - 5 Cu - 0.1 Ni - 1 In (インジウム) - 0.05 P (リン) (質量%) の組成の合金よりなっており、その両面にフラックスが塗布されている。また、このはんだペレットは、たとえば厚さ 0.1 mm で 8 mm 角の寸法を有している。

【 0 0 2 0 】

上述のはんだペレットの上にシリコンチップ 2 が載置される。この際、はんだペレットにメタライズ層 6 が接するようにシリコンチップ 2 が載置される。

【 0 0 2 1 】

この状態で、回路基板 4 とはんだペレットとシリコンチップ 2 とを積み重ねたものが、回路基板 4 を下にして 280 の温度に設定されたホットプレート上に載置されて、5 分間加熱される。これにより、はんだペレットが溶融して溶融状態のはんだ層 3 となる。またメタライズ層 6 中の成分とはんだ層 3 中の成分とが相互に拡散してメタライズ層 6 とはんだ層 3 との間に合金層 7 が形成される。また Ni めっき層 9 中の成分とはんだ層 3 中の成分とが相互に拡散して Ni めっき層 9 とはんだ層 3 との間にも合金層 7 が形成される。加熱終了により、溶融状態のはんだ層 3 が冷却されて固化する。

【 0 0 2 2 】

以上のプロセスにより、本実施の形態の半導体装置 1 が製造される。

なお、上記において「Sn - 10 Sb - 5 Cu - 0.1 Ni - 1 In - 0.05 P (質量%)」とは、質量%で Sb を 10%、Cu を 5%、Ni を 0.1%、In を 1%、P を

10

20

30

40

50

0.05%含み、かつ残部がSnと不可避的不純物よりなる組成を意味している。以下の記述において、これと同様の表記は同様の質量%における組成を意味するものとする。

【0023】

次に、図2～図4を参照して、耐クラック性の評価の指標について説明するために、図1と同様の構成の半導体装置1においてシリコンチップ2に割れが生じる仕組みについて説明する。

【0024】

シリコンチップ2に割れが生じる仕組みには、オーミック層5と合金層7との間で発生する剥離、合金層7とはんだ層3との間で発生するクラックが影響している。

【0025】

第1に、オーミック層5と合金層7との間で発生する剥離について説明する。図2は、メタライズ層が消滅するまで半導体装置が長時間200程度の高温で保持された後のシリコンチップ2とはんだ層3との接合部を拡大した概略断面図である。図2を参照して、上記の長時間の高温保持により合金層7とオーミック層5との間のメタライズ層が消滅して合金層7とオーミック層5とが直接接触する。また、この場合、オーミック層5の厚さは図1と比較して変わらないが、合金層7はメタライズ層とはんだ層3の一部とを熱拡散により取り込んで成長し厚くなる。オーミック層5と合金層7とが直接接触された状態となると、両者5、7の間の密着強度が低下することから、比較的小さい力でオーミック層5と合金層7との間で剥離8cが生じてしまう。

【0026】

第2に、ヒートサイクル処理によって合金層7とはんだ層3との間で発生するクラックについて説明する。図3は、-50に30分、200に30分を1サイクルとした場合に、500サイクル程度のヒートサイクル処理が行われた後に、はんだ接合部に生じたクラック8a、8bの発生状態を示している。図3を参照して、半導体装置1にこのヒートサイクル処理が行われると、シリコンチップ2、はんだ層3および回路基板4の中で熱膨張係数差が最も大きいシリコンチップ2とはんだ層3との間に、周囲からクラック8a、8bが生じる。

【0027】

第3に、図2で説明した剥離8cおよび図3で説明したクラック8a、8bによってシリコンチップ2に割れが生じる仕組みについて説明する。図4は、ヒートサイクル途中でメタライズ層6が、熱拡散により消失した場合の半導体装置1のはんだ接合部およびシリコンチップ2に生じたクラック発生状況を示している。図4を参照して、ヒートサイクル開始後しばらくするとクラック8a、8bが発生する。またメタライズ層6が消失すると、オーミック層5と合金層7との界面で剥離8cが生じる。そして、クラック8a、8bと剥離8cとが複合されることによりシリコンチップ2に割れ8dが発生する。

【0028】

次に半導体装置1の耐クラック性について説明する。半導体装置1の耐クラック性は、はんだ材であるはんだ層3の耐クラック性および半導体素子であるシリコンチップ2の割れの影響を受ける。

【0029】

図3に示すように、クラック8a、8bの投影長さを、それぞれCa、Cbとする。クラック8a、8bは、概ねシリコンチップ2とはんだ層3との界面、より詳しくは合金層7とはんだ層3との界面においてははんだ層3側をほぼ直線的に進行する。このため、合金層7とはんだ層3との界面の一方端から他方端へクラックが貫通した場合の投影長さは、シリコンチップ2とはんだ層3との接合長さLにほぼ等しい。よって、ヒートサイクルによる耐クラック性は、半導体装置1の対角線に沿った断面観察を行った場合の $(Ca + Cb) / L \times 100$ (%)で示すことができ、これをクラック率(%)とする。

【0030】

なお、一般的に熱拡散ははんだ合金内で均一には生じないため、図4に示す剥離8cは、部分的に複数箇所が生じる可能性がある。その場合、クラック8aと8bとがつながっ

10

20

30

40

50

て合金層 7 とはんだ層 3 との界面を貫通する前に、クラック 8 a、8 b および剥離 8 c がつながって割れ 8 d が生じる。その結果、シリコンチップ 2 が割れて動作しなくなるため、上述のクラック率が低くても半導体装置 1 の耐クラック性は低くなる。

【 0 0 3 1 】

また、はんだ接合部内にポイドが存在すると、その部分を基点としたクラックが発生する。またポイドまで達したクラックは一気に進行する。このため、はんだ接合部内にポイドが存在すると、はんだ層 3 の耐クラック性および半導体装置 1 の耐クラック性が低下する。

【 0 0 3 2 】

したがって、半導体装置 1 の耐クラック性は、ヒートサイクルによるシリコンチップ 2 の割れおよび割れ発生サイクル数、断面観察によるクラック率および半導体装置 1 製造後のはんだ材のポイド率（はんだ濡れ性）であらわすことができる。

【 0 0 3 3 】

なお、割れ発生サイクル数とは、チップ割れが確認されたときのヒートサイクルのサイクル数である。またポイド率とは、後に詳述するようにはんだ材の断面積に対するポイドの面積の割合である。ポイド率は、はんだの濡れ性がよいと気泡の巻き込みが少なくなりポイドの発生が抑制されることから、はんだの濡れ性の指標となる。

【 0 0 3 4 】

次に、上記の耐クラック性の指標に基づいて本実施の形態のはんだ合金の化学成分の限定理由について説明する。

【 0 0 3 5 】

第 1 に S b の含有量（5 質量%以上 15 質量%以下）について説明する。

S n に S b が添加された場合、引張強度が 5 質量%以上の添加で顕著に向上し、S b の添加量増大に伴い向上し続ける。一方、伸びは S b 添加量増大に伴い低下し 20 質量%で大きく低下する。はんだ材の引張強度が高くかつ伸びが低いと、はんだ層 3 で応力が緩和されずにシリコンチップ 2 が割れてしまう。よって半導体装置 1 の耐クラック性のためには、はんだ層 3 の引張強度と伸びが共に高いことが望ましい。これより半導体装置 1 の耐クラック性は、S b の含有量が 5 質量%以上 15 質量%以下で優れている。

【 0 0 3 6 】

また、S b 添加量の増大に伴い、液相線温度は上昇するが、固相線温度はさほど上昇しない。固液共存領域（固相線温度以上液相線温度以下の領域）では、ポイドができやすいため、液相線温度以上の加熱が望ましい。S b の含有量が 15 質量%の場合の液相線温度は 300 であり、一般の加熱ヒーターの上限が 300 であるので、15 質量%以下の S b 添加であれば特殊加熱装置を用いなくて加熱できる点でコスト的に有利である。

【 0 0 3 7 】

また固相線温度以上でメタライズ層 6 の拡散速度が顕著に大きくなることから、固液共存領域（固相線温度以上液相線温度以下の領域）は狭いことが望ましい。S b の含有量が 15 質量%の場合の固液共存領域の温度差は 58 であり、20 質量%の場合の 83 に比べて狭い。

【 0 0 3 8 】

したがって、5 質量%以上 15 質量%以下の S b 添加により、良好な耐クラック性が得られる。また機械的強度バランスも良好である。さらにコスト的にも有利である。

【 0 0 3 9 】

第 2 に C u の含有量（3 質量%以上 8 質量%以下）および N i の含有量（0.01 質量%以上 0.15 質量%以下）について説明する。

【 0 0 4 0 】

まず C u の含有量（3 質量%以上 8 質量%以下）について説明する。C u の添加量増大に伴い、延性が低下し、ポイド率が増大し、残 N i 厚が増大する。延性が低下するのは、C u の添加により大部分を占める S n の粒界に C u<sub>6</sub>S n<sub>5</sub>などの金属間化合物相が析出し、C u の添加量増大に伴いその析出量も増大することにより、S n の粒界滑りが生じにく

10

20

30

40

50

くなるためである。またポイド率が増大するのは、Cuの添加量増大に伴い液相線温度が上昇し、析出される固相が増大することにより粘度が上昇して、フラックスのガスが抜けにくくなるためである。さらに、残Ni厚が増大するのは、添加されたCuが溶融はんだ中の接合界面に移動し、メタライズであるNiと主成分であるSnとで三元合金が生成するが、これがNiとSnとの二元合金と比較して成長速度が小さいためである。

【0041】

メタライズ層6の残Ni厚の平均は、Cuの添加量が3質量%以上となることで顕著に増加する。これによりメタライズ層6のNiが拡散されるのを抑制する効果が奏されている。しかしながら、Cuの添加量が10質量%以上となることで顕著にポイドが増加する。これらのことから、Sn-10Sb-1Inをベースとした合金へCuを3質量%以上8質量%以下添加することにより、高信頼な接合が得られる。

10

【0042】

なお、Cuの添加量は、Ni拡散抑制効果と、ポイド率と、延性とのバランスに優れている5質量%前後が最も望ましい。

【0043】

また、ヒートサイクル処理においてもNiの添加量が0.01質量%以上0.15質量%以下においてCuの添加量が3質量%以上8質量%以下であれば、チップ割れが生じず、クラック率は50%以下である。

【0044】

次にNiの含有量(0.01質量%以上0.15質量%以下)について説明する。Niの添加量が増大するほど、残Ni厚の平均が大きい。すなわちメタライズの拡散速度が遅く、高温における接合強度が長く保たれる。つまり耐熱性が優れている。その効果は、0.01質量%以上で顕著である。一方、Niの添加量が0.2質量%以上で顕著にポイドが増加する。ポイドが多いと半導体デバイスの発熱を逃がす点で不利となるので、現状では約0.15質量%以下が目安となる。従って、Ni添加量が0.15質量%以下に制御されることで、高信頼な接合が得られる。なお、Ni添加量の下限については、0.01質量%未満でも効果は得られるが、効果が顕著に現われる0.01質量%以上が望ましい。また、Niの添加量については、はんだ付温度270度でのSn中への固溶限界に近い0.1質量%前後が最も望ましい。

20

【0045】

第3にInの含有量(0.5質量%以上5質量%以下)について説明する。

耐クラック性向上のために添加されたSbにより硬くなりすぎたはんだ材では応力緩和しないために半導体素子にチップ割れが生じてしまう。Inが添加されることにより、In相が分散されることによる延性強化で、割れにくく応力緩和する金属組織が形成される。一方、Inが添加されるとはんだ材の濡れ性が向上する。これは融点が低下されるために反応性が向上するためである。しかしながら、Inが活性な元素のため添加されすぎるとはんだ材が酸化されて濡れ性が低下する。またソルダーペーストであればポットライフが短くなる。すなわち長期保存性が低下する。さらに融点低下、耐熱性低下、高温軟化による耐クラック性低下が懸念される。したがって、適度なInの含有量が求められる。

30

【0046】

0.5質量%以上のInの添加により、大幅にポイド率が低下する。また、8質量%以上のIn添加では僅かながらポイド率が上昇する。したがって、In含有量は、0.5質量%以上5質量%以下が望ましい。コストを考慮すると、0.5質量%以上1質量%以下がさらに望ましい。

40

【0047】

なお、本実施の形態においては、オーミック層としてTi(チタン)が用いられたが、Ti以外の金属、例えばNi(ニッケル)やAl(アルミニウム)、Mo(モリブデン)、またはTiが含まれたこれら元素のシリサイドなどの化合物、さらにこれらを組み合わせた多層構造などが用いられることが可能である。また、オーミック層が除かれることも可能である。

50

## 【0048】

次に、P（リン）、Ge（ゲルマニウム）、Ga（ガリウム）、Bi（ビスマス）よりなる群から選ばれる1種以上を合計で0.01質量%以上1質量%以下含有することを特徴とするはんだ合金について説明する。

## 【0049】

上述の本実施の形態におけるはんだ層3に、P、Ge、Ga、Biよりなる群から選ばれる1種以上を合計で0.01質量%以上1質量%以下添加されたはんだ合金を介して半導体素子であるシリコンチップ2に接続された金属電極である回路基板4を備えた半導体装置1のポイド率は、全てのはんだ合金において2%～10%の改善効果がある。

## 【0050】

なお、P、Ge、Ga、Biよりなる群から選ばれる1種以上を合計で0.005質量%含有したはんだ合金では顕著な改善効果はない。またP、Ge、Ga、Biよりなる群から選ばれる1種以上を合計で1.5質量%および3質量%含有するはんだ合金では、かえってポイド率が上昇する。

## 【0051】

これらのことから、P、Ge、Ga、Biよりなる群から選ばれる1種以上が合計0.01質量%以上1質量%以下の範囲で添加されることにより、はんだ合金の酸化が抑制できて、粘度が低下されることとあわせて、ポイド率が低下される効果がある。

## 【0052】

次に、回路基板としてCu/Inver/Cu、Cu/Mo/Cuを用いられた場合について説明する。上述の実施の形態と同様の条件で、回路基板にCu/Inver/Cu、Cu/Mo/Cuが用いられると、Cu/Inver/Cuはクラック率が約1/2、Cu/Mo/Cuが約1/3となる。また、回路基板4の表面にNiめっきが施されない場合について説明する。上述の実施の形態と同様の条件でクラック率およびメタライズの拡散ともに20%程度改善される。

## 【0053】

以上より、電極材料や表面処理によらずに効果が得られる。

## 【実施例】

## 【0054】

以下、本発明の実施例について詳細に述べる。

## （実施例1）

Sn-xSb（質量%：x=3、5、10、15、20、25、30、35、40）となるように純度99.5%のSnと、純度99.9%のSbとが合計で2kgになるように秤量された。その後、高周波溶解炉で最高温度が700℃になるまでSnが加熱された。その後Sbが投入され、攪拌され溶けきったことが確認された後、はんだ合金は速やかに直径40×長さ250mmの鋳型で鋳造された。はんだ合金は凝固後中央部を基準として直径25mm×長さ180mmの丸棒に機械加工され、引張試験のチャック部として直径25mm×長さ40mm、平行部直径8mm×長さ90mmにさらに機械加工された。そのはんだ合金に対し引張速度0.5mm/分の速度で引張試験が行われた。図5は、その引張試験での引張強度と伸びの測定結果を示している。図5は実施例1におけるSb含有量と引張強度および伸びとの関係を示した図である。

## 【0055】

なお、上述の引張試験片加工に際し、2つのチャック部の近傍からドリルで切粉が採取され、発光分析による定量分析が行われた。その結果、有効数字1桁でSbが狙い値通り含有されていることが確認された。また外観チェックによりはんだポイド、表面欠陥および変色がないことが確認された。

## 【0056】

これより、SnにSbを添加していった場合、引張強度は5質量%以上の添加で顕著に向上し、Sbの添加量増大に伴い向上し続ける傾向を示すが、伸びについてはSb添加量増大に伴い低下し、20質量%で大きく低下することがわかった。

10

20

30

40

50

## 【 0 0 5 7 】

また、表 1 は、伸びが大きく低下した S b 2 0 質量% 以下の場合 (  $x = 0, 5, 10, 15, 20$  ) の上述の鑄造サンプルについて、ほぼ中央部から数十 m g 程度が取り出され、示差走査熱量分析装置 ( D S C ) を用いて測定された固相線温度および液相線温度を示している。ここで、5 / m i n の昇温速度で加熱された場合に得られる吸熱カーブで最初に表れるピークの最低温度が固相線温度と定義されている。また 5 / m i n で冷却された場合に得られる発熱カーブで最初に表れるピークの最高温度が液相線温度と定義されている。

## 【 0 0 5 8 】

## 【表 1】

10

Sb(質量%)	0	5	10	15	20
固相線温度	232°C	240°C	242°C	242°C	242°C
液相線温度	232°C	242°C	265°C	300°C	325°C

## 【 0 0 5 9 】

## ( 実施例 2 )

S n - 1 0 S b - 1 I n - x C u - y N i ( 質量% :  $x = 0, 0.5, 1.5, 3, 5, 8, 10$  ,  $y = 0, 0.01, 0.05, 0.1, 0.15, 0.20$  ) となるように各材料が秤量された。その後、各材料が窒素雰囲気中で高周波溶解され、700 になったことと溶け残りが無いことが確認された。その後幅 20 m m × 高さ 10 m m × 長さ 150 m m の鑄型で鑄塊が鑄造された。

20

## 【 0 0 6 0 】

この鑄塊の両端と中央部について、ドリルで切粉が採取された。切粉の S b 、 C u 、 N i について、プラズマ融合発光分析で、定量分析が行われた。その結果、有効数字 1 桁で狙い値通りの鑄塊が得られていることが確認された。その後この鑄塊が圧延機で厚さ 0.1 m m に加工された。その後その表面が 10 % 塩酸で洗浄された後、十分に水洗された。その後この鑄塊が 8 m m 角のペレット状にカッターで切断された。このとき、圧延中に一部割れが生じたものを、割れなかったものとし、S n - 1 0 S b - 1 I n (  $x = y = 0$  ) の場合を二重丸の記号 ( 良 ) として相対評価が目視にて観察され、延性として評価された。これが用いられて、半導体装置 1 が上述の製造方法により各 10 個ずつ製造された。この製造された半導体装置 1 に透過 X 線装置でシリコンチップ表面から X 線が入射され、得られた画像が画像処理装置で 2 値化されて得られた面積の和の平均値を平均ポイド率とした。さらに、シリコンチップ対角線断面研磨後のサンプル中央部を電子顕微鏡で 2 万倍にて観察し、写真から 5 点平均で残 N i 厚が算出された。表 2 は、製造された半導体装置 1 の各 10 個について平均された残 N i 厚の平均と、平均ポイド率の算出結果を示している。図 6 および図 7 はこれら算出結果のグラフである。図 6 は実施例 2 における C u 量と残 N i 厚の平均との関係を示した図である。図 7 は、実施例 2 における C u 量とポイド率の平均との関係を示した図である。

30

40

## 【 0 0 6 1 】

【表 2】

	比較例 1	比較例 2	比較例 3	比較例 4	比較例 5	比較例 6	比較例 7
Ni 量(質量%)	0						
Cu 量(質量%)	0	0.5	1.5	3	5	8	10
延性	◎	◎	◎	○	○	○	△
平均ボイド率 (%)	7%	8%	9%	11%	12%	13%	20%
残 Ni 厚の平均(nm)	250	260	350	500	580	590	600

10

【 0 0 6 2 】

【表 3】

	比較例 8	比較例 9	比較例 10	実施例 1	実施例 2	実施例 3	比較例 11
Ni 量(質量%)	0.01						
Cu 量(質量%)	0	0.5	1.5	3	5	8	10
延性	◎	◎	○	○	○	○	△
平均ボイド率 (%)	9%	11%	11%	13%	13%	13%	22%
残 Ni 厚の平均(nm)	260	270	360	510	590	600	610

20

【 0 0 6 3 】

【表 4】

	比較例 12	比較例 13	比較例 14	実施例 4	実施例 5	実施例 6	比較例 15
Ni 量(質量%)	0.05						
Cu 量(質量%)	0	0.5	1.5	3	5	8	10
延性	◎	◎	○	○	○	○	△
平均ボイド率 (%)	11%	11%	11%	13%	13%	13%	25%
残 Ni 厚の平均(nm)	265	275	365	515	595	605	615

30

【 0 0 6 4 】

【表 5】

	比較例 16	比較例 17	比較例 18	実施例 7	実施例 8	実施例 9	比較例 19
Ni 量(質量%)	0.1						
Cu 量(質量%)	0	0.5	1.5	3	5	8	10
延性	○	○	○	○	○	○	△
平均ポイド率 (%)	12%	12%	12%	13%	13%	13%	25%
残 Ni 厚の平均(nm)	270	290	375	525	605	620	625

10

【 0 0 6 5 】

【表 6】

	比較例 20	比較例 21	比較例 22	実施例 10	実施例 11	実施例 12	比較例 23
Ni 量(質量%)	0.15						
Cu 量(質量%)	0	0.5	1.5	3	5	8	10
延性	○	○	○	○	○	○	△
平均ポイド率 (%)	13%	13%	13%	13%	13%	13%	30%
残 Ni 厚の平均(nm)	285	305	385	550	620	630	640

20

【 0 0 6 6 】

【表 7】

	比較例 24	比較例 25	比較例 26	比較例 27	比較例 28	比較例 29	比較例 30
Ni 量(質量%)	0.20						
Cu 量(質量%)	0	0.5	1.5	3	5	8	10
延性	×	×	×	×	×	×	×
平均ポイド率 (%)	30%	32%	33%	35%	36%	37%	40%
残 Ni 厚の平均(nm)	290	310	390	555	625	635	645

30

【 0 0 6 7 】

表 2 ~ 7 の、比較例 1 ~ 30、実施例 1 ~ 12 の全てにおいて、Cu の添加量増大に伴い、延性が低下され、ポイド率が増大され、残 Ni 厚が増大される傾向を示すことがわかった。

40

【 0 0 6 8 】

図 6 に示すように、残 Ni 厚の平均は、Cu の添加量が 3 質量%以上となることで顕著に増加し、Ni メタライズの拡散抑制効果が得られた。しかしながら、図 7 に示すように、Cu の添加量 10 質量%以上となることで、顕著にポイドが増加した。これらのことから、Sn - 10Sb - 1In をベースとした合金へ、Cu を 3 質量%以上 8 質量%以下添加することにより、高信頼な接合が得られることが判明した。

【 0 0 6 9 】

また、図 6 に示すように、Ni の添加量が増大するほど、残 Ni 厚の平均が大きかった

50

。それはNiの添加量が0.01質量%以上で顕著に現れた。一方図7に示すように、Niの添加量が0.2質量%以上で顕著にポイドが増加した。ポイドが多いと半導体デバイスの発熱を逃がす点で不利となり、現状約0.15%以下が目安となる。従って、Ni添加量については、0.15質量%以下に制御することで、高信頼な接合が得られることが示された。Ni添加量の下限については、0.01質量%未満でも効果は得られるが、効果の発現が確認された0.01質量%以上が望ましい。

## 【0070】

なお、Sb添加量が5質量%および15質量%での上記同様の実験においても、全く同様の効果が得られることが確認された。さらに、シリコンチップについて、いくつかの異なる大きさ、またメタライズ仕様のチップでの上記同様の実験においても、全く同様の効果が得られた。さらに、SiC（シリコンカーバイド）、GaN（窒化ガリウム）チップでの上記同様の実験においても、全く同様の効果が得られた。

10

## 【0071】

## (実施例3)

次に、上述の製造方法で製造された半導体装置が各組成（比較例1～30、実施例1～12）につき各10個ずつ試作され、-50℃に30分、200℃に30分を1サイクルとした、500サイクルのヒートサイクル処理が行われた。表8は、これらについて、表面観察によるチップ割れ有無の結果を示している。またチップ対角線で断面研磨されたこれらについて、電子顕微鏡観察によるクラック率および残Ni厚の平均値の結果を示している。なお、チップ割れがあった場合はNGの印として×が記載され、割れていない場合はOKの印として○が記載されている。またチップが割れた場合は、クラック率は100%と記載されている。

20

## 【0072】

## 【表8】

	比較例1	比較例2	比較例3	比較例4	比較例5	比較例6	比較例7
Ni量(質量%)	0						
Cu量(質量%)	0	0.5	1.5	3	5	8	10
チップ割れ	×	×	×	×	○	○	○
平均クラック率(%)	100%	100%	100%	100%	90%	90%	100%
残Ni厚の平均(nm)	0	0	0	0	5	7	50

30

## 【0073】

## 【表9】

	比較例8	比較例9	比較例10	実施例1	実施例2	実施例3	比較例11
Ni量(質量%)	0.01						
Cu量(質量%)	0	0.5	1.5	3	5	8	10
チップ割れ	×	×	×	○	○	○	○
平均クラック率(%)	100%	100%	100%	50%	40%	50%	100%
残Ni厚の平均(nm)	0	0	0	13	42	49	60

40

## 【0074】

【表 1 0】

	比較例 12	比較例 13	比較例 14	実施例 4	実施例 5	実施例 6	比較例 15
Ni 量(質量%)	0.05						
Cu 量(質量%)	0	0.5	1.5	3	5	8	10
チップ割れ	×	×	×	○	○	○	○
平均クラック率 (%)	100%	100%	100%	40%	35%	45%	100%
残 Ni 厚の 平均(nm)	0	0	0	15	46	53	60

10

【 0 0 7 5】

【表 1 1】

	比較例 16	比較例 17	比較例 18	実施例 7	実施例 8	実施例 9	比較例 19
Ni 量(質量%)	0.1						
Cu 量(質量%)	0	0.5	1.5	3	5	8	10
チップ割れ	×	×	×	○	○	○	○
平均クラック率 (%)	100%	100%	100%	30%	25%	35%	100%
残 Ni 厚の 平均(nm)	0	0	0	24	53	64	70

20

【 0 0 7 6】

【表 1 2】

	比較例 20	比較例 21	比較例 22	実施例 10	実施例 11	実施例 12	比較例 23
Ni 量(質量%)	0.15						
Cu 量(質量%)	0	0.5	1.5	3	5	8	10
チップ割れ	×	×	×	○	○	○	○
平均クラック率 (%)	100%	100%	100%	30%	25%	35%	100%
残 Ni 厚の 平均(nm)	0	0	0	41	68	77	85

30

【 0 0 7 7】

【表 13】

	比較例 24	比較例 25	比較例 26	比較例 27	比較例 28	比較例 29	比較例 30
Ni 量(質量%)	0.20						
Cu 量(質量%)	0	0.5	1.5	3	5	8	10
チップ割れ	×	×	×	○	○	○	○
平均クラック率 (%)	100%	100%	100%	100%	100%	100%	100%
残 Ni 厚の 平均(nm)	0	0	0	47	73	86	90

10

## 【0078】

表 8 を参照して、比較例 1 ~ 4 の、Sn - 10Sb - 1In はんだ合金に、Ni が添加されておらず、Cu が 0 ~ 3 質量% の範囲で添加されているはんだ合金で接合された半導体装置では、ヒートサイクル 500 サイクルによって、メタライズである Ni が残存されていないために、チップ割れが生じた。また、比較例 5 および 6 の、Cu が 5 質量% または 8 質量% 添加されたはんだ合金で接合された半導体装置は、Ni メタライズは部分的に残存されているが、残存されていない部分のクラック進展が速いため、クラック率は非常に高くなった。さらに、比較例 7 の、Cu が 10 質量% 添加されたはんだ合金で接合された半導体装置は、はんだ接合部にボイドが多数あるため、クラック進展が速く、チップ割れは生じていないが、貫通状態であった。

20

## 【0079】

また、表 9 を参照して、比較例 8 ~ 10 の、Ni が 0.01 質量% 添加されたが、Cu 添加量が 1.5 質量% 以下のはんだ合金で接合された半導体装置は、ヒートサイクルによりメタライズの Ni が拡散されて、密着力が低下し、チップ割れが生じた。さらに、比較例 11 の、Cu が 10 質量% 添加されているはんだ合金で接合された半導体装置は、ボイドが多いためクラック進展が速く、クラックが貫通した。Cu の添加量が 3 質量% 以上 8 質量% 以下の実施例 1 ~ 3 においては、チップ割れも生じず、クラック率は 50% 以下となった。

30

## 【0080】

さらに、比較例 12、13、14、16、17、18、20、21、22 の、Sn10Sb 合金に Ni が 0.05 ~ 0.15 質量% 添加され、Cu が 1.5 質量% 以下添加されたはんだ合金で接合された半導体装置では、Ni の添加量に関わらず、Ni メタライズが残存しておらず、チップ割れが生じた。また、比較例 15、19、23 の、Sn10Sb1In 合金に Ni が 0.05 ~ 0.15 質量% 添加され、Cu が 10 質量% 添加されたはんだ合金で接合された半導体装置は、Ni メタライズは残存しているが、はんだ接合部にボイドが多いためクラック進展が速く、クラックが貫通した。

## 【0081】

また比較例 24 ~ 30 の、Ni が 0.2 質量% 添加されたはんだ合金で接合された半導体装置は、はんだ接合部にボイドが多いため、クラック進展が速く、クラックが貫通した。さらに Cu が 1.5 質量% 以下の比較例 24 ~ 26 では、チップ割れが生じた。

40

## 【0082】

以上の実施例により、Sn - 10Sb - 1In はんだ合金に、Ni が 0.01 ~ 0.15 質量%、Cu が 3 ~ 8 質量% の範囲で添加されることにより、高信頼な接合が可能となり、高信頼な半導体装置が提供可能なことが判明した。

## 【0083】

なお、Sb 添加量が 5 質量% 以上 15 質量% 以下、また In 添加量が 0.5 質量% 以上 5 質量% 以下の範囲で変化されたはんだ合金での上述同様の実験においても、全く同様の効果が得られることが確認された。

50

## 【0084】

(実施例4)

表14は、Sn-12Sb-5Cu-0.08Niはんだ合金に、0、0.5、1、3、5、8、10質量%のInが添加されたはんだ合金ペレットが製造され、上述と同様の半導体装置が製造された際の、ポイド率について示している。また、コスト比は、Sn-12Sb-5Cu-0.08Niを1kg当たり3000円、インジウムを1kg当たり6万円とし、In添加合金価格/In無添加合金価格とした。図8は、実施例4におけるIn量とポイド率の平均との関係を示した図である。

## 【0085】

【表14】

10

	比較例31	実施例21	実施例22	実施例23	実施例24	比較例32	比較例33
In量 (質量%)	0	0.5	1	3	5	8	10
ポイド率	30%	15%	13%	11%	11%	13%	15%
1kg当りの コスト比	1	1.1	1.2	1.6	2.0	2.6	3.0

## 【0086】

20

なお、Sbを5質量%以上15質量%以下、Cuを3質量%以上8質量%以下、Niを0.01質量%以上0.15質量%以下、残部Snでの上記同様の実験でも、全く同様の効果が得られることが確認された。

## 【0087】

(実施例5)

上述の本実施の形態におけるはんだ層3に、P、Ge、Ga、Biよりなる群から選ばれる1種以上を合計で0.01質量%以上1質量%以下添加されたはんだ合金が製造された。そして、上術と同様の条件でそのはんだ合金を介して半導体素子であるシリコンチップ2に接続された金属電極である回路基板4を備えた半導体装置1が製造され、そのポイド率が測定された。その結果、全てのはんだ合金において、2%~10%の改善効果がみ

30

## 【0088】

なお、P、Ge、Ga、Biよりなる群から選ばれる1種以上を合計で0.005質量%含有したはんだ合金では顕著な改善効果は確認できなかった。またP、Ge、Ga、Biよりなる群から選ばれる1種以上を合計で1.5質量%および3質量%含有するはんだ合金では、かえってポイド率は上昇する傾向を示した。

## 【0089】

(実施例6)

本発明の実施の形態と同様の製造方法で、Sn-6Cuのはんだ合金ペレットを用いた半導体装置(比較例34)が作成された。このサンプルと実施例8の半導体装置1につい

40

## 【0090】

図9(A)に示す比較例34では、シリコンチップ2とはんだ層3との間の合金層7には、Cu-Ni-Sn相7aおよびCu-Sn相7bが存在している。また図10(A)に示す比較例34では、回路基板4の表面に形成されたNiめっき層9とはんだ層3との間の合金層7には、Cu-Ni-Sn相7aおよびCu-Sn相7bが存在している。シリコンチップ2と回路基板4との熱膨張係数差により発生する熱応力によって、比較的軟らかいはんだ層3とCu-Sn相7bとの界面に沿ってクラック8eが発生し、比較的速い速度で進展した。

50

## 【 0 0 9 1 】

一方、図 9 ( B ) に示す実施例 8 では、半導体素子であるシリコンチップ 2 とはんだ合金であるはんだ層 3 との間の合金層 7 には、Cu - Ni - Sn 相 ( 銅とニッケルとスズとを含む相 ) 7 a、Cu - Sn 相 ( 銅とスズとを含む相 ) 7 b の他に、Sb 含有相 7 c が存在している。また図 1 0 ( B ) 示す実施例 8 では、金属電極である回路基板 4 の表面に形成された Ni めっき層 9 とはんだ合金であるはんだ層 3 との間の合金層 7 には、Cu - Ni - Sn 相 7 a、Cu - Sn 相 7 b の他に Sb 含有相 7 c が存在している。Sb 含有相 7 c は、機械的強度が高いことからクラック 8 f がこの相にぶつかると応力が分散され、進展が遅くなる。また Sb 含有相 7 c が Cu - Ni - Sn 相 7 a、Cu - Sn 相 7 b の近傍に析出されることにより、Cu - Sn 相 7 b の分散が均一になり、応力集中位置が少なくなるため、クラック進展が遅くなる。これにより一層信頼性が向上する。

10

## 【 0 0 9 2 】

なお、このような組織を得るためには、今回用いた半導体装置 1 では 3 0 / 分以下の冷却速度で接合させる必要がある。これ以上の速度で急冷すると、不均一な組織となり、顕著な効果が得られない。

## 【 0 0 9 3 】

( 実施例 7 )

上述の実施の形態と同様の実験が、回路基板に Cu / Inver / Cu、Cu / Mo / Cu が用いられて行われた。Cu / Inver / Cu の各層の厚さは、0 . 4 / 0 . 4 / 0 . 4 mm である。また Cu / Mo / Cu の各層の厚さは、0 . 4 / 0 . 4 / 0 . 4 mm

20

## 【 0 0 9 4 】

Cu / Inver / Cu はクラック率が約 1 / 2、Cu / Mo / Cu は約 1 / 3 となることが確認された。また、Cu も含めて、回路基板表面に Ni めっきを施さない場合について同様の実験が行われたが、クラック率およびメタライズの拡散ともに 2 0 % 程度改善された。

## 【 0 0 9 5 】

以上より、電極材料や表面処理によらずに効果が得られることが確認された。

なお、半導体装置は、モジュール、パッケージ、基板に搭載されたもののいずれでも適用される。

30

## 【 0 0 9 6 】

今回開示された実施の形態および実施例はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることを意図される。

## 【 産業上の利用可能性 】

## 【 0 0 9 7 】

本発明は、鉛を含有しないはんだ合金およびそのはんだ合金を用いた半導体装置に特に有利に適用され得る。

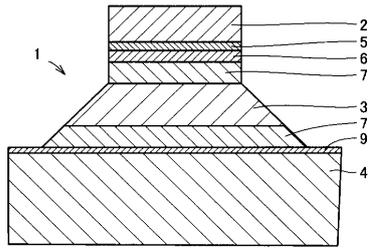
## 【 符号の説明 】

40

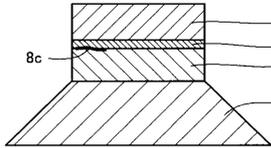
## 【 0 0 9 8 】

1 半導体装置、2 シリコンチップ ( 半導体素子 )、3 はんだ層 ( はんだ合金 )、4 回路基板、5 オーミック層、6 メタライズ層、7 合金層、7 a Cu - Ni - Sn 相、7 b Cu - Sn 相、7 c Sb 含有相、8 a、8 b、8 e、8 f クラック、8 c 剥離、8 d 割れ、9 Ni めっき層。

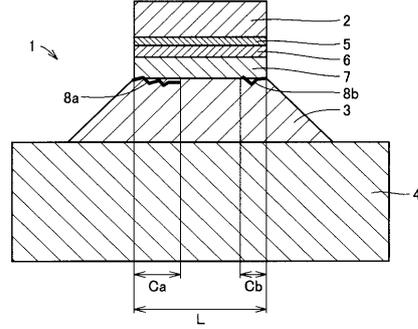
【図1】



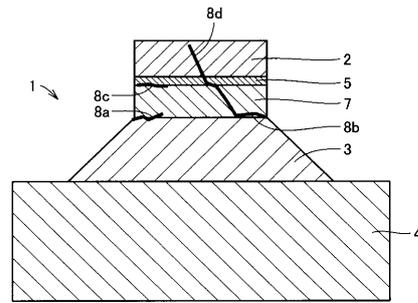
【図2】



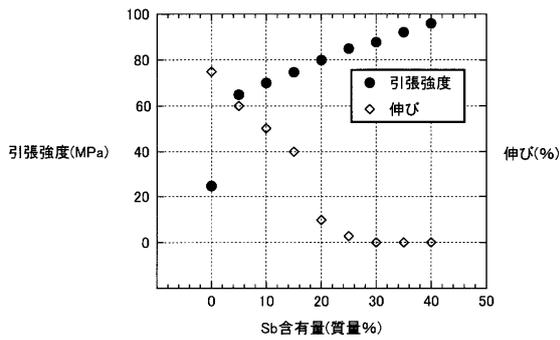
【図3】



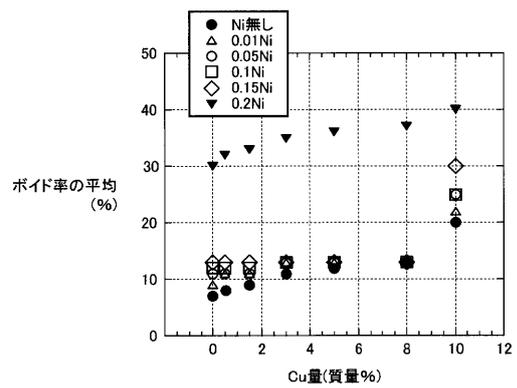
【図4】



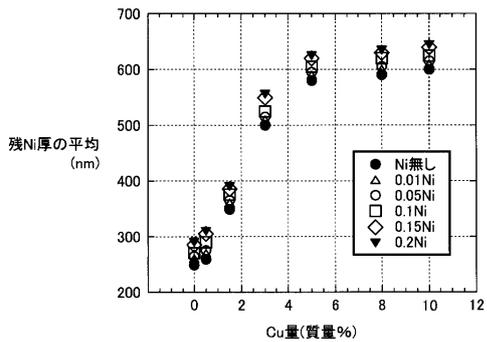
【図5】



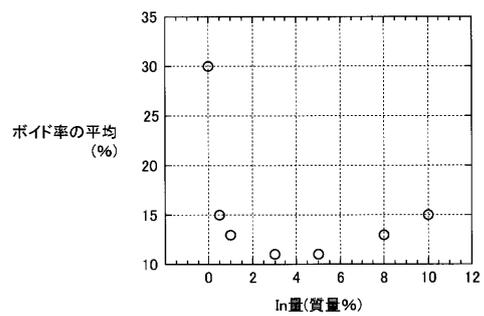
【図7】



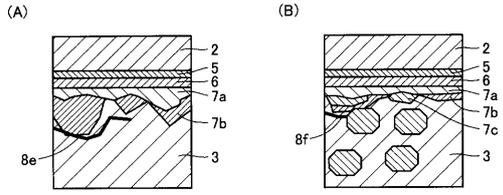
【図6】



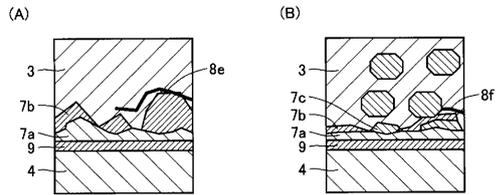
【図8】



【 図 9 】



【 図 10 】



---

フロントページの続き

審査官 宮澤 尚之

- (56)参考文献 特開2001-334384(JP,A)  
特開2001-284792(JP,A)  
特開2002-076606(JP,A)  
特開2004-141910(JP,A)  
米国特許第4758407(US,A)

(58)調査した分野(Int.Cl., DB名)

B23K	35/26
C22C	13/02
H01L	21/52
H05K	3/34