

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-48384
(P2008-48384A)

(43) 公開日 平成20年2月28日(2008.2.28)

| (51) Int.Cl. | F I | テーマコード (参考) |
|------------------------------|--------------|-------------|
| HO3K 17/94 (2006.01) | HO3K 17/94 J | 5F038 |
| HO1L 21/822 (2006.01) | HO1L 27/04 H | 5J050 |
| HO1L 27/04 (2006.01) | | |

審査請求 有 請求項の数 20 O L 外国語出願 (全 34 頁)

| | | | |
|--------------|------------------------------|----------|---|
| (21) 出願番号 | 特願2007-158204 (P2007-158204) | (71) 出願人 | 591003943 インテル・コーポレーション アメリカ合衆国 95052 カリフォル ニア州・サンタクララ・ミッション カレ ッジ ブレーバード・2200 |
| (22) 出願日 | 平成19年6月15日(2007.6.15) | (74) 代理人 | 100104156 弁理士 龍華 明裕 |
| (31) 優先権主張番号 | 11/472, 823 | (72) 発明者 | コクス、クリストファー アメリカ合衆国、95667 カリフォル ニア州、プレースビル、グライダー ロー ド 4120 |
| (32) 優先日 | 平成18年6月21日(2006.6.21) | Fターム(参考) | 5F038 AZ08 CD07 CD16 DF01 DF05 DF07 DF08 DF11 DF17 DT12 DT17 DT18 EZ07 EZ20 5J050 AA03 BB00 CC00 EE31 EE39 FF36 |
| (33) 優先権主張国 | 米国 (US) | | |

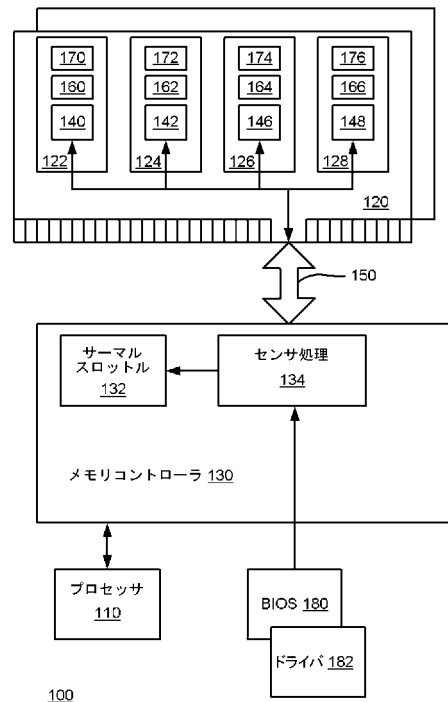
(54) 【発明の名称】 トグル制御を有するサーマルセンサ

(57) 【要約】 (修正有)

【課題】 トグル制御を用いたサーマルセンサの節電のためのシステム、方法、および、装置を目的とする。

【解決手段】 集積回路(メモリデバイスなど)は、オンダイサーマルセンサ、記憶素子(レジスタなど)、および、トグルロジックを含む。トグルロジックは、トグル表示に少なくとも一部応答し、サーマルセンサを第1の電力消費レベルから第2の電力消費レベルへと移行させることができる。

【選択図】 図1



- 【特許請求の範囲】
- 【請求項 1】
集積回路であって、
サーマルセンサと、
前記サーマルセンサに結合されて該サーマルセンサに関連するデータを格納する記憶素子と、
トグル表示に少なくとも一部応答し、前記サーマルセンサを第 1 の電力消費レベルから第 2 の電力消費レベルへと移行させることが可能なトグルロジックと、
を備える集積回路。
- 【請求項 2】 10
前記トグルロジックは、前記第 1 の電力消費レベルに対応する第 1 の状態、および、前記第 2 の電力消費レベルに対応する第 2 の状態を有するステートマシンを含む、請求項 1 に記載の集積回路。
- 【請求項 3】
前記第 1 の状態は、サーマルセンサパワーアップモードに関連する、請求項 2 に記載の集積回路。
- 【請求項 4】
前記第 2 の状態は、サーマルセンサ検知モードに関連する、請求項 3 に記載の集積回路。
- 【請求項 5】 20
前記ステートマシンは、対応する N 追加トグル表示をスキップする N 追加状態を含む、請求項 3 に記載の集積回路。
- 【請求項 6】
前記トグル表示は、相互接続較正コマンドである、請求項 1 に記載の集積回路。
- 【請求項 7】
前記相互接続較正コマンドは、ZQ較正コマンドである、請求項 6 に記載の集積回路。
- 【請求項 8】
前記集積回路は、揮発性メモリデバイスを含む、請求項 1 に記載の集積回路。
- 【請求項 9】 30
前記揮発性メモリデバイスは、ダイナミックランダムアクセスメモリデバイスである、請求項 8 に記載の集積回路。
- 【請求項 10】
前記記憶素子は、レジスタセットを含む、請求項 9 に記載の集積回路。
- 【請求項 11】
前記レジスタセットは、モードレジスタセット(MRS)である、請求項 10 に記載の集積回路。
- 【請求項 12】 40
方法であって、
集積回路のトグルロジックでトグル表示を受信する工程と、
前記トグル表示の受信に少なくとも一部応答し、オンダイサーマルセンサを第 1 の電力消費レベルに移行させる工程と、
温度データを検知する工程と、
前記オンダイサーマルセンサを第 2 の電力消費レベルに移行させる工程と、
を含む方法。
- 【請求項 13】
前記オンダイサーマルセンサを前記第 2 の電力消費レベルに移行させる工程は、
前記温度データの検知する工程の後に、前記オンダイサーマルセンサを前記第 2 の電力消費レベルに自動的に移行させる工程を含む、請求項 12 に記載の方法。
- 【請求項 14】 50
次のトグル表示を受信する工程をさらに含む、請求項 12 に記載の方法。

【請求項 15】

前記オンダイサーマルセンサを前記第2の電力消費レベルに移行させる工程は、前記次のトグル表示を受信する工程に少なくとも一部応答し、前記オンダイサーマルセンサを前記第2の電力消費レベルに移行させることを含む、請求項14に記載の方法。

【請求項 16】

前記次のトグル表示をスキップする工程をさらに含む、請求項14に記載の方法。

【請求項 17】

前記第1の電力消費レベルは、前記第2の電力消費レベルより大きい、請求項12に記載の方法。

【請求項 18】

システムであって、
サーマルセンサ、

前記サーマルセンサに結合されて該サーマルセンサに関連するデータを格納するレジスタ、および、

トグル表示に少なくとも一部応答し、前記サーマルセンサを第1の電力消費レベルから第2の電力消費レベルへと移行させることが可能なトグルロジック、

を備えるダイナミックランダムアクセスメモリ(DRAM)デバイスと、

前記メモリデバイスに結合されて、前記サーマルセンサからの温度情報を収集するサーマルセンサ処理ロジックを含むメモリコントローラと、

を備えるシステム。

【請求項 19】

前記トグル表示は、相互接続較正コマンドを含む、請求項18に記載のシステム。

【請求項 20】

前記トグルロジックは、前記第1の電力消費レベルに対応する第1の状態と、前記第2の電力消費レベルに対応する第2の状態とを有するステートマシンを含む、請求項18に記載のシステム。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態は、概ね集積回路の分野に関し、より詳しくは、節電を実現するトグル制御を有するサーマルセンサのためのシステム、方法、および、装置に関する。

【背景技術】**【0002】**

メモリは、いくつかの類似した(または同一の)、ダイナミック・ランダム・アクセス・メモリ(DRAM)デバイスなどの集積回路を含むモジュールに、しばしば実装される。DRAMの温度は、主にそのアクティビティレベル(例えば、メモリセルへの読み取り/書き込み速度)により測定される。メモリの温度が高すぎると、メモリに格納されたデータは、変質するかまたは失われることがある。さらに、メモリは、極端に温度が高いと損傷する可能性がある。そして、メモリデバイスの温度制約は、メモリデバイスインターフェースがサポートできる最大データアクセス率を制限する可能性がある。

【0003】

オンダイサーマルセンサは、DRAM温度データを収集するために用いることもできる。いくつかのシステムでは、DRAMそれぞれが、温度データを収集し、かつ、収集した温度データを例えばメモリコントローラに提供するオンダイサーマルセンサを含むこともある。予めプログラムされた温度閾値に到達したとき、オンダイサーマルセンサは、イベントを起動させてよい。

【0004】

従来のシステムでは、システムの電源がオンになると、オンダイサーマルセンサもオンになる。オンダイサーマルセンサは常にオンになっているので、絶えず電力を消費している。一定の電力消費は、バッテリー供給電力を減少させ(例えばモバイルアプリケーション

10

20

30

40

50

ンにおいて)、プラットフォームから離れて伝導される必要がある熱を生じ得る。

【発明を実施するための最良の形態】

【0005】

本発明の実施形態は、概ね、特定の条件の下でオンダイサーマルセンサを高電力消費レベルから低電力消費レベルに切り替えることにより、センサの電力消費を減少させるためのシステム、方法、および、装置を目的とする。いくつかの実施形態では、集積回路(例えばDRAM)は、オンダイサーマルセンサ、および、トグルロジックを含む。トグルロジックの目的は、2つまたはそれ以上の電力消費レベルの間でセンサを切り替えることである。いくつかの実施形態では、トグルロジックは、特定の条件の下でセンサを低消費電力レベルに移行させることにより、センサの消費電力を減少させることができる。

10

【0006】

図1は、本発明の実施形態に従い実施されるコンピュータシステムの選択された態様を示すハイレベルブロック図である。システム100は、プロセッサ110、メモリモジュール120、および、メモリコントローラ130を含む。プロセッサ110は、例えば、中央処理装置、埋込み型プロセッサ、分割プロセッサ、マルチコアプロセッサなど、任意の演算処理装置であってよい。

【0007】

メモリモジュール120は、メモリデバイス122-128を含む。説明を簡単にするために4つのメモリデバイスが示されている。本発明の実施形態は、メモリデバイスをより多く、または、より少なく含み得ると理解されたい。メモリデバイス122-128は、例えばDRAMを含む多種多様なメモリデバイスのいずれであってよい。

20

【0008】

いくつかの実施形態では、各メモリデバイス122-128は、対応するオンダイサーマルセンサ140-148を含む。用語「オンダイ」は、対応する集積回路と同じダイ(例えばDRAMと同じダイ)の上にサーマルセンサが配置していることを指す。オンダイサーマルセンサは、例えばサーマルダイオードを含む多種多様なオンダイサーマルセンサのいずれであってよい。オンダイサーマルセンサ140-148は、メモリデバイス122-128の温度データを検知する。用語「温度データ」とは、デバイス温度の表示を提供するデジタル情報を広く指す。用語「温度データ」は、1つまたはそれ以上の温度閾値が越えられたかどうかを示すデジタル情報を含んでもよい。

30

【0009】

図示の実施形態では、各メモリデバイス122-128は、対応するトグルロジック160-166、および、記憶素子170-176も含む。トグルロジック160-166は、対応するサーマルセンサを2つまたはそれ以上の電力消費レベルの間で移行させるロジックを含む。用語が示唆するように、「電力消費レベル」とは、サーマルセンサがどれくらい電力を消費するかを指す。いくつかの実施形態では、異なる電力消費レベルは、サーマルセンサの異なる状態に対応する。例えば、検知モードでのサーマルセンサの電力消費レベルは、電源オフモードでのサーマルセンサの電力消費レベルより大きい。サーマルセンサは、電力消費レベルをほとんど際限なくいくつも有していてもよいし、電力消費レベルの細度は、微細でも、粗くても、あるいは、その間くらいでもよい。

40

【0010】

トグルロジック160-166は、複数の電力消費レベルの間でサーマルセンサを移行させるのに適するたいの種類のロジックを用いて実施することができる。例えば、トグルロジック160-166は、ステートマシンを用いて実施されてよい。トグルロジック160-166の一例は、図3-5を参照して以下でさらに説明する。

【0011】

図1に示すように、各メモリデバイス122-128は、対応する記憶素子170-176を含んでよい。記憶素子170-176は、対応するサーマルセンサ140-148の温度データを格納してよい。いくつかの実施形態では、例えば、サーマルセンサ140-148は、温度データを検知した後、その温度データを記憶素子170-176に伝達

50

してよい。

【0012】

いくつかの実施形態では、記憶素子170 - 176は、サーマルセンサの機能および/またはそれに関連するトグルロジックを制御する情報も格納してよい。例えば、記憶素子170 - 176は、オンダイサーマルセンサが使用可能かまたは使用不可かを示す1つまたはそれ以上のビットを格納してよい。以下にさらに述べるように、記憶素子170 - 176は、サーマルセンサが1つまたはそれ以上のトグル表示をスキップするかどうかを特定するビットを格納してよい。記憶素子170 - 176は、例えばレジスタセットを含む、多数のビットを格納するのに適したいかなる記憶素子であってもよい。いくつかの実施形態では、記憶素子170 - 176は、モードレジスタセット(MRS)である。記憶素子170 - 176は、図2および5を参照して以下でさらに説明する。

10

【0013】

別の実施形態では、メモリデバイス122 - 128の1つの選択されたサブセットだけが、オンダイサーマルセンサ140 - 148、および/または、トグルロジック160 - 166を含む。例えば、いくつかの実施形態では、すべてのN番目(例えば、2、3、4番目など)のメモリデバイスがオンダイサーマルセンサおよび関連するトグルロジックを有してよい。あるいは、メモリモジュール120の各側の少なくとも1つのメモリデバイスが、オンダイサーマルセンサおよび関連するトグルロジックを含んでよい。さらに別の実施形態では、メモリモジュール120上の少なくとも1つのメモリデバイスが、オンダイサーマルセンサおよび関連するトグルロジックを含んでよい。

20

【0014】

メモリコントローラ130は、プロセッサ110とメモリモジュール120との間のインターフェースを提供する。いくつかの実施形態では、メモリコントローラ130は、サーマルスロットル132およびセンサ処理ロジック134を含む。センサ処理ロジック134は、記憶素子170 - 176から温度データを収集し、かつ、収集したデータを処理する。温度データの収集は、(例えば適切な信号をアサートすることにより)データのコマンドを発行すること、および/または、メモリデバイス122 - 128から出されたデータを受信することを含む。温度データの処理は、例えば、最高温度を決定すること、最低温度を決定すること、平均(および/または、ローリング平均)温度を決定すること、収集された温度データと様々なトリップ点とを比較することなどを含んでよい。いくつかの実施形態では、サーマルスロットル132は、モジュール120および/またはメモリデバイス122 - 128の温度制御機構を提供する。例えば、サーマルスロットル132は、メモリデバイス122 - 128への読み取りおよび書き込み速度を制限してよい。

30

【0015】

メモリ相互接続150は、メモリモジュール120とメモリコントローラ130とを結合させる。いくつかの実施形態では、メモリ相互接続150は、マルチドロップバスである。別の実施形態では、メモリ相互接続150は、直列相互接続である。

【0016】

図2は、本発明の実施形態に従い実施される集積回路(例えばメモリデバイス)の選択された態様を示すブロック図である。集積回路200は、サーマルセンサ210、トグルロジック220、記憶素子230、および、コアロジック240を含む。いくつかの実施形態では、集積回路200は、DRAMなどのメモリデバイスである。別の実施形態では、集積回路200は、オンダイサーマルセンサ210を有するたいていの集積回路であってよい。

40

【0017】

オンダイサーマルセンサ210は、集積回路200の温度を示す温度データを検知する。センサ210は、サーマルデータを記憶素子230に伝達してよい。いくつかの実施形態では、トグルロジック220は、2つまたはそれ以上の電力消費レベルの間でサーマルセンサ210を移行させる。2つまたはそれ以上の電力消費レベルは、センサ210の様々な状態に対応してよい。例えば、電源オンモード、検知モード、および、電源オフモー

50

ドのそれぞれは、異なる電力消費レベルに対応する。いくつかの実施形態では、トグルロジック 220 は、ある状態から別の状態へ移行することにより、ある電力消費レベルから他の電力消費レベルへとセンサ 210 を移行させる。

【0018】

コアロジック 240 は、集積回路 200 のコアロジックである。集積回路 200 がメモリデバイスである一実施形態では、コアロジック 240 は、メモリアレイであってよい。別の実施形態では、コアロジック 240 は、例えば処理ロジックを含む他のいかなる種類のコアロジックであってよい。

【0019】

図 3 は、本発明の一実施形態に従うトグル制御を用いた節電の態様を示すタイミングチャートである。タイミングチャート 300 のライン 302 は、サーマルセンサの切り替えを示す。センサの検知動作は、ライン 304 に示されている。ライン 306 は、周期的に切り替わるトグルロジックを示す。

10

【0020】

いくつかの実施形態では、トグルロジックは、トグル表示にตอบสนองして切り替えを行う。トグル表示は、コントローラ（例えば図 1 に示すメモリコントローラ 130）により提供されるたいていのコマンド（例えばアサート信号）であってよい。いくつかの実施形態では、トグル表示は、相互接続較正コマンドである。「相互接続較正コマンド」とは、相互接続（例えば、図 1 に示すメモリ相互接続 150）を較正するコマンドを指す。既存のコマンドを使用するということは、新たなコマンドを追加する必要がないということを含む相互接続較正コマンドにトグルロジックをラッチする利点は数多くある。さらに、メモリ相互接続は、較正の間（比較的）安静であり、温度検知を妨げる可能性のある信号送信は、ごくわずかである。

20

【0021】

いくつかの実施形態では、相互接続較正コマンドは、ZQ 較正 (ZQ cal) コマンドである。ZQ cal 較正コマンドは、例えば、ダブルデータ読み取り (DDR) 3 メモリシステムにおいて DQ を周期的に較正するために用いられる較正コマンドを指す。ZQ cal ショート (ZQCS) コマンドおよび ZQ cal ロング (ZQCL) コマンドを含む数多くの異なる ZQ cal コマンドがあり得る。ZQCS コマンドは、64 クロックサイクルの長さであってよく、ZQCL は、512 クロックサイクルの長さであってよい。ライン 308 は、トグル表示として用いられる周期 ZQ cal コマンドを示す。別な実施形態では、トグル表示は、異なるコマンドにラッチされる。例えば、別な実施形態では、トグル表示は、メモリ読み込み、メモリ書き込み、あるいは、集積回路で使用される他のたいていのコマンドおよび / または信号であってよい。

30

【0022】

いくつかの実施形態では、トグルロジックは、1 つまたはそれ以上のトグル表示をスキップしてよい。用語トグル表示を「スキップする」は、集積回路の温度を検知せずに 1 つまたはそれ以上のトグル表示をスキップすることを指す。例えば、タイミングチャート 300 において、すべての第 2 のトグル表示がスキップされる。つまり、すべての第 2 のトグル表示（例えば 312、314）の間、センサは、検知せずに、(316、318) 電源をオフ (320、322) にする。別な実施形態では、ほとんどあらゆる番号のトグル表示がスキップされる（例えば、0、1、2...n）。いくつかの実施形態では、スキップされるトグル表示の番号は、プログラムで設定されてよい。例えば、ユーザは、いくつかのトグル表示がスキップされるかを示す値をレジスタ（例えば MRS）に設定してよい。トグルロジックは、値にアクセスし、適切な番号のトグル表示をスキップしてよい。

40

【0023】

図 4 は、本発明の実施形態に従うトグルロジックの選択された態様を示す状態図である。ブロック 410 を参照すると、コントローラ（例えばメモリコントローラ）は、温度データを検索すべく、周期的に記憶素子（例えば 170 - 176）を読み取ることができる。記憶素子に格納された温度データは、検知間隔と同程度新しくなるだけである。いくつ

50

かの実施形態では、検知間隔は、デバイスの熱散逸率に少なくとも一部基づく。つまり、熱的に良好に動作する（例えば効果的に冷却される）システムは、良好に熱的に動作するシステムより検知間隔が長くてよい。

【0024】

図示の実施形態では、状態図である400は、2つの状態（420および430）を有する。トグルロジックは、ZQ cal コマンドのようなトグル表示に 응답して状態420に移行する。いくつかの実施形態では、トグルロジックの第1の状態は、サーマルセンサの電源オンに対応する。次のトグル表示に 응답し、トグルロジックは、状態430に移行する。状態430は、センサを検知モードに進め、温度データを検知し、温度データを記憶素子に伝達し、検知間隔の後にサーマルセンサの電源を自動的にオフすることに対応する。図示の実施形態では、センサパワーアップモードは、センサモードとは区別される。これらのモードを区別する理由は、パワーアップモードと検知モードとの間に一定量の較正時間を必要とするセンサもあるからである。状態図である400は、センサモードとは異なる状態のパワーアップモードを含むので、トグル表示の間の時間間隔においてセンサはそれ自身を較正できる。

10

【0025】

いくつかの実施形態では、ブロック440は、メモリ相互接続較正安静時間において、トグルロジックがある状態から他の状態へ移行することを示す。例えば、いくつかの実施形態では、トグルロジックは、ZQ cal コマンドに 응답して状態を移行させる。別の実施形態では、トグルロジックは、異なるトグル表示（例えばメモリ読み込み、メモリ書き込み、など）に 응답して移行させてよい。

20

【0026】

図5は、本発明の一実施形態に従う記憶素子（例えばMRSにおけるモードレジスタ）の選択された態様を示す表である。記憶素子500は、なかでも、センサおよび/または該センサに関連するトグルロジックの設定を格納する。例えば、行502および504を参照すると、記憶素子500は、オンダイサーマルセンサを使用可能かまたは使用不可にできる値を格納する。行506および508は、スキップされる多数のトグル表示を決定する値を格納する。例えば、行506は、すべての第2のトグル表示をスキップするための設定を示す。同様に、行508は、各検知イベント間で2つのトグル表示をスキップするための設定を示す。別の実施形態では、トグルロジック500は、さらに多くの設定、より少ない設定、および、異なる設定を有してよい。

30

【0027】

図6は、本発明の一実施形態に従う、トグル制御を用いた節電方法の選択された態様を示すフローチャートである。プロセスブロック602を参照すると、サーマルセンサの電力消費レベルを制御するトグルロジックは、トグル表示を受信する。いくつかの実施形態では、トグル表示は、ZQ cal コマンドのような相互接続較正コマンドである。別の実施形態では、異なるトグル表示が用いられてよい。

【0028】

プロセスブロック604を参照すると、トグルロジックは、トグル表示の受信に少なくとも一部応答し、オンダイサーマルセンサ（ODTS）を第1の電力消費レベルに移行させる。いくつかの実施形態では、第1の電力消費レベルは、電源オンモードに対応する。別の実施形態では、第1の電力消費レベルは、電源オンモードと検知モードとの組み合わせに対応する。さらに別な実施形態では、第1の電力消費レベルは、サーマルセンサのモードおよび/または状態のたいていのものに対応してよい。

40

【0029】

プロセスブロック606を参照すると、サーマルセンサは、温度データを検知する。検知された温度データは、608で記憶素子（例えば、図2に示す記憶素子230）に伝達される。いくつかの実施形態では、トグルロジック以外のロジックが、温度データを記憶素子に伝達する。別の実施形態では、トグルロジックが温度データを記憶素子に伝達する。

50

【 0 0 3 0 】

プロセスブロック 6 1 0 を参照すると、トグルロジックは、次のトグル表示に少なくとも一部応答し、ODTS を第 2 の電力消費レベルに移行させる。次のトグル表示は、必ずしも第 1 のトグル表示のすぐ後ろに続くトグル表示でなくてもよい。つまり、いくつかの実施形態では、トグルロジックは、異なる電力消費レベルに移行する前に多数の段階を有してよい。これらの段階は、例えば、デバイスの温度を検知せずに 1 つまたはそれ以上のトグル表示をスキップすることに対応してもよい。

【 0 0 3 1 】

第 2 の電力消費レベルは、多種多様なサーマルセンサモードおよび / または状態のいずれかに対応してよい。いくつかの実施形態では、第 2 の電力消費レベルは、第 1 の電力消費レベルより低い。例えば、第 1 の電力消費レベルは、電源オンモードに対応してよく、第 2 の電力消費レベルは、電源オフモードに対応してよい。いくつかの実施形態では、ODTS は、第 2 の電力消費レベルを達成すべく、自動的に電源オフする。

【 0 0 3 2 】

図 7 は、本発明の実施形態に従う電子システムの選択された態様を示すブロック図である。電子システム 7 0 0 は、プロセッサ 7 1 0、メモリコントローラ 7 2 0、メモリ 7 3 0、入出力 (I / O) コントローラ 7 4 0、無線周波 (R F) 回路 7 5 0、および、アンテナ 7 6 0 を含む。動作中、システム 7 0 0 は、アンテナ 7 6 0 を用いて信号を送受信し、それらの信号は、図 7 に示す様々な構成要素により処理される。アンテナ 7 6 0 は、指向性アンテナまたは全方向性アンテナであってよい。ここで使用している用語「全方向性アンテナ」とは、少なくとも 1 つの平面において実質的に均一のパターンを有するあらゆるアンテナを指す。例えば、いくつかの実施形態では、アンテナ 7 6 0 は、ダイポールアンテナ、または、四分の一波長アンテナなどの全方向性アンテナであってよい。同じく、例えば、いくつかの実施形態では、アンテナ 7 6 0 は、パラボラディッシュアンテナ、パッチアンテナ、または、八木アンテナなどの指向性アンテナであってよい。いくつかの実施形態では、アンテナ 7 6 0 は、多数の物理的アンテナを含んでよい。

【 0 0 3 3 】

無線周波数回路 7 5 0 は、アンテナ 7 6 0 および I / O コントローラ 7 4 0 と通信する。いくつかの実施形態では、RF 回路 7 5 0 は、通信プロトコルに対応する物理インターフェース (P H Y) を含む。例えば、RF 回路 7 5 0 は、モジュレータ、デモジュレータ、ミキサ、周波数シンセサイザ、ローノイズアンプ、パワーアンプ、などを含んでよい。いくつかの実施形態では、RF 回路 7 5 0 は、ヘテロダイン受信機を含んでよく、他の実施形態では、RF 回路 7 5 0 は、直接変換レシーバを含んでよい。例えば、多数のアンテナ 7 6 0 を有する実施形態では、各アンテナは、対応するレシーバに結合されてよい。動作中、RF 回路 7 5 0 は、アンテナ 7 6 0 から通信信号を受信し、アナログまたはデジタル信号を I / O コントローラ 7 4 0 に提供する。さらに、I / O コントローラ 7 4 0 は、信号を RF 回路 7 5 0 に提供する。RF 回路 7 5 0 は、信号に働きかけ、それら信号をアンテナ 7 6 0 に伝送する。

【 0 0 3 4 】

プロセッサ 7 1 0 は、いかなるタイプの処理デバイスであってもよい。例えば、プロセッサ 7 1 0 は、マイクロプロセッサ、または、マイクロコントローラなどであってよい。さらに、プロセッサ 7 1 0 は、いかなる数の処理コアを含んでよく、いかなる数の個別のプロセッサを含んでよい。

【 0 0 3 5 】

メモリコントローラ 7 2 0 は、図 7 に示すプロセッサ 7 1 0 と他の構成要素との間の通信経路を提供する。いくつかの実施形態では、メモリコントローラ 7 2 0 は、他の機能も提供するハブ装置の一部である。図 7 に示すように、メモリコントローラ 7 2 0 は、プロセッサ 7 1 0、I / O コントローラ 7 4 0、および、メモリ 7 3 0 に結合される。

【 0 0 3 6 】

メモリ 7 3 0 は、多数のメモリデバイスを含んでよい。これらのメモリデバイスは、あ

10

20

30

40

50

らゆるタイプの記憶装置技術に基づいてよい。例えば、メモリ730は、ランダムアクセスメモリ(RAM)、ダイナミックRAM(DRAM)、スタティックRAM(SRAM)、フラッシュメモリなどの不揮発性メモリ、または、他のいかなるタイプのメモリであってよい。

【0037】

メモリ730は、1つまたはそれ以上のモジュールにおける単一のメモリデバイスまたは多数のメモリデバイスを表わしてよい。いくつかの実施形態では、メモリデバイスの少なくとも1つは、オンダイサーマルセンサおよびそれに関連するトグルロジックを含む。トグルロジックは、2つまたはそれ以上の電力消費レベル間でセンサを切り替えてよい。トグルロジックは、特定の条件の下でセンサを低電力消費レベルに移行させることにより、センサの消費電力を減少させることができる。

10

【0038】

メモリコントローラ720は、相互接続722を介し、メモリ730にデータを提供し、かつ、読み取り要求に応じてメモリ730からデータを受信する。コマンドおよび/またはアドレスは、相互接続722または異なる相互接続(図示せず)を介し、メモリ730に提供されてよい。メモリコントローラ730は、プロセッサ710または他のソースからメモリ730内に格納されるべきデータを受信してよい。メモリコントローラ720は、メモリ730から受信したデータをプロセッサ710または他の宛先に提供してよい。相互接続722は、双方向相互接続、または、一方向相互接続であってよい。相互接続722は、多数の並列導体を含んでよい。信号は、差動またはシングルエンド信号であってよい。いくつかの実施形態では、相互接続722は、転送されるマルチフェーズクロックスキームを用いて動作してよい。

20

【0039】

メモリコントローラ720は、また、I/Oコントローラ740に結合され、プロセッサ710とI/Oコントローラ740との間の通信経路を提供する。I/Oコントローラ740は、シリアルポート、パラレルポート、ユニバーサル・シリアル・バス(USB)ポートなどのI/O回路と通信するための回路構成を含む。図7に示すように、I/Oコントローラ740は、RF回路750への通信経路を提供する。

【0040】

図8は、本発明の他の実施形態に従う電子システムの選択された態様を示すブロック図である。電子システム800は、メモリ730、I/Oコントローラ740、RF回路750、および、アンテナ760を含み、それらのすべては図7を参照して前述されている。電子システム800は、プロセッサ810およびメモリコントローラ820も含む。図8に示すように、メモリコントローラ820は、プロセッサ810と同じダイ上にあってよい。プロセッサ810は、プロセッサ710を参照して前述したようないかなるタイプのプロセッサであってもよい。図7および8により示される例示システムは、デスクトップコンピュータ、ラップトップコンピュータ、サーバ、携帯電話、パーソナル携帯情報機器(PDA)、デジタルホームシステムなどを含む。

30

【0041】

本発明の実施形態の構成要素は、機械により実行可能な命令を格納する機械可読媒体として提供されることもできる。機械可読媒体は、これらに限定されないが、フラッシュメモリ、光ディスク、コンパクトディスク・リードオンリーメモリ(CD-ROM)、デジタル多用途/ビデオディスク(DVD)ROM、ランダムアクセスメモリ(RAM)、消去可能PROM(EPROM)、電氣的消去可能PROM(EEPROM)、磁気または光カード、伝播媒体、または、電子命令を格納するのに適した他のタイプの機械可読媒体を含んでよい。例えば、本発明の実施形態は、通信リンク(例えばモデムまたは他のネットワーク接続)を介し、搬送波に含まれるデータ信号、または、他の伝播媒体によりリモートコンピュータ(例えばサーバ)から要求コンピュータ(例えばクライアント)へと転送されることができコンピュータプログラムとしてダウンロードされてもよい。

40

【0042】

50

本発明の実施形態の構成要素は、機械により実行可能な命令を格納するための機械可読媒体として提供されてもよい。機械可読媒体は、これらに限定されないが、フラッシュメモリ、光ディスク、コンパクトディスク・リードオンリーメモリ（CD-ROM）、デジタル多用途/ビデオディスク（DVD）ROM、ランダムアクセスメモリ（RAM）、消去可能PROM（EPROM）、電氣的消去可能PROM（EEPROM）、磁気または光カード、伝播媒体、または、電子命令を格納するのに適した他のタイプの機械可読媒体を含んでよい。例えば、本発明の実施形態は、通信リンク（例えばモデムまたは他のネットワーク接続）を介し、搬送波に含まれるデータ信号、または、他の伝播媒体によりリモートコンピュータ（例えばサーバ）から要求コンピュータ（例えばクライアント）へと転送されることができコンピュータプログラムとしてダウンロードされてもよい。

10

【0043】

本願明細書全体を通じての「一実施形態（one embodiment またはan embodiment）への言及は、実施形態に関連して記載される特定の特徵、構造、または、特性が本発明の少なくとも1つの実施形態に含まれることを意味すると理解されたい。したがって、本願明細書中における一実施形態または他の実施形態に対する2つまたはそれ以上の言及が必ずしもすべて同じ実施形態を言及しているわけではない。さらに、特定の特徵、構造、または、特性は、本発明の1つまたはそれ以上の実施形態に適切なように組み合わせられてよい。

【0044】

同様に、前述の本発明の実施形態の説明において、さまざまな発明の態様の1つまたはそれ以上を理解するのに役立つ開示を合理化する目的で、単一の実施形態、図またはその説明においてさまざまな特徴がしばしば一緒にされていることを理解されたい。この開示方法は、しかしながら、請求された内容が各々の請求項において明確に記載されることより多くの特徴を要求するという意図を反映していると解釈されるべきでない。むしろ、添付の請求項が反映するように、発明の態様が、単一の前述した開示例の全てに存在するわけではない。このように、詳細な説明に続く請求項は、この詳細な説明に明確に組み込まれる。

20

【図面の簡単な説明】

【0045】

本発明の実施形態を示すが、これに限定されない。添付の図面において類似する参照符号は、類似の構成要素を示す。

30

【図1】本発明の一実施形態に従い実施される、コンピュータシステムの選択された態様を示すハイレベルブロック図である。

【図2】本発明の一実施形態に従い実施される集積回路の選択された態様を示すブロック図である。

【図3】本発明の一実施形態に従う、トグル制御を用いた節電の選択された態様を示すタイミングチャートである。

【図4】本発明の一実施形態に従うトグルロジックの選択された態様を示す状態図である。

【図5】本発明の一実施形態に従う記憶素子の選択された態様（例えばモードレジスタセットの態様）を示す表である。

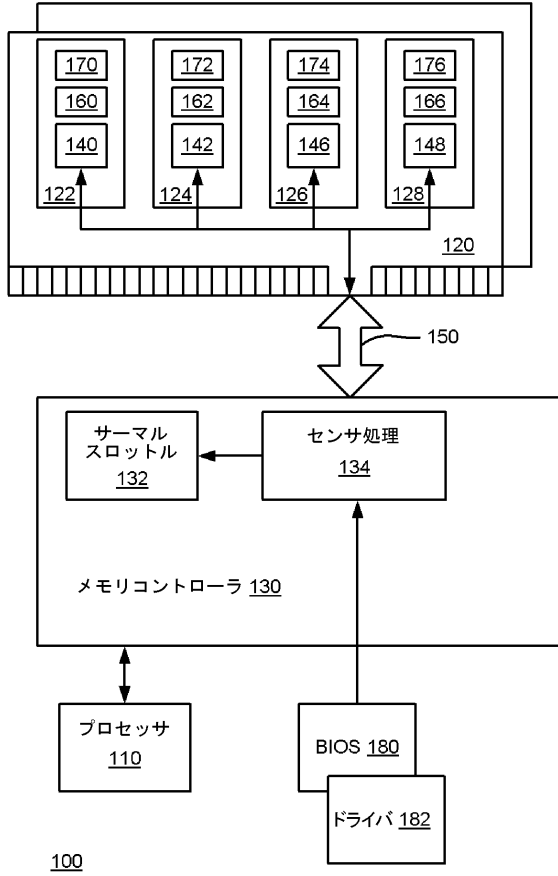
40

【図6】本発明の一実施形態に従う、トグル制御を用いた節電方法の選択された態様を示すフローチャートである。

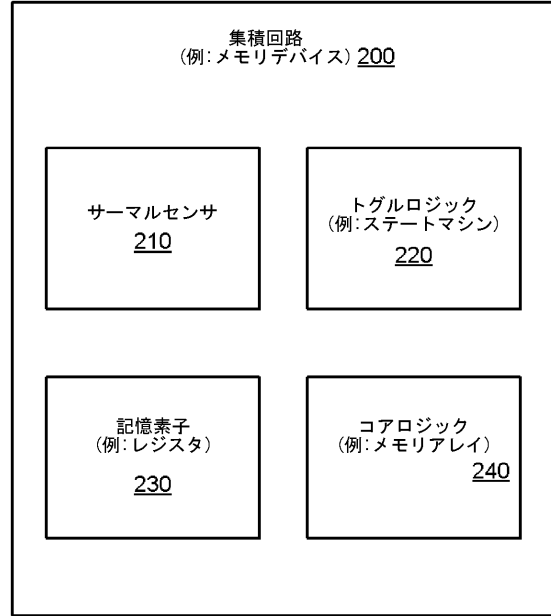
【図7】本発明の一実施形態に従う電子システムの選択された態様を示すブロック図である。

【図8】本発明の別の実施形態に従う電子システムの選択された態様を示すブロック図である。

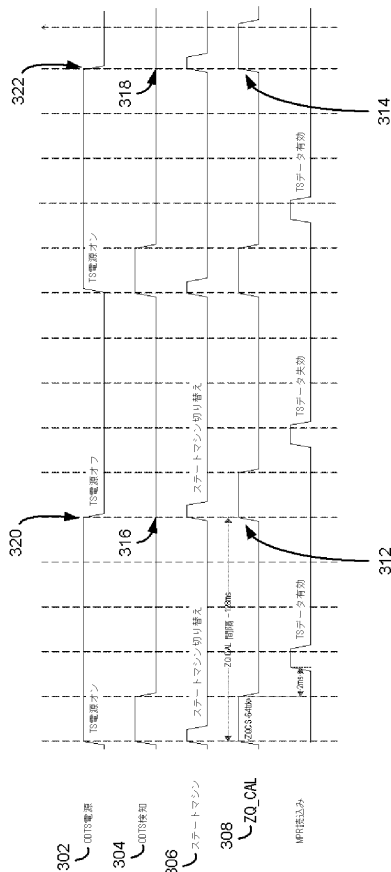
【 図 1 】



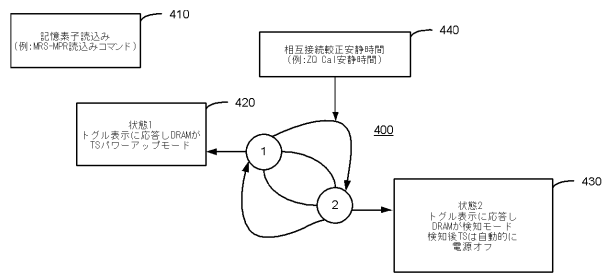
【 図 2 】



【 図 3 】



【 図 4 】

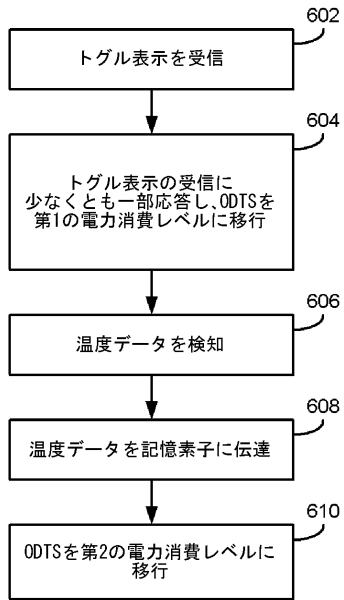


【 図 5 】

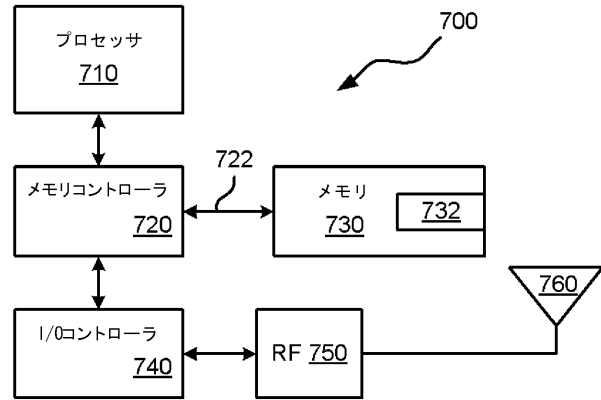
500

| | A13 | A12 | ODTS |
|-------|-----|-----|------------|
| 502 → | 0 | 0 | ODTS使用不可 |
| 504 → | 0 | 1 | ODTS使用可 |
| 506 → | 1 | 0 | ODTSスキップ1可 |
| 508 → | 1 | 1 | ODTSスキップ2可 |

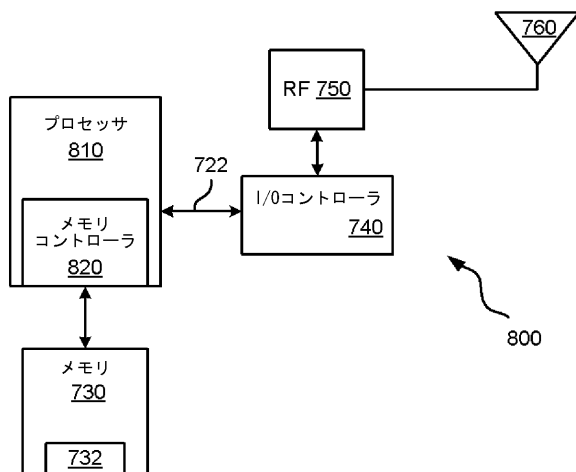
【 図 6 】



【 図 7 】



【 図 8 】



【 外国語明細書 】

THERMAL SENSOR HAVING TOGGLE CONTROL

TECHNICAL FIELD

[0001] Embodiments of the invention generally relate to the field of integrated circuits and, more particularly, to systems, methods and apparatuses for a thermal sensor having toggle control to provide power savings.

BACKGROUND

[0002] Memory is frequently packaged on modules that contain several similar (or identical) integrated circuits such as dynamic random access memory (DRAM) devices. The temperature of a DRAM is largely determined by its activity level (e.g., the rate of reads and writes into the memory cells). If the temperature of the memory is too high, then the data stored in the memory may be corrupted or lost. In addition, the memory may be damaged by excessively high temperatures. Also, the thermal constraints of memory devices may limit the maximum data access rates that memory device interfaces can support.

[0003] On-die thermal sensors may be used to collect DRAM thermal data. In some systems, each DRAM may include an on-die thermal sensor to collect thermal data and to provide the collected thermal data to, for example, a memory controller. The on-die thermal sensors may be capable of triggering an event when a preprogrammed thermal threshold is reached.

[0004] In conventional systems, the on-die thermal sensors are powered on whenever the system is powered on. Since the on-die thermal sensors are always on, they are constantly consuming power. The constant consumption of power may deplete battery supplied power (e.g., in mobile applications) and may generate heat that needs to be conducted away from the platform.

BRIEF DESCRIPTION OF THE DRAWINGS

[0005] Embodiments of the invention are illustrated by way of example, and not by way of limitation, in the figures of the accompanying drawings in which like reference numerals refer to similar elements.

Figure 1 is a high-level block diagram illustrating selected aspects of a computing system, implemented according to an embodiment of the invention.

Figure 2 is a block diagram illustrating selected aspects of an integrated circuit implemented according to an embodiment of the invention.

Figure 3 is a timing diagram illustrating selected aspects of saving power using toggle control according to an embodiment of the invention.

Figure 4 is a state diagram illustrating selected aspects of toggle logic according to an embodiment of an invention.

Figure 5 is a table illustrating selected aspects of a storage element (e.g., aspects of a mode register set) according to an embodiment of the invention.

Figure 6 is a flow diagram illustrating selected aspects of a method for saving power using toggle control, according to an embodiment of the invention.

Figure 7 is a block diagram illustrating selected aspects of an electronic system according to an embodiment of the invention.

Figure 8 is a block diagram illustrating selected aspects of an electronic system according to an alternative embodiment of the invention.

DETAILED DESCRIPTION

[0006] Embodiments of the invention are generally directed to systems, methods, and apparatuses for reducing the power consumption of an on-die thermal sensor by toggling the sensor from a higher power consumption level to a lower power consumption level under certain conditions. In some embodiments, an integrated circuit (e.g., a DRAM) includes an on-die thermal sensor and toggle logic. The purpose of the toggle logic is to toggle the sensor among two or more power consumption levels. In some embodiments, the toggle logic can reduce the power consumption of the sensor by transitioning the sensor to a lower power consumption level under certain conditions.

[0007] FIG. 1 is a high-level block diagram illustrating selected aspects of a computing system implemented according to an embodiment of the invention. System 100 includes processor 110, memory module 120, and memory controller 130. Processor(s) 110 may be any processing element including, for example, a central processing unit, an embedded processor, a partitioned processor, a muticore processor, and the like.

[0008] Memory module 120 includes memory devices 122-128. For ease of illustration, four memory devices are shown. It is to be appreciated that embodiments of the invention may include more memory devices or fewer memory devices. Memory devices 122-128 may be any of a wide variety of memory devices including, for example, DRAMs.

[0009] In some embodiments, each memory device 122-128 includes a corresponding on-die thermal sensor 140-148. The term “on-die” refers to the disposition of a thermal

sensor onto the same die as a corresponding integrated circuit (e.g., the same die as a DRAM). An on-die thermal sensor may be any of a wide range of on-die thermal sensors including, for example, a thermal diode. On-die thermal sensors 140-148 sense thermal data of memory devices 122-128. The term “thermal data” broadly refers to digitized information that provides an indication of device temperature. The term “thermal data” may also include digitized information that indicates whether one or more temperature thresholds have been crossed.

[00010] In the illustrated embodiment, each memory device 122-128 also includes corresponding toggle logic 160-166 and storage element 170-176. Toggle logic 160-166 includes logic to transition the corresponding thermal sensor among two or more power consumption levels. As the term suggests, a “power consumption level” refers to how much power the thermal sensor consumes. In some embodiments, different power consumption levels correspond to different states of the thermal sensor. For example, the power consumption level of a thermal sensor in a sense mode is greater than the power consumption level of the thermal sensor in a powered down mode. It is to be appreciated that a thermal sensor may have almost any number of power consumption levels and the granularity of the power consumption levels may be fine, coarse, or anywhere in between.

[00011] Toggle logic 160-166 may be implemented using almost any kind of logic suitable for transitioning a thermal sensor between power consumption levels. For example, toggle logic 160-166 may be implemented using a state machine. An example of toggle logic 160-166 is further discussed below with reference to FIGs. 3-5.

[00012] As shown in FIG. 1, each memory device 122-128 may also include a corresponding storage element 170-176. Storage elements 170-176 may store thermal

data for corresponding thermal sensors 140-148. In some embodiments, for example, the thermal sensors 140-148 sense the thermal data and then pass the thermal data to storage elements 170-176.

[00013] In some embodiments, storage elements 170-176 may also store information to control a function of a thermal sensor and/or its associated toggle logic. For example, storage elements 170-176 may store one or more bits to indicate whether the on-die thermal sensor is enabled or disabled. As is further discussed below, storage elements 170-176 may store bits specifying whether a thermal sensor is to skip one or more toggle indications. Storage elements 170-176 may be any sort of storage element suitable for storing a number of bits including, for example, a register set. In some embodiments, storage elements 170-176 are mode register sets (MRSs). Storage elements 170-176 are further discussed below with reference to FIGs. 2 and 5.

[00014] In alternative embodiments, only a selected subset of memory devices 122-128 includes an on-die thermal sensor 140-148 and/or toggle logic 160-166. For example, in some embodiments, every Nth (e.g., second, third, fourth, etc.) memory device may have an on-die thermal sensor and associated toggle logic. Alternatively, at least one memory device on each side of memory module 120 may include an on-die thermal sensor and associated toggle logic. In yet other embodiments, at least one memory device on memory module 120 includes an on-die thermal sensor and associated toggle logic.

[00015] Memory controller 130 provides an interface between processor 110 and memory module 120. In some embodiments, memory controller 130 includes thermal throttles 132 and sensor processing logic 134. Sensor processing logic 134 may collect thermal data from storage elements 170-176 and process the collected data. Collecting the

thermal data may include issuing a command for the data (e.g., by asserting an appropriate signal) and/or receiving data that is pushed from memory devices 122-128. Processing the thermal data may include, for example, determining maximum temperatures, determining minimum temperatures, determining average (and/or rolling average) temperatures, comparing collected thermal data to various trip points, and the like. In some embodiments, thermal throttles 132 provide thermal control mechanisms for module 120 and/or memory devices 122-128. For example, thermal throttles 132 may limit the rate of reads and writes to memory devices 122-128.

[00016] Memory interconnect 150 couples memory module 120 with memory controller 130. In some embodiments, memory interconnect 150 is a multi-drop bus. In alternative embodiments, memory interconnect 150 is a serial interconnect.

[00017] FIG. 2 is a block diagram showing selected aspects of an integrated circuit (e.g., a memory device), implemented according to an embodiment of the invention. Integrated circuit 200 includes thermal sensor 210, toggle logic 220, storage element 230, and core logic 240. In some embodiments, integrated circuit 200 is a memory device such as a DRAM. In alternative embodiments, integrated circuit 200 may be almost any integrated circuit having an on-die thermal sensor 210.

[00018] On-die thermal sensor 210 senses thermal data indicative of the temperature of integrated circuit 200. Sensor 210 may pass the thermal data to storage element 230. In some embodiments, toggle logic 220 transitions thermal sensor 210 among two or more power consumption levels. The two or more power consumption levels may correspond to various states of sensor 210. For example, each of a power on mode, a sense mode, and a power off mode may correspond to a different power

consumption level. In some embodiments, toggle logic 220 transitions sensor 210 from one power consumption level to another by transitioning it from one state to another.

[00019] Core logic 240 is the core logic of integrated circuit 200. In an embodiment in which integrated circuit 200 is a memory device, core logic 240 may be a memory array. In alternative embodiments, core logic 240 may be any other kind of core logic including, for example, processing logic.

[00020] FIG. 3 is a timing diagram illustrating aspects of saving power using toggle control, according to an embodiment of the invention. Line 302 of timing diagram 300 illustrates a thermal sensor being toggled on and off. The sense operation of the sensor is shown in Line 304. Line 306 shows the toggle logic periodically toggling.

[00021] In some embodiments, the toggle logic toggles in response to a toggle indication. The toggle indication may be almost any command (e.g., asserted signal) provided by a controller (e.g., memory controller 130, shown in FIG. 1). In some embodiments, the toggle indication is an interconnect calibration command. An “interconnect calibration command” refers to a command to calibrate an interconnect (e.g., memory interconnect 150, shown in FIG. 1). There are a number of advantages to latching the toggle logic to an interconnect calibration command including the fact that using a preexisting command means that there is no need to add a new command. In addition, the memory interconnect is (relatively) quiet during the calibration event so there is very little signaling that might interfere with sensing the temperature.

[00022] In some embodiments, the interconnect calibration command is a ZQ calibration (ZQ cal) command. The ZQ cal command refers to a calibration command used to periodically calibrate the DQs in, for example, a double data read (DDR) 3 memory system. There may be a number of different ZQ cal commands including a ZQ

cal short (ZQCS) command and a ZQ cal long (ZQCL) command. The ZQCS command may be 64 clock cycles long and the ZQCL may be 512 clock cycles long. Line 308 illustrates a periodic ZQ cal command that may be used as a toggle indication. In alternative embodiments, the toggle indication may be latched to a different command. For example, in alternative embodiments, the toggle indication may be a memory read, a memory write, or nearly any other command and/or signal used by an integrated circuit.

[00023] In some embodiments, the toggle logic may skip one or more toggle indications. The term “skipping” a toggle indication refers to skipping one or more toggle indications without sensing the temperature of the integrated circuit. In timing diagram 300, for example, every second toggle indication is skipped. That is, during every second toggle indication (e.g., 312, 314), the sensor does not sense (316, 318) but instead powers off (320, 322). In alternative embodiments, almost any number of toggle indications may be skipped (e.g., 0, 1, 2, ..., n). In some embodiments, the number of toggle indications that are skipped may be programmatically set. For example, a user may set a value in a register (e.g., an MRS) that indicates how many toggle indications are skipped. The toggle logic may access the value and skip the appropriate number of toggle indications.

[00024] FIG. 4 is a state diagram illustrating selected aspects of toggle logic according to an embodiment of an invention. Referring to block 410, a controller (e.g., a memory controller) may periodically read a storage element (e.g., 170-176) to retrieve thermal data. It is to be appreciated that the thermal data stored in the storage element will only be as new as the sense interval. In some embodiments, the sense interval is based, at least in part, on the thermal dissipation of the device. That is, a thermally well behaved (e.g., effectively cooled) system may have a longer sense interval than a system that is well thermally behaved.

[00025] In the illustrated embodiment, state diagram 400 has two states (420 and 430). The toggle logic transitions to state 420 in response to a toggle indication such as a ZQ cal command. In some embodiments, the first state of the toggle logic corresponds to powering on the thermal sensor. In response to a subsequent toggle indication, the toggle logic transitions to state 430. State 430 corresponds to putting the sensor in sense mode, sensing the thermal data, passing the thermal data to a storage element, and automatically powering down the thermal sensor subsequent to the sense interval. In the illustrated embodiment, the sensor power up mode is separated from the sense mode. One reason for separating these modes is that some sensors need a certain amount of calibration time between power up mode and sense mode. State diagram 400 includes the power up mode in a different state from the sense mode so that the sensor can calibrate itself during the interval of time between toggle indications.

[00026] Block 440 illustrates that, in some embodiments, the toggle logic transitions from one state to another during a memory interconnect calibration quiet time. For example, in some embodiments, the toggle logic transitions states in response to a ZQ cal command. In alternative embodiments, the toggle logic may transition in response to a different toggle indication (e.g., a memory read, a memory write, etc.).

[00027] FIG. 5 is a table illustrating selected aspects of a storage element (e.g., a mode register in an MRS) according to an embodiment of the invention. Storage element 500 stores, *inter alia*, settings for a sensor and/or toggle logic associated with the sensor. Referring to rows 502 and 504, for example, storage element 500 stores a value that may enable or disable an on-die thermal sensor. Rows 506 and 508 store values that determine a number of toggle indications that are skipped. For example, row 506 indicates a setting for skipping every second toggle indication. Similarly, row 508 indicates a setting for

skipping two toggle indications between each sense event. In alternative embodiments, toggle logic 500 may have more settings, fewer settings, and or different settings.

[00028] FIG. 6 is a flow diagram illustrating selected aspects of a method for saving power using toggle control, according to an embodiment of the invention. Referring to process block 602, toggle logic that controls the power consumption level of a thermal sensor receives a toggle indication. In some embodiments, the toggle indication is an interconnect calibration command such as a ZQ cal command. In alternative embodiments, a different toggle indication may be used.

[00029] Referring to process block 604, the toggle logic transitions an on-die thermal sensor (ODTS) to a first power consumption level responsive, at least in part, to receiving the toggle indication. In some embodiments, the first power consumption level corresponds to a power on mode. In alternative embodiments, the first power consumption level corresponds to a combination of a power on mode and a sense mode. In yet other alternative embodiments, the first power consumption level may correspond to almost any mode and/or state of the thermal sensor.

[00030] Referring to process block 606, the thermal sensor senses the thermal data. The sensed thermal data is passed to a storage element (e.g., storage element 230, shown in FIG. 2) at 608. In some embodiments, logic other than the toggle logic passes the thermal data to the storage element. In alternative embodiments, the toggle logic passes the thermal data to the storage element.

[00031] Referring to process block 610, the toggle logic transitions the ODTS to a second power consumption level responsive, at least in part, to a subsequent toggle indication. The subsequent toggle indication is not necessarily the next successive toggle indication following the first toggle indication. That is, in some embodiments, the toggle

logic may have a number of stages before it transitions to a different power consumption level. These stages may correspond to, for example, skipping one or more toggle indications without sensing a device temperature.

[00032] The second power consumption level may correspond to any of a wide variety of thermal sensor modes and/or states. In some embodiments, the second power consumption level is lower than the first power consumption level. For example, the first power consumption level may correspond to a power on mode and the second power consumption level may correspond to a power down mode. In some embodiments, the ODS automatically powers down to achieve the second power consumption level.

[00033] FIG. 7 is a block diagram illustrating selected aspects of an electronic system according to an embodiment of the invention. Electronic system 700 includes processor 710, memory controller 720, memory 730, input/output (I/O) controller 740, radio frequency (RF) circuits 750, and antenna 760. In operation, system 700 sends and receives signals using antenna 760, and these signals are processed by the various elements shown in FIG. 7. Antenna 760 may be a directional antenna or an omni-directional antenna. As used herein, the term omni-directional antenna refers to any antenna having a substantially uniform pattern in at least one plane. For example, in some embodiments, antenna 760 may be an omni-directional antenna such as a dipole antenna or a quarter wave antenna. Also, for example, in some embodiments, antenna 760 may be a directional antenna such as a parabolic dish antenna, a patch antenna, or a Yagi antenna. In some embodiments, antenna 760 may include multiple physical antennas.

[00034] Radio frequency circuit 750 communicates with antenna 760 and I/O controller 740. In some embodiments, RF circuit 750 includes a physical interface (PHY) corresponding to a communication protocol. For example, RF circuit 750 may include

modulators, demodulators, mixers, frequency synthesizers, low noise amplifiers, power amplifiers, and the like. In some embodiments, RF circuit 750 may include a heterodyne receiver, and in other embodiments, RF circuit 750 may include a direct conversion receiver. For example, in embodiments with multiple antennas 760, each antenna may be coupled to a corresponding receiver. In operation, RF circuit 750 receives communications signals from antenna 760 and provides analog or digital signals to I/O controller 740. Further, I/O controller 740 may provide signals to RF circuit 750, which operates on the signals and then transmits them to antenna 760.

[00035] Processor(s) 710 may be any type of processing device. For example, processor 710 may be a microprocessor, a microcontroller, or the like. Further, processor 710 may include any number of processing cores or may include any number of separate processors.

[00036] Memory controller 720 provides a communication path between processor 710 and other elements shown in FIG. 7. In some embodiments, memory controller 720 is part of a hub device that provides other functions as well. As shown in FIG. 7, memory controller 720 is coupled to processor(s) 710, I/O controller 740, and memory 730.

[00037] Memory 730 may include multiple memory devices. These memory devices may be based on any type of memory technology. For example, memory 730 may be random access memory (RAM), dynamic random access memory (DRAM), static random access memory (SRAM), nonvolatile memory such as FLASH memory, or any other type of memory.

[00038] Memory 730 may represent a single memory device or a number of memory devices on one or more modules. In some embodiments, at least one of the memory devices includes an on-die thermal sensor and associated toggle logic. The toggle

logic may toggle the sensor among two or more power consumption levels. The toggle logic can reduce the power consumption of the sensor by transitioning the sensor to a lower power consumption level under certain conditions.

[00039] Memory controller 720 provides data through interconnect 722 to memory 730 and receives data from memory 730 in response to read requests. Commands and/or addresses may be provided to memory 730 through interconnect 722 or through a different interconnect (not shown). Memory controller 730 may receive data to be stored in memory 730 from processor 710 or from another source. Memory controller 720 may provide the data it receives from memory 730 to processor 710 or to another destination. Interconnect 722 may be a bi-directional interconnect or a unidirectional interconnect. Interconnect 722 may include a number of parallel conductors. The signals may be differential or single ended. In some embodiments, interconnect 722 operates using a forwarded, multiphase clock scheme.

[00040] Memory controller 720 is also coupled to I/O controller 740 and provides a communications path between processor(s) 710 and I/O controller 740. I/O controller 740 includes circuitry for communicating with I/O circuits such as serial ports, parallel ports, universal serial bus (USB) ports and the like. As shown in FIG. 7, I/O controller 740 provides a communication path to RF circuits 750.

[00041] FIG. 8 is a block diagram illustrating selected aspects of an electronic system according to an alternative embodiment of the invention. Electronic system 800 includes memory 730, I/O controller 740, RF circuits 750, and antenna 760, all of which are described above with reference to FIG. 7. Electronic system 800 also includes processor(s) 810 and memory controller 820. As shown in FIG. 8, memory controller 820 may be on the same die as processor(s) 810. Processor(s) 810 may be any type of

processor as described above with reference to processor 710. Example systems represented by FIGs. 7 and 8 include desktop computers, laptop computers, servers, cellular phones, personal digital assistants, digital home systems, and the like.

[00042] Elements of embodiments of the present invention may also be provided as a machine-readable medium for storing the machine-executable instructions. The machine-readable medium may include, but is not limited to, flash memory, optical disks, compact disks-read only memory (CD-ROM), digital versatile/video disks (DVD) ROM, random access memory (RAM), erasable programmable read-only memory (EPROM), electrically erasable programmable read-only memory (EEPROM), magnetic or optical cards, propagation media or other type of machine-readable media suitable for storing electronic instructions. For example, embodiments of the invention may be downloaded as a computer program which may be transferred from a remote computer (e.g., a server) to a requesting computer (e.g., a client) by way of data signals embodied in a carrier wave or other propagation medium via a communication link (e.g., a modem or network connection).

[00043] Elements of embodiments of the present invention may also be provided as a machine-readable medium for storing the machine-executable instructions. The machine-readable medium may include, but is not limited to, flash memory, optical disks, compact disks-read only memory (CD-ROM), digital versatile/video disks (DVD) ROM, random access memory (RAM), erasable programmable read-only memory (EPROM), electrically erasable programmable read-only memory (EEPROM), magnetic or optical cards, propagation media or other type of machine-readable media suitable for storing electronic instructions. For example, embodiments of the invention may be downloaded

as a computer program which may be transferred from a remote computer (e.g., a server) to a requesting computer (e.g., a client) by way of data signals embodied in a carrier wave or other propagation medium via a communication link (e.g., a modem or network connection).

[00044] It should be appreciated that reference throughout this specification to “one embodiment” or “an embodiment” means that a particular feature, structure or characteristic described in connection with the embodiment is included in at least one embodiment of the present invention. Therefore, it is emphasized and should be appreciated that two or more references to “an embodiment” or “one embodiment” or “an alternative embodiment” in various portions of this specification are not necessarily all referring to the same embodiment. Furthermore, the particular features, structures or characteristics may be combined as suitable in one or more embodiments of the invention.

[00045] Similarly, it should be appreciated that in the foregoing description of embodiments of the invention, various features are sometimes grouped together in a single embodiment, figure, or description thereof for the purpose of streamlining the disclosure aiding in the understanding of one or more of the various inventive aspects. This method of disclosure, however, is not to be interpreted as reflecting an intention that the claimed subject matter requires more features than are expressly recited in each claim. Rather, as the following claims reflect, inventive aspects lie in less than all features of a single foregoing disclosed embodiment. Thus, the claims following the detailed description are hereby expressly incorporated into this detailed description.

CLAIMS

What is claimed is:

1. An integrated circuit comprising:
 - a thermal sensor;
 - a storage element coupled with the thermal sensor, the storage element to store data associated with the thermal sensor; and
 - toggle logic capable of transitioning the thermal sensor from a first power consumption level to a second power consumption level responsive, at least in part, to a toggle indication.
2. The integrated circuit of claim 1, wherein the toggle logic includes a state machine having a first state corresponding to the first power consumption level and a second state corresponding to the second power consumption level.
3. The integrated circuit of claim 2, wherein the first state is associated with a thermal sensor power up mode.
4. The integrated circuit of claim 3, wherein the second state is associated with a thermal sensor sense mode.
5. The integrated circuit of claim 3, wherein the state machine includes N additional states to skip a corresponding N additional toggle indications.
6. The integrated circuit of claim 1, wherein the toggle indication is an interconnect calibration command.

7. The integrated circuit of claim 6, wherein the interconnect calibration command is a ZQ calibration command.
8. The integrated circuit of claim 1, wherein the integrated circuit includes a volatile memory device.
9. The integrated circuit of claim 8, wherein the volatile memory device is a dynamic random access memory device.
10. The integrated circuit of claim 9, wherein the storage element includes a register set.
11. The integrated circuit of claim 10, wherein the register set is a mode register set (MRS).
12. A method comprising:
 - receiving a toggle indication at toggle logic of an integrated circuit;
 - transitioning an on-die thermal sensor to a first power consumption level responsive, at least in part, to receiving the toggle indication;
 - sensing thermal data; and
 - transitioning the on-die thermal sensor to a second power consumption level.
13. The method of claim 12, wherein transitioning the on-die thermal sensor to the second power consumption level comprises:
 - automatically transitioning the on-die thermal sensor to the second power consumption level subsequent to sensing the thermal data.

14. The method of claim 12, further comprising:
receiving a subsequent toggle indication.
15. The method of claim 14, wherein transitioning the on-die thermal sensor to the second power consumption level comprises:
transitioning the on-die thermal sensor to the second power consumption level responsive, at least in part, to receiving the subsequent toggle indication.
16. The method of claim 14, further comprising:
skipping the subsequent toggle indication.
17. The method of claim 12, wherein the first power consumption level is greater than the second power consumption level.
18. A system comprising:
a dynamic random access memory (DRAM) device including
a thermal sensor;
a register coupled with the thermal sensor, the register to store data associated with the thermal sensor; and
toggle logic capable of transitioning the thermal sensor from a first power consumption level to a second power consumption level responsive, at least in part, to a toggle indication; and
a memory controller coupled with the memory device, the memory controller including thermal sensor processing logic to collect temperature information from the thermal sensor.

19. The system of claim 18, wherein the toggle indication includes an interconnect calibration command.

20. The system of claim 18, wherein the toggle logic includes a state machine having a first state corresponding to the first power consumption level and a second state corresponding to the second power consumption level.

ABSTRACT

Embodiments of the invention are generally directed to systems, methods, and apparatuses for thermal sensor power savings using a toggle control. In some embodiments, an integrated circuit (e.g., a memory device) includes an on-die thermal sensor, a storage element (e.g., a register), and toggle logic. The toggle logic may transition the thermal sensor from a first power consumption level to a second power consumption level responsive, at least in part, to a toggle indication.

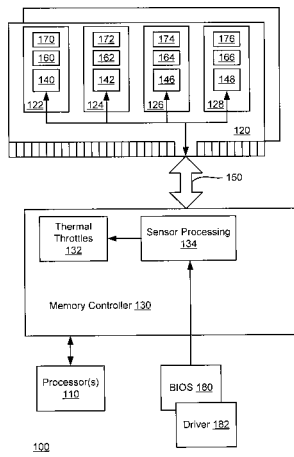


Fig. 1

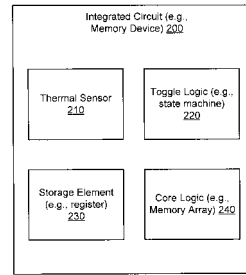


Fig. 2

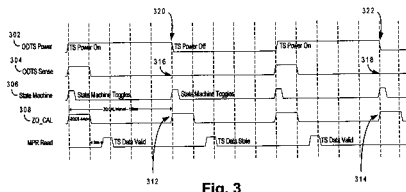


Fig. 3

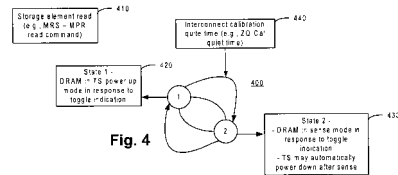


Fig. 4

| 500 | | |
|-----|-----|---------------------|
| A13 | A12 | ODTS |
| 0 | 0 | ODTS Disabled |
| 0 | 1 | ODTS Enabled |
| 1 | 0 | ODTS Enabled Skip 1 |
| 1 | 1 | ODTS Enabled Skip 2 |

Fig. 5

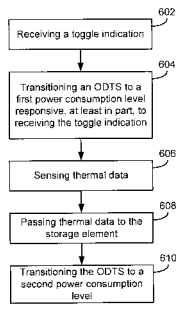


Fig. 6

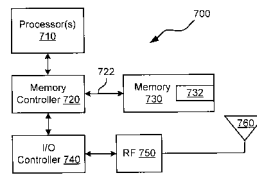


Fig. 7

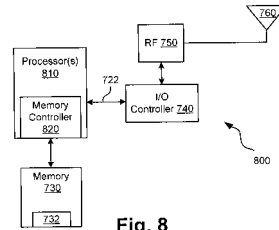


Fig. 8