



(12) 发明专利申请

(10) 申请公布号 CN 104465516 A

(43) 申请公布日 2015. 03. 25

(21) 申请号 201410741383. 8

H01L 27/02(2006. 01)

(22) 申请日 2014. 12. 05

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 刘晓娣 盖翠丽 孙力 王刚

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

代理人 许静 黄灿

(51) Int. Cl.

H01L 21/82(2006. 01)

H01L 21/28(2006. 01)

H01L 21/336(2006. 01)

H01L 29/423(2006. 01)

H01L 29/786(2006. 01)

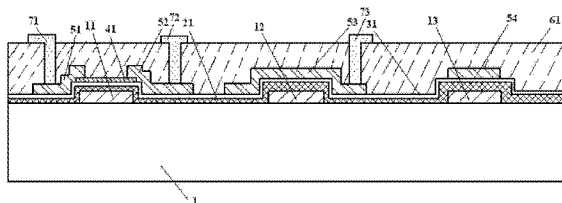
权利要求书2页 说明书7页 附图2页

(54) 发明名称

阵列基板的制造方法、阵列基板和显示装置

(57) 摘要

本发明提供了一种阵列基板的制造方法、阵列基板和显示装置。所述阵列基板的制造方法包括在基板上设置栅金属层的步骤和设置源漏金属层的步骤,栅金属层包括薄膜晶体管的栅极和存储电容的第一极板,源漏金属层包括薄膜晶体管的源极、薄膜晶体管的漏极和存储电容的第二极板;阵列基板的制造方法在设置栅金属层步骤和设置源漏金属层的步骤之间还包括:在该基板上设置至少一层非沟道接触界面栅绝缘层,图形化并全部或部分减薄至少一层该非沟道接触界面栅绝缘层的与该栅极和/或该第一极板对应的部分;在该基板上设置未图形化的沟道接触界面栅绝缘层,在该沟道接触界面栅绝缘层上设置薄膜晶体管的沟道层。本发明提高薄膜晶体管电学特性和存储电容,降低寄生电容。



1. 一种阵列基板的制造方法,包括在基板上设置栅金属层的步骤和设置源漏金属层的步骤,所述栅金属层包括薄膜晶体管的栅极和存储电容的第一极板,所述源漏金属层包括薄膜晶体管的源极、薄膜晶体管的漏极和存储电容的第二极板;其特征在于,所述阵列基板的制造方法在设置栅金属层步骤和设置源漏金属层的步骤之间还包括:

在该基板上设置至少一层非沟道接触界面栅绝缘层,图形化并全部或部分减薄至少一层该非沟道接触界面栅绝缘层的与该栅极和/或该第一极板对应的部分;

在该基板上设置未图形化的沟道接触界面栅绝缘层,在该沟道接触界面栅绝缘层上设置薄膜晶体管的沟道层。

2. 如权利要求 1 所述的阵列基板的制造方法,其特征在于,还包括:降低至少一层该非沟道接触界面栅绝缘层的介电常数,以减小寄生电容。

3. 如权利要求 1 所述的阵列基板的制造方法,其特征在于,所述在该基板上设置至少一层非沟道接触界面栅绝缘层包括:采用常压化学气相沉积法、低压化学气相沉积法、等离子体辅助化学气相沉积法或溅射法在该基板上制备至少一层非沟道接触界面栅绝缘层;

所述在该基板上设置未图形化的沟道接触界面栅绝缘层包括:在该基板上采用常压化学气相沉积法、低压化学气相沉积法、等离子体辅助化学气相沉积法或溅射法制备未图形化的沟道接触界面栅绝缘层。

4. 如权利要求 1 至 3 中任一权利要求所述的阵列基板的制造方法,其特征在于,所述非沟道接触界面栅绝缘层由硅氧化物、氮化硅、三氧化二铝、二氧化铪、二氧化锆、二氧化钛、三氧化二钽、三氧化二镧或五氧化二钽制成。

5. 如权利要求 1 所述的阵列基板的制造方法,其特征在于,所述在该沟道接触界面栅绝缘层上设置薄膜晶体管的沟道层包括:在该沟道接触界面栅绝缘层上采用溅射法、溶胶-凝胶法、真空蒸镀法、喷涂法或化学气相沉积法制备薄膜晶体管的沟道层,并图形化该沟道层。

6. 如权利要求 1 所述的阵列基板的制造方法,其特征在于,所述栅金属层还包括栅金属走线;所述源漏金属层还包括源漏金属走线;

该源漏金属走线包括有效显示区源漏金属走线和布线区源漏金属走线;

所述设置源漏金属层的步骤包括:采用溅射法淀积源漏金属层;

该源漏金属层由钼、铝钼合金、钼铝合金、钨钼合金、钼铌铜合金、钛铜合金和金钛合金中的一种或几种制成。

7. 如权利要求 1 所述的阵列基板的制造方法,其特征在于,在设置源漏金属层的步骤之后还包括:

钝化层设置步骤:在该基板上沉积钝化层,并图形化该钝化层;

接触孔设置步骤:在该钝化层上与该薄膜晶体管的源极对应处、与该薄膜晶体管的漏极对应处和与该存储电容的第二极板对应处分别刻蚀接触孔;

透明金属电极设置步骤:采用溅射法在该接触孔处淀积透明金属电极作为电引出层,并图形化该电引出层。

8. 如权利要求 7 所述的阵列基板的制造方法,其特征在于,在透明金属电极设置步骤之后还包括退火步骤;

在真空、氮气、氢气或氧气中对该基板进行退火,退火温度大于等于 120°C 而小于等于

450℃,退火时间大于等于 0.5 小时而小于等于 2 小时。

9. 一种阵列基板,包括上方设置有栅金属层的基板,所述栅金属层包括薄膜晶体管的栅极和存储电容的第一极板,所述栅金属层包括薄膜晶体管的栅极和存储电容的第一极板;其特征在于,所述阵列基板还包括设置于该基板上的至少一层非沟道接触界面栅绝缘层、设置于该至少一层非沟道接触界面栅绝缘层上的沟道接触界面栅绝缘层,以及设置于该沟道接触界面介质层上的薄膜晶体管的沟道层;

至少一层该非沟道接触界面栅绝缘层的与该栅极和 / 或该第一极板对应的部分图形化并全部或部分减薄。

10. 如权利要求 9 所述的阵列基板,其特征在于,至少一层该非沟道接触界面栅绝缘层的介电常数被降低。

11. 如权利要求 9 所述的阵列基板,其特征在于,还包括设置于设有该沟道层的基板上的源漏金属层和设置于设有该源漏金属层的基板上的钝化层;

所述栅金属层还包括栅金属走线,所述源漏金属层包括源漏金属走线、薄膜晶体管的源极、薄膜晶体管的漏极和存储电容的第二极板;

该源漏金属走线包括有效显示区源漏金属走线和布线区源漏金属走线;

在该钝化层上与该薄膜晶体管的源极对应处、与该薄膜晶体管的漏极对应处和与该存储电容的第二极板对应处分别设置有接触孔;

所述阵列基板还包括在所述接触孔处形成的作为电引出层的透明金属电极。

12. 一种显示装置,其特征在于,包括如权利要求 9 至 11 中任一权利要求所述的阵列基板。

阵列基板的制造方法、阵列基板和显示装置

技术领域

[0001] 本发明涉及阵列基板的制造技术领域,尤其涉及一种阵列基板的制造方法、阵列基板和显示装置。

背景技术

[0002] 在现有的阵列基板的制造工艺中,栅绝缘层同时为薄膜晶体管的介质层和存储电容的介质层。当单纯选择低介电常数的栅绝缘材料或者提高栅绝缘层的厚度以减小寄生电容来提高响应速度,会同时导致薄膜晶体管的特性和存储电容降低,导致阵列基板的薄膜晶体管充电不足问题,进而导致显示装置的图像出现问题。反过来如果单纯通过采用超薄栅绝缘层或者提高栅绝缘层的介电常数,来提高薄膜晶体管的电学特性和存储电容,同样也会导致寄生电容增大,从而导致阵列基板漏电,寿命和可靠性变差等问题。

发明内容

[0003] 本发明的主要目的在于提供一种阵列基板的制造方法、阵列基板和显示装置,以提高可视区的薄膜晶体管电学特性和存储电容,降低阵列基板的寄生电容。

[0004] 为了达到上述目的,本发明提供了一种阵列基板的制造方法,包括在基板上设置栅金属层的步骤和设置源漏金属层的步骤,所述栅金属层包括薄膜晶体管的栅极和存储电容的第一极板,所述源漏金属层包括薄膜晶体管的源极、薄膜晶体管的漏极和存储电容的第二极板;所述阵列基板的制造方法在设置栅金属层步骤和设置源漏金属层的步骤之间还包括:

[0005] 在该基板上设置至少一层非沟道接触界面栅绝缘层,图形化并全部或部分减薄至少一层该非沟道接触界面栅绝缘层的与该栅极和/或该第一极板对应的部分;

[0006] 在该基板上设置未图形化的沟道接触界面栅绝缘层,在该沟道接触界面栅绝缘层上设置薄膜晶体管的沟道层。

[0007] 实施时,本发明所述的阵列基板的制造方法还包括:降低至少一层该非沟道接触界面栅绝缘层的介电常数,以减小寄生电容。

[0008] 实施时,所述在该基板上设置至少一层非沟道接触界面栅绝缘层包括:采用常压化学气相沉积法、低压化学气相沉积法、等离子体辅助化学气相沉积法或溅射法在该基板上制备至少一层非沟道接触界面栅绝缘层;

[0009] 所述在该基板上设置未图形化的沟道接触界面栅绝缘层包括:在该基板上采用常压化学气相沉积法、低压化学气相沉积法、等离子体辅助化学气相沉积法或溅射法制备未图形化的沟道接触界面栅绝缘层。

[0010] 实施时,所述非沟道接触界面栅绝缘层由硅氧化物、氮化硅、三氧化二铝、二氧化铪、二氧化锆、二氧化钛、三氧化二钽、三氧化二镧或五氧化二钽制成。

[0011] 实施时,所述在该沟道接触界面栅绝缘层上设置薄膜晶体管的沟道层包括:在该沟道接触界面栅绝缘层上采用溅射法、溶胶-凝胶法、真空蒸镀法、喷涂法或化学气相沉积

法制备薄膜晶体管的沟道层,并图形化该沟道层。

[0012] 实施时,所述栅金属层还包括栅金属走线;所述源漏金属层还包括源漏金属走线;

[0013] 该源漏金属走线包括有效显示区源漏金属走线和布线区源漏金属走线;

[0014] 所述设置源漏金属层的步骤包括:采用溅射法淀积源漏金属层;

[0015] 该源漏金属层由钼、铝钨合金、钼铝合金、钨钼合金、钼铌铜合金、钛铜合金和金钛合金中的一种或几种制成。

[0016] 实施时,在设置源漏金属层的步骤之后还包括:

[0017] 钝化层设置步骤:在该基板上沉积钝化层,并图形化该钝化层;

[0018] 接触孔设置步骤:在该钝化层上与该薄膜晶体管的源极对应处、与该薄膜晶体管的漏极对应处和与该存储电容的第二极板对应处分别刻蚀接触孔;

[0019] 透明金属电极设置步骤:采用溅射法在该接触孔处淀积透明金属电极作为电引出层,并图形化该电引出层。

[0020] 实施时,在透明金属电极设置步骤之后还包括退火步骤;

[0021] 在真空、氮气、氢气或氧气中对该基板进行退火,退火温度大于等于 120℃ 而小于等于 450℃,退火时间大于等于 0.5 小时而小于等于 2 小时。

[0022] 本发明还提供了一种阵列基板,包括上方设置有栅金属层的基板,所述栅金属层包括薄膜晶体管的栅极和存储电容的第一极板,所述栅金属层包括薄膜晶体管的栅极和存储电容的第一极板;所述阵列基板还包括设置于该基板上的至少一层非沟道接触界面栅绝缘层、设置于该至少一层非沟道接触界面栅绝缘层上的沟道接触界面栅绝缘层,以及设置于该沟道接触界面介质层上的薄膜晶体管的沟道层;

[0023] 至少一层该非沟道接触界面栅绝缘层的与该栅极和/或该第一极板对应的部分图形化并全部或部分减薄。

[0024] 实施时,至少一层该非沟道接触界面栅绝缘层的介电常数被降低。

[0025] 实施时,本发明所述的阵列基板还包括设置于设有该沟道层的基板上的源漏金属层和设置于设有该源漏金属层的基板上的钝化层;

[0026] 所述栅金属层还包括栅金属走线,所述源漏金属层包括源漏金属走线、薄膜晶体管的源极、薄膜晶体管的漏极和存储电容的第二极板;

[0027] 该源漏金属走线包括有效显示区源漏金属走线和布线区源漏金属走线;

[0028] 在该钝化层上与该薄膜晶体管的源极对应处、与该薄膜晶体管的漏极对应处和与该存储电容的第二极板对应处分别设置有接触孔;

[0029] 所述阵列基板还包括在所述接触孔处形成的作为电引出层的透明金属电极。

[0030] 本发明还提供了一种显示装置,包括上述的阵列基板。

[0031] 本发明所述的阵列基板的制造方法、阵列基板和显示装置,涉及多层图形化栅绝缘层的优化和制备,即对于不同介电常数的栅绝缘层的选择和厚度优化,通过图形化,刻蚀,减薄工艺优化非沟道接触界面栅绝缘层,进而优化栅绝缘层达到提高可视区的薄膜晶体管电学特性和存储电容,降低阵列基板的寄生电容;并且可以增强引线区的抗静电击穿和漏电能力。

附图说明

- [0032] 图 1 是本发具体实施例所述的阵列基板的制造方法的制作流程示意图一；
- [0033] 图 2 是本发具体实施例所述的阵列基板的制造方法的制作流程示意图二；
- [0034] 图 3 是本发具体实施例所述的阵列基板的制造方法的制作流程示意图三；
- [0035] 图 4 是本发具体实施例所述的阵列基板的制造方法的制作流程示意图四；
- [0036] 图 5 是本发具体实施例所述的阵列基板的制造方法的制作流程示意图五；
- [0037] 图 6 是本发具体实施例所述的阵列基板的制造方法的制作流程示意图六。

具体实施方式

[0038] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0039] 本发明实施例所述的阵列基板的制造方法,包括在基板上设置栅金属层的步骤和设置源漏金属层的步骤,所述栅金属层包括薄膜晶体管的栅极和存储电容的第一极板,所述源漏金属层包括薄膜晶体管的源极、薄膜晶体管的漏极和存储电容的第二极板;所述阵列基板的制造方法在设置栅金属层步骤和设置源漏金属层的步骤之间还包括:

[0040] 在该基板上设置至少一层非沟道接触界面栅绝缘层,图形化并全部或部分减薄至少一层该非沟道接触界面栅绝缘层的与该栅极和 / 或该第一极板对应的部分;

[0041] 在该基板上设置未图形化的沟道接触界面栅绝缘层,在该沟道接触界面栅绝缘层上设置薄膜晶体管的沟道层。

[0042] 本发明实施例所述的阵列基板的制造方法图形化并全部或部分减薄至少一层非沟道接触界面栅绝缘层的与栅极和 / 第一极板对应的部分,即全部或部分减薄薄膜晶体管的介质层和 / 或存储电容的介质层,可以获得较大的存储电容和源漏电流,以解决现有技术中显示背板的薄膜晶体管充电不足进而导致电视的图像问题的问题。

[0043] 在具体实施时,为了减小寄生电容,可以降低至少一层该非沟道接触界面栅绝缘层的介电常数,以解决现有技术中由于寄生电容大而导致的显示背板漏电,并且显示背板的寿命和可靠性变差的问题。

[0044] 由于直接刻蚀界面层会导致界面缺陷产生,界面缺陷会导致 TFT 器件裂化,进而导致背板性能问题,因此本发明优选目前减薄的方式为等离子体辅助干刻 (RIE (Reactive Ion Etching, 反应离子刻蚀) 或 ICP (Inductively Coupled Plasma, 感应耦合等离子体) 刻蚀)。

[0045] 下面以在该基板上先后设置一层非沟道接触界面栅绝缘层和一层沟道接触界面栅绝缘层为例来说明介电常数以及非沟道接触界面栅绝缘层的厚度与源漏电流之间的关系:

[0046] 假设栅电极线与源漏电极线之间的平行板电容器的极板面积为 S , 所述非沟道接触界面栅绝缘层的厚度和所述沟道接触界面栅绝缘层的厚度之和为 d , 所述非沟道接触界面栅绝缘层的厚度为 d_1 , 所述非沟道接触界面栅绝缘层的相对介电系数为 ϵ_{r1} , 所述沟道接触界面栅绝缘层的厚度为 $d-d_1$, 所述沟道接触界面栅绝缘层的相对介电系数为 ϵ_{r2} , ϵ_0

是真空介电常数,则薄膜晶体管的 MIS 结构的单位面积电容如公式 (1) 所示:

$$[0047] \quad C_{ins} = \frac{\varepsilon_0 S}{\frac{d_1}{\varepsilon_{r1}} + \frac{d-d_1}{\varepsilon_{r2}}} \quad (1)$$

[0048] C_{ins} 为薄膜晶体管的 MIS 结构(由金属(M)-绝缘体(I)-半导体(S)组成的结构)的寄生电容以及其它两层金属(这里的其它两层金属指的是栅金属层和源漏金属层的布线层)间的单位面积的存储电容和寄生电容。

[0049] 薄膜晶体管的饱和区源漏电流 I_{ds} 如公式 (2) 所示:

$$[0050] \quad I_{ds} = \frac{1}{2} C_{ins} \times \frac{W}{L} (V_{gs} - V_T)^2 \quad (2)$$

[0051] 其中, $\frac{W}{L}$ 为宽长比, V_{gs} 为薄膜晶体管的栅源电压, V_T 为薄膜晶体管的阈值电压。

[0052] 由公式 (2) 可知,在其他条件不变时,薄膜晶体管的饱和区源漏电流与 C_{ins} 成正比,与 $\frac{d_1}{\varepsilon_{r1}} + \frac{d-d_1}{\varepsilon_{r2}}$ 成反比,提高 C_{ins} 可相对获得较大的源漏电流。

[0053] 从上可知,本发明可以通过选择合适的栅绝缘层的相对介电常数,图形化并减薄与薄膜晶体管相应部分的非沟道接触界面栅绝缘层,通过公式 (1) 和公式 (2) 即可筛选出能提高源漏电流的工艺方案。

[0054] 同时,在阵列基板制备过程中,由于阵列基板的同层或不同层金属间静电击穿原因,工艺制程因素,或不同工艺参数的选择导致阵列基板不同层介质击穿短路、漏电现象。在一定的静电电荷 Q ,平行板面积的情况下,击穿场强 E 如公式 (3) 所示:

$$[0055] \quad E = \frac{Q}{dC_{ins}} = \frac{Q}{d \frac{\varepsilon_0 S}{\frac{d_1}{\varepsilon_{r1}} + \frac{d-d_1}{\varepsilon_{r2}}}} = \frac{Q}{d\varepsilon_0 S \left(\frac{d_1}{\varepsilon_{r1}} + \frac{d-d_1}{\varepsilon_{r2}} \right)} \quad (3)$$

[0056] 其中, S 为 AA 区(有效显示区), ESD 区(防静电击穿区)和 fanout 区(周围走线区)的平行板对面积。由以上公式可知, E 与存储电容和源漏电流成反比,与击穿场强成正比。即,可以通过选择不同介电常数的多层栅绝缘层的材料,并图形化栅绝缘层而后刻蚀减薄,能够同时满足获得较大的存储电容、源漏电流、较小的寄生电容、同时获得较强的 ESD 区的抗击穿能力和走线区的抗击穿能力,防止阵列基板金属层间短路从而导致的阵列基板漏电,防止阵列基板驱动板过热或烧坏。

[0057] 本发明实施例所述的阵列基板的制造方法,涉及多层图形化栅绝缘层的优化和制备,即对于不同介电常数的栅绝缘层的选择和厚度优化,通过图形化,刻蚀,减薄工艺优化非沟道接触界面栅绝缘层,进而优化栅绝缘层达到提高可视区的薄膜晶体管电学特性和存储电容,降低阵列基板的寄生电容;并且可以增强引线区的抗静电击穿和漏电能力。

[0058] 本发明实施例所述的阵列基板的制造方法,首先沉积非沟道接触界面栅绝缘层,再曝光显影图形化并减薄部分非沟道接触界面栅绝缘层,该非沟道接触界面栅绝缘层可为第一层,也可为其它非沟道接触界面栅绝缘层。

[0059] 根据一种具体实施例,图形化并减薄第一层非沟道接触界面栅绝缘层,其它非沟道接触界面栅绝缘层的厚度和沟道接触界面栅绝缘层的厚度在整个显示阵列基板区域都不变,但实际上由于可以选择不同的非沟道接触界面栅绝缘层的厚度和介电常数,具体实施方案可以略有不同,但也在本发明的保护范围内。

[0060] 本发明提供的实施例为将 AA 区的存储电容区和薄膜晶体管栅控区的栅绝缘层总厚度为 d , ESD 区和周围走线区以及 AA 区的源漏电极走线交叠区等其他寄生电容区采用较厚的栅绝缘层,即栅绝缘层的厚度大于 d 。图形化该栅绝缘层时,AA 区的源漏电极走线交叠区、ESD 区和部分周围走线区(fanout 区)的栅绝缘层厚度保留,其余部分减薄。

[0061] 所述在该基板上设置至少一层非沟道接触界面栅绝缘层包括:采用常压化学气相沉积法、低压化学气相沉积法、等离子体辅助化学气相沉积法或溅射法在该基板上制备至少一层非沟道接触界面栅绝缘层;

[0062] 在具体实施时,所述在该基板上设置未图形化的沟道接触界面栅绝缘层可以包括:在该基板上采用常压化学气相沉积法、低压化学气相沉积法、等离子体辅助化学气相沉积法或溅射法制备未图形化的沟道接触界面栅绝缘层。

[0063] 具体的,所述非沟道接触界面栅绝缘层可以由硅氧化物(SiO_x)、氮化硅(SiN_x)、三氧化二铝(Al_2O_3)、二氧化铪(HfO_2)、二氧化锆(ZrO_2)、二氧化钛(TiO_2)、三氧化二钇(Y_2O_3)、三氧化二镧(La_2O_3)或五氧化二钽(Ta_2O_5)制成。

[0064] 在具体实施时,所述在该沟道接触界面栅绝缘层上设置薄膜晶体管的沟道层可以包括:在该沟道接触界面栅绝缘层上采用溅射法、溶胶-凝胶法、真空蒸镀法、喷涂法或化学气相沉积法制备薄膜晶体管的沟道层,并图形化该沟道层。

[0065] 在具体实施时,所述栅金属层还包括栅金属走线;所述源漏金属层还包括源漏金属走线;

[0066] 该源漏金属走线包括有效显示区源漏金属走线和布线区源漏金属走线;

[0067] 所述设置源漏金属层的步骤包括:采用溅射法淀积源漏金属层;

[0068] 该源漏金属层由钼(Mo)、铝钕(Al/Nd)合金、钼铝(Mo/Al)合金、钕钼(Nd/Mo)合金、钼铌铜(Mo/Nb/Cu)合金、钛铜(Ti/Cu/Ti)合金和金钛(Au/Ti)合金中的一种或几种制成。

[0069] 在具体实施时,在设置源漏金属层的步骤之后还包括:

[0070] 钝化层设置步骤:在该基板上沉积钝化层,并图形化该钝化层;

[0071] 接触孔设置步骤:在该钝化层上与该薄膜晶体管的源极对应处、与该薄膜晶体管的漏极对应处和与该存储电容的第二极板对应处分别刻蚀接触孔;

[0072] 透明金属电极设置步骤:采用溅射法在该接触孔处淀积透明金属电极作为电引出层,并图形化该电引出层。

[0073] 在具体实施时,在透明金属电极设置步骤之后还包括退火步骤;

[0074] 在真空、氮气、氢气或氧气中对该基板进行退火,退火温度大于等于 120°C 而小于等于 450°C ,退火时间大于等于 0.5 小时而小于等于 2 小时。

[0075] 下面通过一具体实施例来说明本发明所述的阵列基板的制造方法的过程:

[0076] 如图 1 所示,首先在基板 1 上使用溅射方法淀积 Mo(钼)金属层、Al/Nd(铝钕)合金层、Al/Nd/Mo(铝钕钼)合金层、Mo/Al(钼铝)合金层、Nd/Mo(钕钼)合金层或 Au/Ti(金

钛)合金层,并光刻刻蚀,图形化薄膜层,以形成栅金属层;

[0077] 该基板 1 可以为玻璃基板、聚酰亚胺基板或硅基板;

[0078] 所述栅金属层包括薄膜晶体管的栅极 11、存储电容的第一极板 12 和栅金属走线 13;

[0079] 如图 2 所示,在形成有栅金属层的基板 1 上采用常压化学气相沉积法、低压化学气相沉积法、等离子体辅助化学气相沉积法或溅射法在该基板上制备非沟道接触界面栅绝缘层 21,图形化并全部或部分减薄至少一层该非沟道接触界面栅绝缘层上与该栅极 11 和该第一极板 12 对应的部分,减薄的厚度在图 2 中未示出;

[0080] 该非沟道接触界面栅绝缘层 21 为至少一层;

[0081] 所述非沟道接触界面栅绝缘层 21 可以由硅氧化物 (SiO_x)、氮化硅 (SiN_x)、三氧化二铝 (Al_2O_3)、二氧化铪 (HfO_2)、二氧化锆 (ZrO_2)、二氧化钛 (TiO_2)、三氧化二钇 (Y_2O_3)、三氧化二镧 (La_2O_3) 或五氧化二钽 (Ta_2O_5) 制成。

[0082] 如图 3 所示,在该制备有非沟道接触界面栅绝缘层 21 的基板 1 上采用常压化学气相沉积法、低压化学气相沉积法、等离子体辅助化学气相沉积法或溅射法制备未图形化的沟道接触界面栅绝缘层 31;

[0083] 如图 4 所示,在该制备有沟道接触界面栅绝缘层 31 的基板 1 上采用溅射法、溶胶-凝胶法、真空蒸镀法、喷涂法或化学气相沉积法制备薄膜晶体管的沟道层 41,并图形化该沟道层 41;

[0084] 在该制备有沟道层 41 的基板 1 上溅射沉积 Mo(钼)金属层、Al/Nd(铝钕)合金层、Mo/Al(钼铝)合金层、Nd/Mo(钕钼)合金层或 Au/Ti(金钛)合金层,并图形化,作为源漏金属层;

[0085] 所述源漏金属层包括:薄膜晶体管的源极 51、薄膜晶体管的漏极 52、存储电容的第二极板 53 和源漏金属走线 54;

[0086] 该源漏金属走线包括有效显示区源漏金属走线和布线区源漏金属走线;

[0087] 如图 5 所示,在该沉积有源漏金属层的基板 1 上沉积钝化层 61,并图形化该钝化层 61,之后在该钝化层 61 上与该薄膜晶体管的源极 51 对应处、与该薄膜晶体管的漏极 52 对应处和与该存储电容的第二极板 53 对应处分别刻蚀接触孔;

[0088] 如图 6 所示,采用溅射法在该接触孔处分别沉积透明金属电极 71、透明金属电极 72 和透明金属电极 73 作为电引出层,并图形化该电引出层;

[0089] 在真空、氮气、氢气或氧气中对该基板进行退火,退火温度大于等于 120°C 而小于等于 450°C ,退火时间大于等于 0.5 小时而小于等于 2 小时。

[0090] 本发明实施例所述的阵列基板,包括上方设置有栅金属层的基板,所述栅金属层包括薄膜晶体管的栅极和存储电容的第一极板,所述栅金属层包括薄膜晶体管的栅极和存储电容的第一极板;所述阵列基板还包括设置于该基板上的至少一层非沟道接触界面栅绝缘层、设置于该至少一层非沟道接触界面栅绝缘层上的沟道接触界面栅绝缘层,以及设置于该沟道接触界面介质层上的薄膜晶体管的沟道层;

[0091] 至少一层该非沟道接触界面栅绝缘层的与该栅极和/或该第一极板对应的部分图形化并全部或部分减薄,即薄膜晶体管的介质层和/或存储电容的介质层被全部或部分减薄,可以获得较大的存储电容和源漏电流,以解决现有技术中显示背板的薄膜晶体管充

电不足进而导致电视的图像问题的问题。

[0092] 在具体实施时,至少一层该非沟道接触界面栅绝缘层的介电常数被降低,以解决现有技术中由于寄生电容大而导致的显示背板漏电,并且显示背板的寿命和可靠性变差的问题。

[0093] 在具体实施时,本发明所述的阵列基板还包括设置于设有该沟道层的基板上的源漏金属层和设置于设有该源漏金属层的基板上的钝化层;

[0094] 所述栅金属层还包括栅金属走线,所述源漏金属层包括源漏金属走线、薄膜晶体管的源极、薄膜晶体管的漏极和存储电容的第二极板;

[0095] 该源漏金属走线包括有效显示区源漏金属走线和布线区源漏金属走线;

[0096] 在该钝化层上与该薄膜晶体管的源极对应处、与该薄膜晶体管的漏极对应处和与该存储电容的第二极板对应处分别设置有接触孔;

[0097] 所述阵列基板还包括在所述接触孔处形成的作为电引出层的透明金属电极。

[0098] 本发明还提供了一种显示装置,包括上述的阵列基板。

[0099] 以上所述仅是本发明的实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明原理的前提下,还可以作出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

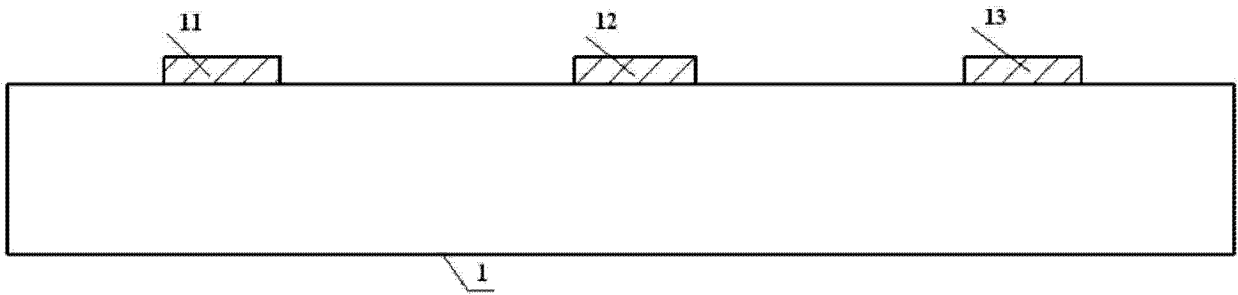


图 1

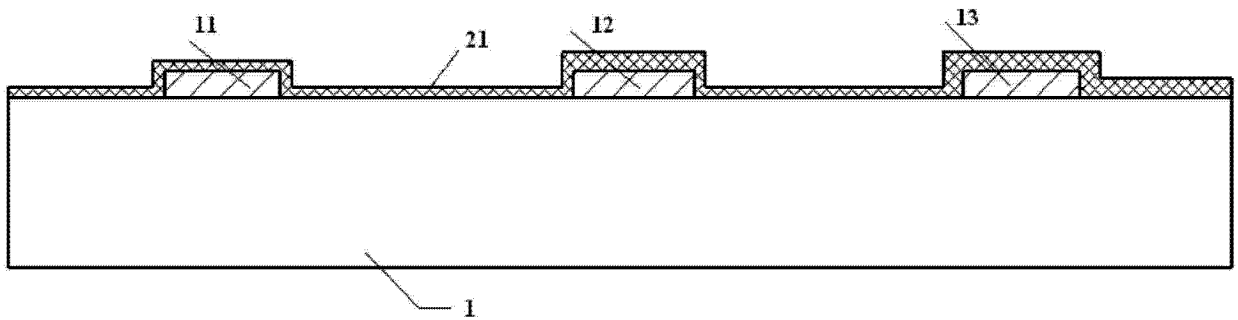


图 2

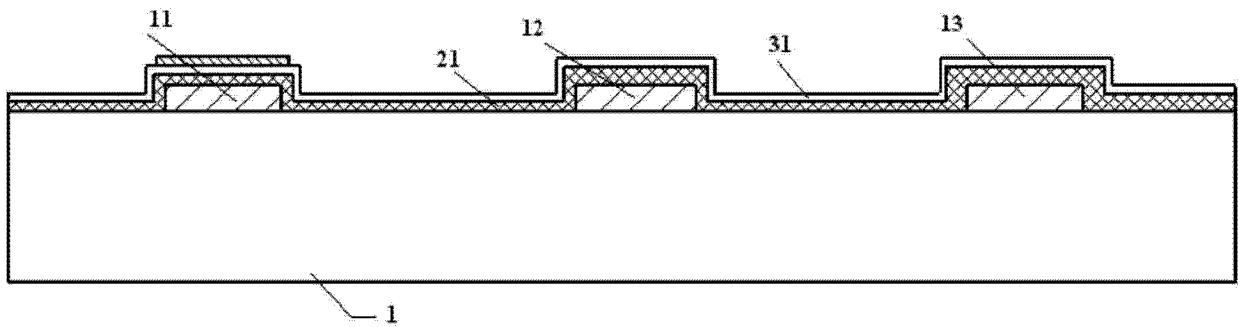


图 3

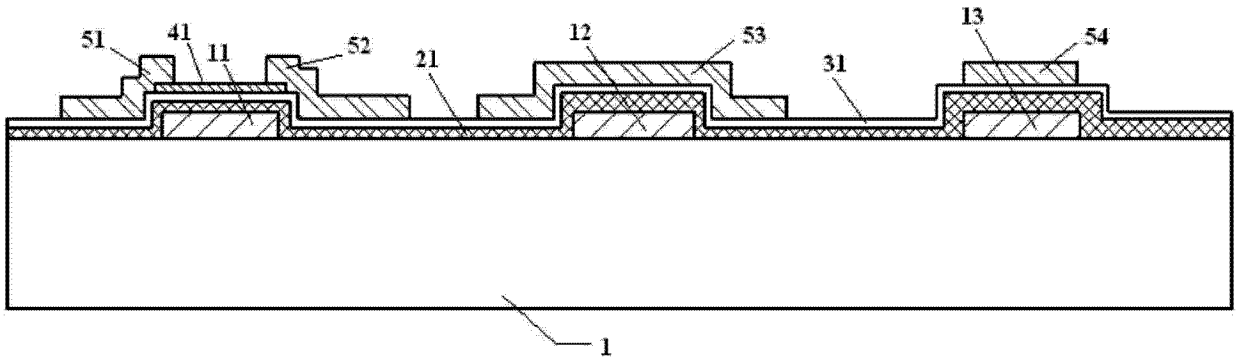


图 4

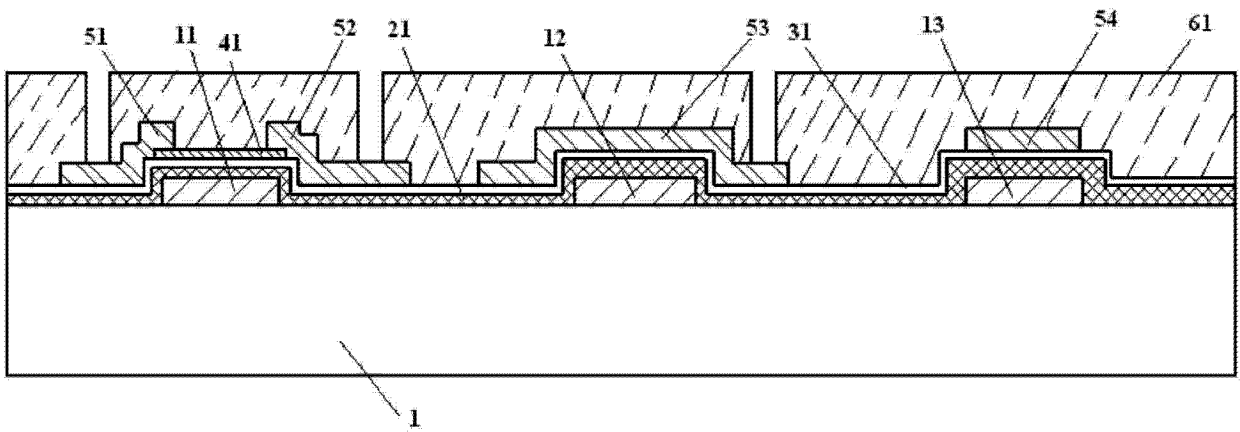


图 5

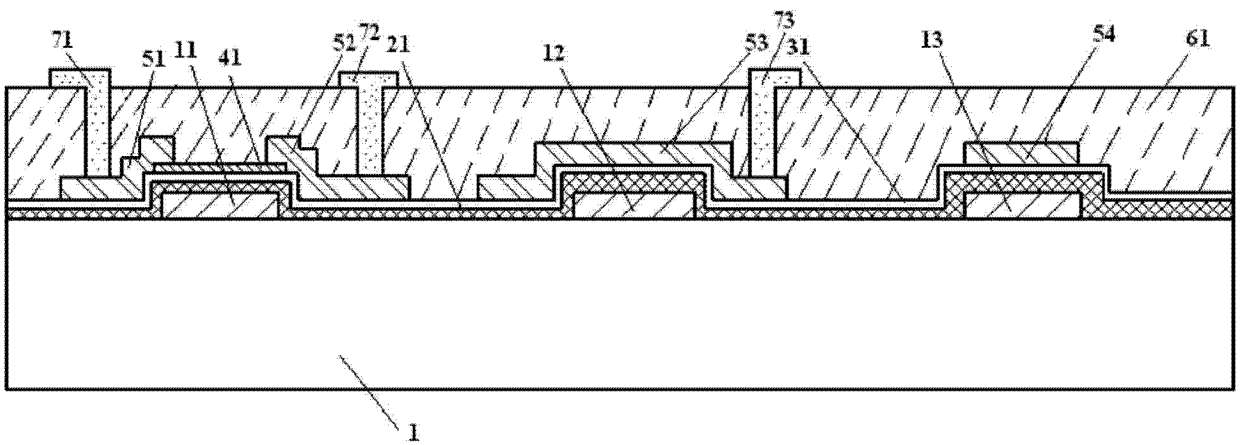


图 6